

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2026/076997 A1

(43) 国际公布日
2026 年 4 月 16 日 (16.04.2026)

(51) 国际专利分类号:
G06F 13/16 (2006.01)

(21) 国际申请号: PCT/CN2025/102310

(22) 国际申请日: 2025 年 6 月 20 日 (20.06.2025)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202411396760.9 2024 年 10 月 9 日 (09.10.2024) CN

(71) 申请人: 长鑫科技集团股份有限公司 (CXMT CORPORATION) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(72) 发明人: 曹堪宇 (CAO, Kanyu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。涂华垚 (TU, Huayao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。唐衍哲 (TANG, Yanzhe); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。张林 (ZHANG, Lin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。李红文 (LI, Hongwen); 中国安徽省合肥市经济技术开发区空港工业

园兴业大道 388 号 230601 (CN)。高恩鹏 (GAO, Enpeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UY, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: IN-MEMORY PROCESSING CHIP

(54) 发明名称: 存内处理芯片

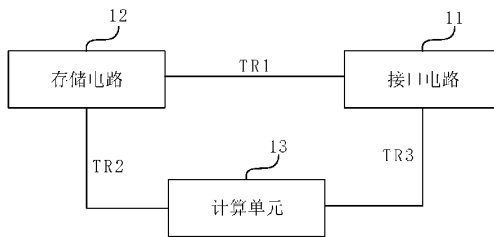


图 1

11 Interface circuit
12 Memory circuit
13 Computing unit

(57) Abstract: Provided in the present disclosure is an in-memory processing chip, which may at least comprise an interface circuit, a memory circuit, and a computing unit, wherein a first transmission path is provided between the interface circuit and the memory circuit; a second transmission path is provided between the memory circuit and the computing unit; and a third transmission path is provided between the interface circuit and the computing unit, the third transmission path and the first transmission path being independent of each other.

(57) 摘要: 本公开提供一种存内处理芯片, 至少可以包括接口电路, 存储电路以及计算单元; 接口电路与存储电路之间具有第一传输路径; 存储电路与计算单元之间具有第二传输路径; 接口电路与计算单元之间具有第三传输路径, 第三传输路径与第一传输路径相互独立。

[见续页]



WO 2026/076997 A1

本国际公布:

— 包括国际检索报告(条约第21条(3))。