

明 細 書

発明の名称：メモリスistem

技術分野

[0001] 実施形態は、メモリスistemに関する。

背景技術

[0002] 半導体記憶装置としてのNAND型フラッシュメモリが知られている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許8913448号明細書

発明の概要

発明が解決しようとする課題

[0004] データの読み出し信頼性を向上できるメモリスistemを提供する。

課題を解決するための手段

[0005] 実施形態のメモリスistemは、半導体メモリと、前記半導体メモリからデータを読み出す指示を与えるコントローラと、を具備し、前記半導体メモリは、データを保持するメモリセルトランジスタと、前記メモリセルトランジスタから読み出されたデータに対して、前記コントローラへ出力するための処理を行う出力回路と、第1データを生成するデータ生成回路と、を備え、前記データの読み出し時において、前記コントローラは、前記出力回路が前記処理を行っている第1期間内に第1信号を前記半導体メモリへ出力し、前記半導体メモリは、前記第1信号に基づいて第2信号を生成し、第1期間と第2期間の期間に、前記第2信号と共に前記第1データを前記コントローラへ出力し、前記第2期間の終了後に前記半導体メモリは、前記第2信号と共に前記メモリセルトランジスタから読み出されたデータを前記コントローラへ出力する。

図面の簡単な説明

[0006] [図1]図1は、実施形態に係るメモリシステムの全体構成を概念的に示すブロック図である。

[図2]図2は、NAND型フラッシュメモリの構成例を示すブロック図である。

[図3]図3は、NAND型フラッシュメモリのメモリセルアレイの構成例を示す回路図である。

[図4]図4は、出力回路の構成例を示すブロック図である。

[図5]図5は、実施形態との比較対象例のフローチャートである。

[図6A]図6Aは、実施形態との比較対象例に係るデータ出力動作について説明するためのタイミングチャートである。

[図6B]図6Bは、第1の実施形態に係るデータ出力動作における電源出力の安定化について説明するためのタイミングチャートである。

[図7]図7は、第1の実施形態に係るデータ出力動作における電源出力の安定化について説明するためのフローチャートである。

[図8]図8は、第1の設定例に係る待機時間及び遅延時間における各信号のタイミングを示すタイミングチャートである。

[図9]図9は、第2の設定例に係る待機時間及び遅延時間における各信号のタイミングを示すタイミングチャートである。

[図10]図10は、第3の設定例に係る待機時間及び遅延時間における各信号のタイミングを示すタイミングチャートである

[図11]図11は、第4の設定例に係る待機時間及び遅延時間における各信号のタイミングを示すタイミングチャートである

[図12]図12は、第2の実施形態に係るデータ出力動作における電源出力の安定化について説明するためのフローチャートである。

[図13]図13は、第3の実施形態に係るデータ出力動作における電源出力の安定化について説明するためのフローチャートである。

[図14]図14は、第4の実施形態に係るデータ出力動作における電源出力の安定化について説明するためのフローチャートである。

[図15]図15は、第5の実施形態に係る電待機時間及び遅延時間における各信号のタイミングを示すタイミングチャートである。

発明を実施するための形態

[0007] 以下に、実施形態について図面を参照して説明する。

実施形態は、発明の技術的思想を具体化するための装置を例示する。図面は、模式的または概念的なものであり、各図面の寸法及び比率等は、必ずしも現実のものと同じとは限らない。また、構成要素の形状、構造、配置等によって、本発明の技術的思想が特定されるものではない。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付して、詳細な説明は省略する。

[0008] [第1実施形態]

第1実施形態に係るメモリシステムについて説明する。

<メモリシステム全体構成>

図1は、本実施形態のメモリシステム1の全体構成を概念的に示す構成図である。

本実施形態のメモリシステム1は、少なくとも半導体メモリ3と、この半導体メモリ3を制御するメモリコントローラ（コントローラ）2と、を備えている。本実施形態では、半導体メモリ3は、不揮発性メモリであればよく、例えば、NAND型フラッシュメモリが好適する。以下の説明では、半導体記憶装置としてNAND型フラッシュメモリ3に適用した例について説明する。

[0009] これらのメモリコントローラ2とNAND型フラッシュメモリ3とを組み合わせ、1つの半導体装置を構成することが可能である。その一例としては、SD™カード等のメモリカードや、SSD（solid state drive）等がある。また、メモリコントローラ2は、SoC（system on chip）等を用いることができる。

[0010] NAND型フラッシュメモリ3は、複数のメモリセルトランジスタを備え、データを不揮発に記憶する。メモリコントローラ2は、NANDバスによ

ってNAND型フラッシュメモリ3に接続される。さらに、メモリコントローラ2は、ホストバスによって外部のホスト機器4とも接続する。このメモリコントローラ2は、NAND型フラッシュメモリ3を制御し、またホスト機器4から受信した命令に応答して、NAND型フラッシュメモリ3にアクセスする。ホスト機器4は、例えばデジタルカメラやパーソナルコンピュータ等であり、ホストバスは、例えばSD™インターフェースに従ったバスである。NANDバスは、NANDインターフェースに従った信号の送受信を行う。

[0011] <メモリコントローラ2の構成>

図1を参照して、メモリコントローラ2の構成の詳細について説明する。

メモリコントローラ2は、NAND型フラッシュメモリ3を制御する。具体例としては、メモリコントローラ2は、データをNAND型フラッシュメモリ3に書き込み、既に記憶されているデータをNAND型フラッシュメモリ3から読み出す制御を行う。

[0012] メモリコントローラ2は、ホストインターフェース回路（ホストI/F）5、内蔵メモリ（RAM：Random Access Memory）6、プロセッサ（CPU：Central Processing Unit）7、バッファメモリ8、NANDインターフェース回路（NAND I/F）9、及びECC（Error Checking and Correcting）回路10を備えている。さらに、設計に応じて、他にも種々の構成部位を搭載している。

[0013] ホストインターフェース回路5は、ホストバスを介してホスト機器4と接続され、ホスト機器4から受信した命令及びデータを、それぞれプロセッサ7及びバッファメモリ8に転送する。またプロセッサ7の命令に応じて、バッファメモリ8内のデータをホスト機器4へ転送する。

[0014] プロセッサ7は、メモリコントローラ2全体の動作を制御する。例えば、プロセッサ7は、ホスト機器4からデータの書き込み命令を受信した際には、その受信に応じて、NANDインターフェース回路9に対して、書き込み命令を発行する。データの読み出し及び消去の際も同様である。また、プロ

セッサ 7 は、ウェアレベリング等、NAND 型フラッシュメモリ 3 を管理するための様々な処理を実行する。なお、以下で説明するメモリコントローラ 2 の動作は、プロセッサ 7 がソフトウェア（ファームウェア）を実行することによって実現されてもよいし、またはハードウェアで実現されてもよい。

[0015] NAND インターフェース回路 9 は、NAND バスを介して NAND 型フラッシュメモリ 3 と接続され、NAND 型フラッシュメモリ 3 との通信を司る。そして NAND インターフェース回路 9 は、プロセッサ 7 から受信した命令に基づき、NAND 型フラッシュメモリ 3 に対して、種々の信号を送信及び受信する。バッファメモリ 8 は、書き込みデータや読み出しデータを一時的に保持する。

[0016] 内蔵メモリ（RAM）6 は、例えば DRAM や SRAM 等の半導体メモリであり、プロセッサ 7 の作業領域として使用される。そして内蔵メモリ 6 は、NAND 型フラッシュメモリ 3 を管理するためのファームウェアや各種の管理テーブル等を保持する。

ECC 回路 10 は、NAND 型フラッシュメモリ 3 に記憶されるデータに関する誤り検出及び誤り訂正処理を行う。すなわち、ECC 回路 10 は、データの書き込み時には誤り訂正符号を生成して、これを書き込みデータに付与し、データの読み出し時には、誤り訂正符号を復号する。

[0017] <NAND 型フラッシュメモリの NAND バス>

図 2 を参照して、NAND バスについて説明する。

メモリコントローラ 2 と NAND 型フラッシュメモリ 3 とは、NAND バスにより接続される。NAND バスは、複数の信号線を含み、入出力回路 12 に接続する入出力用パッド群 21 に接続する信号線群と、ロジック制御回路 13 に接続するロジック制御用パッド群 22 に接続する信号線群とに分かれている。

[0018] これらの信号線は、NAND インターフェースに従ったチップイネーブル信号／CE、コマンドラッチイネーブル信号 CLE、アドレスラッチイネーブル信号 ALE、ライトイネーブル信号／WE、リードイネーブル信号／R

E、ライトプロテクト信号／WP、及びレディ・ビジー信号／RB、データ信号DQ、データストローブ信号DQS、並びに／DQSの送受信を行う。信号CLE、ALE、／WE、／RE、及び／WPは、NAND型フラッシュメモリ3によって受け取られる。また、信号／RB及び信号／CEはそれぞれ、NAND型フラッシュメモリ3によって受け取られる。

- [0019] チップイネーブル信号／CEは、NAND型フラッシュメモリ3をイネーブルにするための信号である。コマンドラッチイネーブル信号CLEは、データ信号DQとして送信されるコマンドCMDを後述のレジスタ15のコマンドレジスタ15Aにラッチすることを可能にする。信号CLEは、信号CLEが“H (High)”レベルである間にNAND型フラッシュメモリ3に流れる信号DQがコマンドCMDであることをNAND型フラッシュメモリ3に通知する。信号DQは、例えば8bitの信号である。
- [0020] アドレスラッチイネーブル信号ALEは、データ信号DQとして送信されるアドレスADDを後述のレジスタ15のアドレスレジスタ15Bにラッチすることを可能にする。信号ALEは、信号ALEが“H”レベルである間にNAND型フラッシュメモリ3に送信される信号DQがアドレスADDであることをNAND型フラッシュメモリ3に通知する。ライトイネーブル信号／WEは、書き込みを可能にする。信号／WEは、信号／WEが“L (Low)”レベルである間にNAND型フラッシュメモリ3に送信される信号DQをNAND型フラッシュメモリ3に取り込むことを指示する。
- [0021] リードイネーブル信号RE及び／REは、NAND型フラッシュメモリ3にデータ信号DQを出力することを指示し、例えば、信号DQを出力する際のNAND型フラッシュメモリ3の動作タイミングを制御するために使用される。ライトプロテクト信号／WPは、データ書き込み及び消去の禁止をNAND型フラッシュメモリ3に指示する。レディー・ビジー信号／RBはそれぞれ、NAND型フラッシュメモリ3がレディ状態（外部からの命令を受け付ける状態）であるか、ビジー状態（外部からの命令を受け付けない状態）であるかを示す。

[0022] データ信号DQは、例えば8bitの信号である。信号DQは、NAND型フラッシュメモリ3とメモリコントローラ2との間で送受信されるデータの実体であり、コマンドCMD、アドレスADD、及びデータDATを含む。基準信号として用いられる双方向データストロブ信号DQS及び/DQSは、例えば、信号DQに係るNAND型フラッシュメモリ3の動作タイミングを制御するために使用される。

[0023] <NAND型フラッシュメモリの構成>

次に図2を参照して、NAND型フラッシュメモリ3の構成例について説明する。

NAND型フラッシュメモリ3は、メモリセルアレイ11、入出力回路12、ロジック制御回路13、レジスタ15、シーケンサ16、電圧生成回路17、ドライバ18、ロウデコーダ19、センスアンプ20、入出力用パッド群21、及びロジック制御用パッド群22、データ生成回路14等を備えている。

[0024] メモリセルアレイ11は、複数のブロックBLK（BLK0、BLK1、…）を備えている。ブロックBLKは、ワード線及びビット線に関連付けられた複数の不揮発性メモリセルトランジスタ（図示せず）を含む。ブロックBLKは、例えばデータの消去単位となり、同一のブロックBLK内のデータは、一括して消去される。各ブロックBLKは、複数のストリングユニットSU（SU0、SU1、…）を備えている。各ストリングユニットSU内には、複数のNANDストリングNSを備えている。なお、メモリセルアレイ11内のブロック数、1ブロックBLK内のストリングユニットUS数、1ストリングユニットSU内のNANDストリング数は、任意の数に設定できる。

[0025] <メモリセルアレイの構成>

次に、図3を参照して、NAND型フラッシュメモリ3のメモリセルアレイの構成について説明する。図3は、メモリセルアレイ11のうちの1つのブロックBLKの回路を示している。

- [0026] 図3に示すように、各ストリングユニットSUは、NANDストリングNSの集合により構成される。NANDストリングNSの各々は、例えば64個のメモリセルトランジスタMT（MT0～MT63）と、選択トランジスタST1と、選択トランジスタST2とを備える。なお、1つのNANDストリングNS内に含まれるメモリセルトランジスタMTの個数は64個に限られず、8個、16個、96個等であってもよく、その個数は限定されるものではない。メモリセルトランジスタMTは、制御ゲートと電荷蓄積層とを含む積層ゲートを備える。各メモリセルトランジスタMTは、選択トランジスタST1及びST2の間に、直列接続される。なお、以下の説明における接続とは、被接続の要素どうしが当接する電氣的な接続だけではなく、少なくとも2つの要素間に別の導電可能な要素、例えば、配線（金属配線、ポリシリコン配線等）が介在する場合も含む。
- [0027] 任意のブロックBLK内において、ストリングユニットSU0～SU3の選択トランジスタST1のゲートは、それぞれ選択ゲート線SGD0～SGD3に接続される。また、ブロックBLK内の全てのストリングユニットSUの選択トランジスタST2のゲートは、選択ゲート線SGSに共通接続される。同一のブロックBLK内のメモリセルトランジスタMT0～MT7の制御ゲートは、それぞれワード線WL0～WL7に接続される。すなわち、同じアドレスのワード線WLは、同一のブロックBLK内の全てのストリングユニットSUに共通接続されており、選択ゲート線SGSは、同一のブロックBLK内の全てのストリングユニットSUに共通接続されている。一方、選択ゲート線SGDは、同一のブロックBLK内のストリングユニットSUの1つのみに接続される。
- [0028] また、メモリセルアレイ11内でマトリクス状に配置されたNANDストリングNSのうち、同一行にあるNANDストリングNSの選択トランジスタST1の他端は、m本のビット線BL（BL0～BL（m－1）（mは自然数））のいずれかに接続される。また、ビット線BLは、複数のブロックBLKにわたって、同一列のNANDストリングNSに共通接続される。

また、選択トランジスタST2の他端は、ソース線SLに接続される。ソース線SLは、複数のブロックBLKにわたって、複数のNANDストリングNSに共通接続される。

[0029] 上述のとおり、データの消去は、例えば、同一のブロックBLK内にあるメモリセルトランジスタMTに対して一括して行われる。これに対して、データの読み出し動作及び書き込み動作は、いずれかのブロックBLKのいずれかのストリングユニットSUにおける、いずれかのワード線WLに共通接続された複数のメモリセルトランジスタMTにつき、一括して行われ得る。このような、1つのストリングユニットSU中でワード線WLを共有するメモリセルトランジスタMTの組は、例えば、セルユニットCUと称される。つまり、セルユニットCUは、一括して書き込み動作、又は読み出し動作が実行され得るメモリセルトランジスタMTの組である。

[0030] なお、1つのメモリセルトランジスタMTは、例えば、複数のビットデータを保持可能である。そして、同一のセルユニットCU内において、メモリセルトランジスタMTの各々が同位のビットにおいて保持する1bitの集合を「ページ」と呼ぶ。つまり、「ページ」とは、同一のセルユニットCU内のメモリセルトランジスタMTの組に形成されるメモリ空間の一部、と定義することもできる。1ページは、例えば、128Kbit(16KByte)である。

[0031] 図2に戻って説明を続ける。入出力回路12は、少なくとも入力回路12A、出力回路12B、及び制御回路12Cを備える。入出力回路12は、メモリコントローラ2とデータ信号DQを送受信する。入出力回路12は、入出力用パッド群21に入力される信号DQに含まれるコマンドCMD及びアドレスADDをレジスタ15のコマンドレジスタ15A及びアドレスレジスタ15Bにそれぞれ転送する。また、入出力回路12は、入出力用パッド群21に入力される信号DQに含まれる書き込みデータDATをセンスアンプ20のデータレジスタ20Bに転送するとともに、センスアンプ20のデータレジスタ20Bから転送される読み出しデータDATを入出力用パッド群21に転送する。

[0032] 図4は、出力回路12Bの回路図である。図示するように出力回路12Bは、シフトレジスタユニット31Aとマルチプレクサ(MUX)31D[選択回路]を含んでいる。シフトレジスタユニット31Aは、直列に接続された複数のフリップフロップ31Cで構成されるシフトレジスタ31B[保持回路]を備えている。シフトレジスタ31Bは、信号線DQ0~DQ7のそれぞれに配置され、それぞれにデータを一時的に保持する。フリップフロップ31Cの数は、信号DQのタイミング制御に応じて適宜設定され、例えば8個である。

[0033] 初段の(図4の紙面における最も右側の)フリップフロップ31Cの入力端子Dには、マルチプレクサ31Dの複数の入力端子の1つが接続され、その出力端子Qは、次段のフリップフロップ31Cの入力端子Dに接続される。次段のフリップフロップ31Cの出力端子Qは、次々段のフリップフロップ31Cの入力端子Dに接続され、以下同様に接続される。最終段のフリップフロップ31Cの出力端子Qは、信号線DQ0~DQ7の1つ(図4の例では信号線DQ0)に接続される。各フリップフロップ31Cのクロック端子には、シーケンサ16から、例えば、周期の異なる内部クロックiCLKが入力される。各フリップフロップ31Cは、それぞれのクロック端子に入力される内部クロックiCLKが立ち上がるタイミングで、入力されたデータをラッチする。

[0034] マルチプレクサ31Dは、例えばメモリセルアレイ11からセンスアンプユニット20Aに読み出されてデータレジスタ20Bに格納された1ページ(16KByte)の読み出しデータDATのうちの、8bitを選択してシフトレジスタユニット31Aへ転送する。転送された8bitのデータは、順次、バッファとして機能するフリップフロップ31Cによって保持されつつ転送される。例えば、シフトレジスタ31Bによって読み出しデータが一時的に保持された後に、メモリコントローラ2がリードイネーブル信号RE及び／REをトグルすると、シフトレジスタ31Bによって保持されていた読み出しデータが最終段のフリップフロップ31Cの出力端子Qから8bitずつDQ

データとして出力されていく。すなわち、出力回路12Bによって、16K Byteの平行データが、8bitのシリアルデータに変換される。

[0035] 再び図2に戻って説明を続ける。ロジック制御回路13は、メモリコントローラ2から信号／CE、CLE、ALE、／WE、／RE、及び／WPを受信する。また、ロジック制御回路13は、信号／RBをメモリコントローラ2に転送してNAND型フラッシュメモリ3がレディ状態であるかビジー状態であるかをメモリコントローラ2に通知する。

[0036] ロジック制御回路13は、位相ロックループ（PLL：Phase-Locked Loop）回路又は遅延ロックループ（DLL：Delay-Locked Loop）回路を備える補正回路13aを含む。補正回路13aは、ロジック制御用パッド群内のパッドを介して、それぞれ入力される信号RE及び／RE等のデューティ比を補正する機能を有する。この補正回路13aは、シーケンサ16からの制御信号に基づいて信号RE及び／REのデューティ比を補正し、補正された信号RE及び／REを生成する。補正された信号RE及び／REは、例えば、入出力回路12に送出され、入出力回路12は、補正された信号RE及び／REに対応するタイミングで、信号DQS及び／DQSをトグルさせる。

[0037] レジスタ15は、コマンドCMDを保持するコマンドレジスタ15A及びアドレスADDを保持するアドレスレジスタ15Bを備える。レジスタ15は、アドレスADDをロウデコーダ19及びセンスアンプ20に転送すると共に、コマンドCMDをシーケンサ16に転送する。

[0038] シーケンサ16は、コマンドCMDを受け取り、受け取ったコマンドCMDに基づくシーケンスに従って、NAND型フラッシュメモリ3の全体を制御する。また、シーケンサ16は、温度センサ等から受けた温度情報を、入出力回路12を介してメモリコントローラ2に送出する。

[0039] 電圧生成回路17は、シーケンサ16からの指示に基づき、データの書き込み、読み出し、及び消去等の動作に必要な電圧を生成する。電圧生成回路17は、生成した電圧をドライバ（ドライバセット）18に供給する。

ドライバ18は、レジスタ15のアドレスレジスタ15Bから転送される

アドレスADDに基づいて、電圧生成回路17からの種々の電圧をロウデコーダ19及びセンスアンプ20に供給する。ドライバ18は、例えば、アドレス中のロウアドレスに基づき、ロウデコーダ19に種々の電圧を供給する。

[0040] ロウデコーダ19は、レジスタ15のアドレスレジスタ15Bから転送されるアドレスADDに含まれるロウアドレスを受取り、当該ロウアドレスに基づく行のメモリセルトランジスタを選択する。そして、選択された行のメモリセルトランジスタには、ロウデコーダ19を介してドライバ18からの電圧が転送される。

センスアンプ20は、センスアンプユニット20A及びデータレジスタ20Bを備える。データの読み出し時には、例えば、センスアンプユニット20Aがメモリセルトランジスタからビット線に読み出された読み出しデータDATを読み出し（センスし）、読みだされた読み出しデータDATをデータレジスタ20Bに転送する。データレジスタ20Bに保持された読み出しデータDATは、出力回路12Bに転送される。データの書き込み時には、例えば、入力回路12Aから書き込みデータDATがデータレジスタ20Bに転送された書き込みデータDATが、センスアンプユニット20Aによってビット線を介してメモリセルトランジスタに書き込まれる。センスアンプ20は、レジスタ15のアドレスレジスタ15BからアドレスADDに含まれるカラムアドレスを受取り、当該カラムアドレスに基づくカラムのデータを出力する。

例えば、メモリコントローラ2から与えられるリードコマンドに対応して、センスアンプユニット20Aがメモリセルトランジスタからデータを読み出してデータレジスタ20Bに転送し、メモリコントローラ2から与えられるデータアウトコマンドに対応して、データレジスタ20Bが保持しているデータを出力回路12Bに転送する。

メモリコントローラ2からリードコマンドが与えられてから、センスアンプ20Aがメモリセルアレイ11からデータを読み出して、データレジスタ

20Bに読み出したデータの保持されるまでの期間を「期間tR」と呼ぶ。
期間tRの間、レディ・ビジー信号R/B_n及び内部ビジー信号が、ともに
“L”レベル（レディ状態）になる。

[0041] 入出力用パッド群21は、メモリコントローラ2から受信したデータ信号
DQ、DQS、及び/DQSを入出力回路12に転送する。また、入出力用
パッド群21は、入出力回路12から送信された信号DQをNAND型フラ
ッシュメモリ3の外部に転送する。

ロジック制御用パッド群22は、メモリコントローラ2から受信した信号
/CE、CLE、ALE、/WE、/RE、及び/WPをロジック制御回路
13に転送する。また、ロジック制御用パッド群22は、ロジック制御回路
13から送信された/RBをNAND型フラッシュメモリ3の外部に転送す
る。

[0042] データ生成回路14は、例えばシーケンサ16からの指示に基づき、信号
DQS及び/DQSに応じて、出力回路12Bからダミーデータを出力させ
る。具体的には、メモリコントローラ2は、リードイネーブル信号RE及び
/REをトグルし、NAND型フラッシュメモリ3は、信号RE及び/RE
を受けて信号DQS及び/DQSを生成する。データ生成回路14は、信号
DQS及び/DQSを受けて、予め設定されたダミーデータを生成して出力
回路12Bからメモリコントローラ2へ出力させる。メモリコントローラ2
は、受け取ったデータは、ダミーデータである判断した場合には、処理をし
ない又は、無効なデータであるものとして処理をする。

[0043] ダミーデータは、例えば、ランダムパターンであってもよい。あるいは、
ダミーデータは、55h-AAh-55h-AAh…のように、信号線DQ0～DQ7の各信
号が“H”レベルと“L”レベルとでトグルを繰り返すパターンであっても
よいし、または、固定値のデータパターンであってもよい。また、データ生
成回路14は、ロジック制御回路13または入出力回路12に含まれてもよ
い。例えば、入出力回路12の制御回路12Cがデータ生成回路14として
の機能を有していてもよい。

[0044] 次に、図1乃至図4、及び図6を参照して、本実施形態のデータ生成回路14によるダミーデータ出力を利用した、NAND型フラッシュメモリ3からメモリコントローラ2へのデータ出力動作の安定化について説明する。図4は、出力回路12Bの一構成例を示している。図6Aは、比較例に係るデータ読み出しのタイミングチャートを示しており、図6Bは、本実施形態に係るデータ読み出しのタイミングチャートを示している。

[0045] 図6Aは、比較例においてNAND型フラッシュメモリ3に設定されている待機時間 t_{WHR2} と遅延時間（レイテンシー:latency）を示している。比較例に係るNAND型フラッシュメモリ3は本実施形態に係るNAND型フラッシュメモリ3と同様の回路構成を有しているが、待機時間 t_{WHR2} および遅延時間に関連した動作が、異なっている。

[0046] 例えば、メモリコントローラ2からNAND型フラッシュメモリ3へリードコマンドが発行されると、センスアンプ20のセンスアンプユニット20Aがメモリセルアレイ11から1ページ（例えば、16KByte）のデータを読み出し、データレジスタ20Bが、読み出されたデータを格納する。次に、例えば、メモリコントローラ2からNAND型フラッシュメモリ3へデータアウトコマンドが発行される。データアウトコマンドは、例えば、8bitの信号DQとして与えられる1つ又は複数のコマンド信号（“05h”および“E0h”）と、8bitの信号DQとして与えられる1つ又は複数のアドレス信号（カラムアドレスADD及びロウアドレスADD）からなる、コマンドセットである。

メモリコントローラ2からNAND型フラッシュメモリ3へデータアウトコマンドが発行されると、図4に示すように、データレジスタ20Bから出力回路12Bへ1ページのデータが転送される。出力回路12Bのマルチプレクサ31Dが、転送された16KByteのデータから8bitのデータを順次選択してシフトレジスタユニット31Aへ転送し、シフトレジスタユニット31Aが、バッファとして機能するフリップフロップ31Cによって8bitのデータを保持しつつ転送する。これにより、シフトレジスタ31Bに読み

出しデータが一時的に保持される。この状態で信号RE及び／REがトグル(toggle)されると、最終段のフリップフロップ31Cの出力端子Qから入出力用パッド群21を介して8bitのDQデータがメモリコントローラ2に出力される。

[0047] 待機時間 t_{WHR2} 〔第1期間〕は、例えば、メモリコントローラ2がNAND型フラッシュメモリ3へデータアウトコマンドを発行してから、メモリセルアレイ11から読み出された16KByteの読み出しデータがデータレジスタ20Bから出力回路12Bに転送されるとともに、出力回路12Bにおいてその最初の8bitをDQデータとしてメモリコントローラ2に出力するための準備が完了するまでに要する時間である。従って、例えば、待機時間 t_{WHR2} の期間内にデータレジスタ20Bのデータのうち最初の8bitが出力回路12Bのシフトレジスタユニット31Aにおける最終段のフリップフロップ31Cまで転送され、待機時間 t_{WHR2} の経過後にメモリコントローラ2が信号RE及び／REのトグルを開始することで信号線DQ0～DQ7へ8bitのDQデータの出力が開始される仮に、待機時間 t_{WHR2} を待機せずに、メモリコントローラ2が信号RE及び／REのトグルを開始すると、例えば、信号線DQ0～DQ7に接続された図示しない出力バッファへの8bitのデータの格納が完了していない状態で不完全なデータが出力されたり、あるいは、意図しないデータが出力される可能性がある。

すなわち、比較例においては、メモリコントローラ2は、NAND型フラッシュメモリ3にデータアウトコマンドを発行してから、待機時間 t_{WHR2} を待機してからでないと、NAND型フラッシュメモリ3にデータ出力を指示するための信号RE及び／REをトグルさせることができない。

[0048] また、図6Aに示すように、比較例では、待機時間 t_{WHR2} 〔第1期間〕の経過後に、さらに遅延時間(レイテンシー:latency)〔第2期間〕が加えられている。

メモリコントローラ2が信号RE及び／REのトグルを開始すると、期間 t_{DQSRE} 遅れて、NAND型フラッシュメモリ3から発信される信号DQS及び／

DQSもトグルを開始する。例えば、上述のロジック制御回路13の補正回路13aが、ロジック制御用パッド群22を介してメモリコントローラ2から入力される信号RE及び／REのデューティ比を補正し、入出力回路12が、補正された信号RE及び／REに基づいて信号DQS及び／DQSを生成する。

信号DQS及び／DQSは、例えば、信号DQに係るNAND型フラッシュメモリ3の動作タイミングを制御するために使用される。従って、NAND型フラッシュメモリ3は、例えば、信号DQS及び／DQSがトグルを開始してすぐに有効なデータの出力を開始することができる。

しかし、メモリコントローラ2が信号RE及び／REのトグルを開始した直後は、NAND型フラッシュメモリ3の電源VDDが不安定になることがある。そこで、例えば、信号RE及び／REのトグルが開始したことによって不安定になった電源VDDが安定するまで有効なデータの出力を保留させるために、上述の遅延時間が、設定される。有効なデータの出力が開始されるタイミングは、信号DQS及び／DQSのトグルが開始するタイミングから、遅延時間、遅れている。

この遅延時間は、電源VDDを安定化させるためには長い時間であることが好ましいが、動作の高速化のためには短い時間であることが好ましい。なお、この遅延時間は、補正回路(DCC)13aに設けられる位相ロックループ(PLL)又は遅延ロックループ(DLL)等による補正処理、例えば、デューティ比補正やタイミング補正に要する時間を確保するために設定される場合もある。

例えば、シーケンサ16は、信号RE及び／REのいずれか一方、又は、信号DQS及び／DQSの何れか一方をカウントし、所定のカウント回数に達した後で、データレジスタ20Bから出力回路12Bに転送されているデータ(有効なデータ)の出力を開始させる。

[0049] 図5は、比較例におけるデータ出力を示すフローチャートである。

まず、比較例では、予めメモリコントローラ2から発行されるリードコマ

ンドによって、センスアンプ20のセンスアンプユニット20Aが、メモリセルアレイ11からデータ、例えば、1ページ16KByteのデータを読み出して、データレジスタ20Bが読みだされてデータを格納しているものとする。この状態で、メモリコントローラ2は、信号／WEをトグルさせつつ、データ信号線DQ0～DQ7を介して、データアウトコマンドを発行する（ステップS1）。このコマンドはセンスアンプ20に出力されると共に、信号／WEのトグルが停止した時点から、予め設定された時間計測が開始される（ステップS2）。これと並行して、NAND型フラッシュメモリ3では、データレジスタ20Bから出力回路12B内のマルチプレクサ31Dに、読み出しデータが転送される（ステップS3）。待機時間 t_{WHR2} の期間中、マルチプレクサ32Dは、例えば、16KByteのデータを8bitずつ選択して、シフトレジスタユニット31Aに転送する。この待機時間 t_{WHR2} の期間中（ステップS4：NO）は、出力回路12Bがメモリコントローラ2へデータを出力できる準備が完了していることは、保証されない。従って、メモリコントローラ2は、待機時間 t_{WHR2} の期間中、リードイネーブル信号RE及び／REのトグルを開始しない。

[0050] そして、待機時間 t_{WHR2} の期間が終了したならば（ステップS4：YES）、出力回路12Bがメモリコントローラ2へデータを出力できる準備が完了しているため、メモリコントローラ2は、リードイネーブル信号RE及び／REのトグルを開始する（ステップS5）。信号RE及び／REのトグルを受けたNAND型フラッシュメモリ3は、信号DQS及び／DQSのトグルを開始する。信号DQS及び／DQSのトグルを受けたデータ生成回路14は、予め設定するダミーデータを出力回路12Bから出力させる。

[0051] 出力回路12Bは、例えば、予め設定された遅延時間の間には、無効なダミーデータを信号線DQ0～DQ7に出力し、予め設定された遅延時間の終了後には、シフトレジスタユニット31Aに格納されているデータを信号線DQ0～DQ7に出力する（ステップS6）。この出力に協働して、データレジスタ20Bから出力回路12Bのマルチプレクサ31Dに対して、引き

続き、データ転送がされ得る（ステップS7）。さらに、出力回路12Bからメモリコントローラ2にデータが出力される。

[0052] この比較例においては、メモリコントローラ2がデータアウトコマンドを発行してから、NAND型フラッシュメモリ3から最初の有効な8bitのデータが出力されるまでの時間は、少なくとも、NAND型フラッシュメモリ3における内部データ転送処理に必要となる待機時間 t_{WHR2} と、信号RE及び/R Eのトグルに対応して不安定になった電源VDDが安定するのを待つために必要となる遅延時間とを含む。例えば、もしも、遅延時間が短いと、電源VDDの出力が安定する前にデータ出力が開始されてしまうため、出力されるデータのレベルが不安定になる可能性がある。

[0053] 次に、図6Bに示すタイミングチャート及び図7に示すフローチャートを参照して、第1実施形態におけるデータ生成回路14によるデータ出力について説明する。尚、前述した図6Aに示すタイミングチャート及び図5に示すフローチャートにおける動作と同等の動作については、同じステップ番号を付して、説明を簡略化する場合がある。

[0054] 本実施形態では、メモリコントローラ2が、NAND型フラッシュメモリ3における内部データ転送処理に必要となる待機時間 t_{WHR2} よりも短い待機時間 t_{WHR2}' の経過後に、信号RE及び/R Eのトグルを開始させる。そして、NAND型フラッシュメモリ3においては、入出力回路12がメモリコントローラ2から受信した信号RE及び/R Eに基づいて信号DQS及び/DQSを生成して出力回路12Bに出力するとともに、データ生成回路14が信号DQS及び/DQSに基づいてダミーデータを生成して出力回路12Bに出力する。出力回路12Bは、遅延時間の間、メモリコントローラ2へダミーデータを出力する。メモリコントローラ2は、受け取ったダミーデータに対しては対応しない。せず、電源の出力の安定が図られている。ダミーデータは、例えば、ランダムパターン、あるいは、予め設定したデータパターンであってもよく、特に限定されるものではない。

[0055] 本実施形態においても、データ出力動作の説明に当たり、事前に、メモリ

コントローラ 2 はリードコマンドを発行し、メモリセルアレイ 11 から所望するデータが読み出されて、データレジスタ 20 B に格納されているものとする。

まず、メモリコントローラ 2 は、NAND 型フラッシュメモリ 3 に対してデータアウトコマンドを発行する。(ステップ S 1)。このデータアウトコマンドは、8 bit の信号 DQ として与えられる第 1 コマンド信号 "05h"、コラムアドレス信号 ADD、ローアドレス信号 ADD、及び第 2 コマンド信号 "E0h" を含むコマンドセットである。メモリコントローラ 2 は、データアウトコマンドの発行にあわせて、信号 $\overline{\text{WE}}$ を時間 t_{WC} のサイクルで、トグルさせる。

[0056] 次に、メモリコントローラ 2 は、データアウトコマンドを発行するとともに、時間計測を開始する(ステップ S 2)。そして、メモリコントローラ 2 は、待機時間 t_{WHR2} の期間内に、すなわち、待機時間 t_{WHR2} よりも短い t_{WHR2}' の経過後に、信号 RE 及び $\overline{\text{RE}}$ を、時間 t_{RC} のサイクルで、トグルさせる(ステップ S 5)。待機時間 t_{WHR2} の期間内における信号 RE 及び $\overline{\text{RE}}$ のトグル回数及びトグル開始タイミングは、例えば、セットフィーチャー (set feature) により適宜、設定可能である。

[0057] これと並行して、NAND 型フラッシュメモリ 3 がデータアウトコマンドを受けると、データレジスタ 20 B は保持している例えば 16 KByte のデータを、入出力回路 12 内のマルチプレクサ 31 D に転送する(ステップ S 3)。マルチプレクサ 31 D は、例えば、16 KByte のデータを 8 bit ずつシフトレジスタユニット 31 A の各シフトレジスタ 31 B に転送する。

[0058] また、信号 RE 及び $\overline{\text{RE}}$ のトグル開始後に、NAND 型フラッシュメモリ 3 において、期間 t_{DQSRE}' 遅れて、信号 DQS 及び $\overline{\text{DQS}}$ のトグルが開始される。データ生成回路 14 は、信号 DQS 及び $\overline{\text{DQS}}$ のトグルの開始後に、ダミーデータを生成し、出力回路 12 B に対して出力する(ステップ S 8)。出力回路 12 B は、予め設けた遅延時間の間、ダミーデータを信号 DQS 及び $\overline{\text{DQS}}$ と共に、メモリコントローラ 2 へ出力する(ステップ S 11)。

）。図6Bに示す本実施形態では、信号DQS及び/DQSのトグルが開始すると共に、ダミーデータの出力が開始する例を示している。しかし、これらのタイミングは、限定されるものではない。前述したように、メモリコントローラ2は、ダミーデータに対しては処理をしない。また、信号RE及び/REのトグル開始のタイミングが早められることで、ダミーデータではない有効なデータの出力が開始されるタイミングにおいては、電源VDDの出力がより安定している。

[0059] そして、例えば信号DQSのトグル数が設定回数に達したならば（ステップS12：YES）、出力回路12Bのシフトレジスタユニット31Aからメモリコントローラ2に読み出したデータ信号DQが出力される（ステップS6）。この出力に協働して、データレジスタ20Bから出力回路12Bのマルチプレクサ31Dに対して、引き続き、データ転送がされ得る（ステップS7）。さらに、出力回路12Bからメモリコントローラ2にデータが出力される。また、信号DQにおけるダミーデータの出力時間又はサイクル数（トグル回数）は、適宜、設定されるものであり限定されるものではない。

図6Aに示す比較例においては、待機時間 t_{WHR2} が経過してから、信号RE及び/REのトグル（toggle）が開始され、続いて信号DQS及び/DQSのトグルが開始されている。また、有効なデータの出力が開始されるタイミングは、信号DQS及び/DQSのトグルが開始するタイミングから、遅延時間、遅れている。信号RE及び/REのトグル開始によって電源VDDが不安定になる場合、遅延時間を長く設定することで、電源VDDが安定してから有効なデータの出力を開始させることができる。一方で、比較例においては、メモリコントローラ2がデータアウトコマンドを発行してから、NAND型フラッシュメモリ3から最初の有効な8bitのデータが出力されるまでの時間が、少なくとも、待機時間 t_{WHR2} と遅延時間の和よりも長くなる。

これに対して本実施形態は、図6Bに示す待機時間 t_{WHR2} 〔第1期間〕の間に、信号RE及び/RE〔第1信号〕のトグル（toggle）が開始され、続いて信号DQS及び/DQS〔第2信号〕のトグルが開始される。また、データ

生成回路 14 は、信号 DQS 及び / DQS の任意回数のトグルが経過した後、ダミーデータ [第 1 データ] を生成し、出力回路 12B からメモリコントローラ 2 へ出力させる。メモリコントローラ 2 は、ダミーデータを有効なデータ (メモリセルアレイ 11 から読み出され、データレジスタ 20B に格納されていたデータ) としては扱わず、データ処理は行わない。メモリコントローラ 2 は、例えば信号 DQS のトグル回数等に基づいて、ダミーデータか否かを判断可能である。ダミーデータが 55h-AAh-55h-AAh... のようなトグルを繰り返すパターンである場合、信号 DQS のトグル回数に代えて、ダミーデータのトグル回数に基づいてダミーデータか否かを判断してもよい。

[0060] 以上のように、本実施形態では、待機時間 t_{WHR2} の期間中に信号 RE 及び / RE のトグルと、信号 DQS 及び / DQS のトグルを連続的に開始し、続いて、ダミーデータを出力させることで、待機時間 t_{WHR2} と遅延時間とを時間的に重複させることができ、比較例に比べて早い時期から電源 VDD の出力の安定を図ることができる。このため、有効なデータの出力が開始されるタイミングを図 6A で説明した比較例と同じタイミングに設定した場合には、電源の出力の安定を図るための遅延時間 (latency) を、より長く設定することができる。これにより、例えば、図 6B に示すように、電源 VDD の出力が安定してから、有効なデータの出力を開始させることができ、データの読み出し信頼性を向上させることができる。

[0061] あるいは、電源 VDD の出力が比較例の場合と同程度まで安定していればデータの読み出し信頼性に問題が無い場合には、さらに早い時期から信号 RE 及び / RE のトグルが開始されることで、信号 DQS 及び / DQS がトグルされるとともにダミーデータが出力される遅延時間がより早い時期に終了するため、有効なデータの出力が開始されるタイミングを比較例よりも早めて、実質的なデータ読み出し時間の高速化が実現できる。

[0062] 待機時間 t_{WHR2} に対する、メモリコントローラ 2 が信号 RE 及び / RE のトグルを開始するタイミング、あるいは、ダミーデータの出力が終了して有効なデータの出力が開始されるタイミングは、第 1 実施形態として図 6B に示し

たものに限られず、設計や装置仕様に応じて適宜、設定を行うことができる。以下に、タイミングの設定例について説明する。

[0063] [第1の設定例]

図8に示す第1の設定例は、待機時間 t_{WHR2} におけるトグル終了と、遅延時間(latency)におけるダミーデータの出力終了が同時のタイミングに設定されている。即ち、待機時間 t_{WHR2} が終了すると共に、データ出力が可能な設定である。

[0064] まず、待機時間 t_{WHR2} の期間内に信号RE及び $\overline{\text{RE}}$ のトグルが開始し、その直後に続くように、信号DQS及び $\overline{\text{DQS}}$ のトグルが開始されて、信号DQにおけるダミーデータの出力が開始される。信号RE及び $\overline{\text{RE}}$ のトグルと、信号DQS及び $\overline{\text{DQS}}$ のトグルは、少なくとも信号DQにおけるダミーデータの出力終了まで継続して行われている。

[0065] この第1の設定例では、待機時間 t_{WHR2} は、300nsecに設定され、信号RE及び $\overline{\text{RE}}$ のトグルは、1サイクル時間 t_{RC} は、2.5nsecに設定されている。勿論、これらの時間設定は、限定されたものではなく、メモリコントローラ2により適宜、設定を行うことができる。尚、他の設定例も同様に時間設定を行うことができる。

[0066] [第2の設定例]

図9に示す第2の設定例は、待機時間 t_{WHR2} のトグルが終了した後、遅延時間(latency)におけるダミーデータを終了させるタイミングに設定されている。前述した第1の実施形態と同様である。第2の設定例は、第1の設定例に比べて、タイミングの設定が容易である。この第2の設定例においても、待機時間 t_{WHR2} は、300nsecに設定され、信号RE及び $\overline{\text{RE}}$ のトグルは、1サイクル時間 t_{RC} が、2.5nsecに設定されている。この時、待機時間 t_{WHR2} の期間内に開始され、信号RE及び $\overline{\text{RE}}$ のトグルと、信号DQS及び $\overline{\text{DQS}}$ のトグルは、信号DQにおけるダミーデータの出力終了まで継続して行われている。

[0067] [第3の設定例]

図 10 に示す第 3 の設定例は、待機時間 t_{WHR2} の期間内に、信号 RE 及び $\neg$ RE と信号 DQS 及び $\neg$ DQS のトグルとが一旦、停止した後、待機時間 t_{WHR2} の終了時にトグルが再開される。これらのトグルの再開と共に、遅延時間 (latency) における信号 DQ におけるダミーデータの出力が終了するように設定されている。

[0068] 具体的には、待機時間 t_{WHR2} の期間内に、信号 RE 及び $\neg$ RE のトグルと、信号 DQS 及び $\neg$ DQS のトグルとが開始されて、ダミーデータの出力が開始する。さらに、待機時間 t_{WHR2} の期間内で、設定されたトグル回数に達した信号 RE 及び $\neg$ RE と、信号 DQS 及び $\neg$ DQS は、トグルを終了するが、信号 DQ におけるダミーデータの出力は継続される。そして、データ出力を開始するための信号 RE 及び $\neg$ RE のトグルを待機する。

[0069] その後、待機時間 t_{WHR2} の終了と共に、信号 RE 及び $\neg$ RE と、信号 DQS 及び $\neg$ DQS のトグルが再開されて、信号 DQ におけるダミーデータの出力が終了する。

第 3 の設定例では、待機時間 t_{WHR2} は、300nsec に設定され、信号 RE 及び $\neg$ RE のトグルは、1 サイクル時間 t_{RC} が、2.5nsec に設定されている。

この第 3 の設定例では、信号 RE 及び $\neg$ RE のトグル及び信号 DQS 及び $\neg$ DQS のトグルを中断しているため、電力消費を抑制することができる。

[0070] [第 4 の設定例]

図 11 に示す第 4 の設定例は、待機時間 t_{WHR2} の期間内に、信号 RE 及び $\neg$ RE のトグルを開始し、待機時間 t_{WHR2} の終了後の遅延時間 (latency) において、信号 DQS 及び $\neg$ DQS のトグルと信号 DQ におけるダミーデータの出力が開始される設定である。第 4 の設定例では、待機時間 t_{WHR2} は、300nsec に設定され、信号 RE 及び $\neg$ RE のトグルは、1 サイクル時間 t_{RC} が、2.5nsec に設定されている。この第 4 の設定例でも、第 3 の設定例と同様に、電力消費を抑制することができる。

[0071] [第 2 実施形態]

次に、図 12 に示すフローチャートを参照して、第 2 実施形態における N

NAND型フラッシュメモリ3からメモリコントローラ2へのデータ出力動作について説明する。尚、前述した図7に示したフローチャートにおける動作と同等の動作については、同じステップ番号を付して説明を簡略化する。

本実施形態は、前述した第1実施形態における遅延時間内でダミーデータの出力と、補正回路のPLL/DLLによるデューティ比の補正処理を行う。

[0072] まず、メモリコントローラ2は、信号/WEのトグルを開始し、アドレスADD及びデータアウトコマンドを発行する（ステップS1）。NAND型フラッシュメモリ3がデータアウトコマンドを受けると、データレジスタ20Bに格納されているデータが、入出力回路12内のマルチプレクサ31Dに転送される（ステップS3）。マルチプレクサ31Dは、例えば、16KByteのデータを8bitずつ、各シフトレジスタ31Bに格納させていく。

また、データアウトコマンドが発行されると共に、信号/WEのトグルが停止した時点から、メモリコントローラ2は、時間計測を開始する（ステップS2）。そして待機時間 t_{WHR2} の期間内に、メモリコントローラ2は、信号RE及び/REの1サイクルが待機時間 t_{RC} のトグルを開始させる（ステップS4）。信号RE及び/REのトグルが開始した後、NAND型フラッシュメモリ3は、設定された時間後に、信号DQS及び/DQSのトグルを開始する。信号DQS及び/DQSのトグル開始後、データ生成回路14がダミーデータを生成し、出力回路12Bに出力する（ステップS8）。

[0073] 出力回路12Bは、信号線DQ0～DQ7を介して、ダミーデータを信号DQS及び/DQSと共に、メモリコントローラ2へ出力する（ステップS11）。このダミーデータの出力と並行して、即ち、待機時間及び遅延時間（latency）内に、ロジック制御回路13の補正回路13aに設けられるPLL/DLLによるデューティ比の補正処理を行う（ステップS13）。

[0074] このダミーデータ出力中に、データレジスタ20Bに格納されていたデータが、マルチプレクサ31Dに転送される（ステップS3）。マルチプレクサ31Dは、例えば、16KByteのデータを8bitずつ、各シフトレジスタ

タ 3 1 B に格納させていく。

[0075] そして、例えば信号 D Q S のトグルが設定された回数（又は、トグルの出力時間）に達した時（ステップ S 1 2 : Y E S）、即ち、遅延時間（latency）が終了した時に、シフトレジスタ 3 1 B に読み出したデータの、メモリコントローラ 2 への出力が開始される（ステップ S 6）。この出力に協働して、データレジスタ 2 0 B から出力回路 1 2 B のマルチプレクサ 3 1 D に対して、引き続き、データ転送がされ得る（ステップ S 7）。さらに、出力回路 1 2 B からメモリコントローラ 2 にデータが出力され得る。

[0076] 本実施形態においては、比較例に比べて早い時期から電源の出力の安定を図ることで、電源の出力を安定させてからデータの出力を開始させることができる。さらに、早い時期から電源の出力の安定を図るため、遅延時間（latency）を、より長く設定することができる。よって、遅延時間内でデューティ比の補正処理等の他の処理を行う時間を確保することができる。また、これらの補正処理の時間を待機時間や遅延時間を利用して行うことで十分な処理時間が使用でき、補正の精度を高めることができる。

[0077] [第 3 実施形態]

次に、図 1 3 に示すフローチャートを参照して、第 3 実施形態における N A N D 型フラッシュメモリ 3 からメモリコントローラ 2 へのデータ出力動作について説明する。尚、前述した図 7 に示すフローチャートにおける動作と同等の動作については、同じステップ番号を付して、説明を簡略化する。

[0078] 本実施形態は、前述した第 1 実施形態におけるデータアウトコマンドの発行と、信号 R E 及び / R E のトグルの開始のステップが入れ替わったフローである。即ち、先に信号 R E 及び / R E のトグルが開始された後、データアウトコマンドが発行される。

[0079] まず、メモリコントローラ 2 は、信号 R E 及び / R E のトグルを開始する（ステップ S 5）。その後、メモリコントローラ 2 は、アドレス A D D 及びデータアウトコマンドを発行する（ステップ S 1）。データアウトコマンドの発行後に、メモリコントローラ 2 は時間計測を開始する（ステップ S 2）

。

メモリコントローラ 2 は、測定開始後、待機時間 t_{WHR2} の期間内で予め設定された時間又は信号 RE 及び $\neg$ RE のトグル回数の経過後に、信号 DQS 及び $\neg$ DQS のトグルを開始する。、信号 DQS 及び $\neg$ DQS のトグルが開始されると、データ生成回路 14 はダミーデータを生成し、出力回路 12 B へ出力する（ステップ S 8）。

[0080] 出力回路 12 B は、遅延時間の間、信号線 DQ0～DQ7 を介して、ダミーデータを信号 DQS 及び $\neg$ DQS と共に、メモリコントローラ 2 へ出力する（ステップ S 11）。本実施形態においても、メモリコントローラ 2 は、受け取ったデータをダミーデータであると判断して、処理しない。

[0081] また、NAND 型フラッシュメモリ 3 がデータアウトコマンドを受けると、データレジスタ 20 B に格納されているデータが、入出力回路 12 内のマルチプレクサ 31 D に転送される（ステップ S 3）。マルチプレクサ 31 D は、例えば、16 K B y t e のデータを 8 bit ずつ、各シフトレジスタ 31 B に格納させていく。

[0082] その後、例えば信号 DQS のトグルが設定された回数に達した時に（ステップ S 12 : Y E S）、即ち、遅延時間（latency）が終了した時に、出力回路 12 B のシフトレジスタユニット 31 A からメモリコントローラ 2 にデータが出力される（ステップ S 6）。この出力に協働して、データレジスタ 20 B から出力回路 12 B のマルチプレクサ 31 D に対して、引き続き、データ転送がされ得る（ステップ S 7）。さらに、出力回路 12 B からメモリコントローラ 2 にデータが出力され得る。

[0083] 以上のように、本実施形態は、前述した第 1 実施形態と同等の作用効果を得られる。さらに、本実施形態において、データアウトコマンドの発行と、信号 RE 及び $\neg$ RE のトグル開始のタイミングは規定されたものではなく、信号 RE 及び $\neg$ RE のトグル開始した後に、データアウトコマンドが発行されてもよい。本実施形態においても、待機時間及びダミーデータの出力を行っている期間中に、センスアンプ 20 によりメモリセルアレイ 11 からデー

タを読み出し、出力回路12Bのマルチプレクサ31Dに転送すること、を同時又は並列的に処理できるため、電源の安定を実現し、適正なデータを出力することができる。

[0084] [第4実施形態]

次に、図14に示すフローチャートを参照して、第4実施形態におけるNAND型フラッシュメモリ3からメモリコントローラ2へのデータ出力動作について説明する。尚、前述した図7に示すフローチャートにおける動作と同等の動作については、同じステップ番号を付して、説明を簡略化する。

[0085] 本実施形態は、リードコマンドの発行によりメモリセルトランジスタからデータを読み出している時に、信号RE及び／REのトグルが開始され、その後データアウトコマンドが発行される例である。

まず、メモリコントローラ2は、NAND型フラッシュメモリ3へアドレスADD等とともにリードコマンドを発行する（ステップS14）。

[0086] リードコマンドに応じて、センスアンプユニット20Aが、メモリセルアレイ11からデータを読み出し、データレジスタ20Bに格納させる（ステップS15）。それと並行して、メモリコントローラ2は、信号RE及び／REのトグルを開始させる（ステップS5）。

[0087] また、NAND型フラッシュメモリ3は、信号RE及び／REのトグルが開始された後、信号DQS及び／DQSのトグルを開始する。信号DQS及び／DQSのトグル開始後、データ生成回路14がダミーデータを生成し、出力回路12Bに出力する（ステップS8）。出力回路12Bは、信号線DQ0～DQ7を介して、ダミーデータを信号DQS及び／DQSと共に、メモリコントローラ2へ出力する（ステップS11）。本実施形態においてもダミーデータは、出力回路12Bからメモリコントローラ2に出力されても無効なデータと判断されて処理されない。

[0088] 次に、メモリコントローラ2は、NAND型フラッシュメモリ3へデータアウトコマンドを発行する（ステップS1）。データアウトコマンドの発行後に、メモリコントローラ2は、時間計測を開始する（ステップS2）。待

機時間 t_{WHR2} の期間内に、データレジスタ20B内に格納されているデータが、出力回路12Bのマルチプレクサ31Dに転送される（ステップS3）。マルチプレクサ31Dは、例えば、16KByteのデータを8bitずつ、各シフトレジスタ31Bに最初の格納を行う。

[0089] その後、例えば信号DQSのトグルが設定された回数に達した時に（ステップS12：YES）、即ち、遅延時間（latency）が終了した時に、出力回路12Bのシフトレジスタユニット31Aからメモリコントローラ2にデータが出力される（ステップS6）。この出力に協働して、データレジスタ20Bから出力回路12Bのマルチプレクサ31Dに対して、引き続き、データ転送がされ得る（ステップS7）。さらに、出力回路12Bからメモリコントローラ2にデータが出力され得る。

[0090] 以上のように、本実施形態は、前述した第1実施形態と同等の作用効果を得られる。さらに、本実施形態は、リードコマンドの発行後かつデータアウトコマンドの発行前の期間中に、信号RE及び／REのトグルを開始することができる。

[0091] [第5実施形態]

図15に示すタイミングチャートを参照して第5実施形態におけるNAND型フラッシュメモリ3からメモリコントローラ2へのデータ出力動作について説明する。

本実施形態は、前述した各実施形態で使用したリードアウトコマンドに変わって、ゲットフィーチャー（get feature）コマンドを利用して、NAND型フラッシュメモリ3に予め設定されている設定値を出力させる。具体的には、メモリコントローラ2は、図15に示すように、ゲットフィーチャーコマンドの読み取りコマンドXXhを発行すると、前述した待機時間 t_{WHR2} に相当する期間（時間 t_{WB} ＋設定時間 t_{FEAT} ＋時間 t_{RP} ）内に、信号RE及び／REのトグルを開始し、これに対応して、NAND型フラッシュメモリ3が、信号DQS及び／DQSのトグルを開始させる。信号DQS及び／DQSのトグル開始後、データ生成回路14がダミーデータを生成し、出力回路12Bに出

力する。出力回路 12B は、信号線 DQ0～DQ7 を介して、ダミーデータをメモリコントローラ 2 に出力する。そして、NAND 型フラッシュメモリ 3 は、ダミーデータの出力が終了した後で、設定値をメモリコントローラ 2 に出力する。

[0092] 本実施形態の NAND 型フラッシュメモリ 3 は、設定時間 t_{FEAT} 、信号 RE 及び $\neg RE$ のトグルの開始及び終了のタイミング、信号 DQS 及び $\neg DQS$ のトグルの開始及び終了のタイミング、それぞれのトグル回数、及び／又は、ダミーデータの出力時間（ダミーデータが 55h-AAh-55h-AAh…のようなトグルを繰り返すパターンである場合、そのトグル回数）のそれぞれの設定値を、予め図示しないフィーチャレジスタに保持しており、動作コマンドを受け付けた場合、設定値に基づいて動作する。

本実施形態においても、前述した第 1 実施形態と同等な効果を奏することができる。

[0093] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] 半導体メモリと、
 前記半導体メモリからデータを読み出す指示を与えるコントローラと、を具備し、
 前記半導体メモリは、
 データを保持するメモリセルトランジスタと、
 前記メモリセルトランジスタから読み出されたデータに対して、前記コントローラへ出力するための処理を行う出力回路と、
 第1データを生成するデータ生成回路と、を備え、
 前記データの読み出し時において、
 前記コントローラは、前記出力回路が前記処理を行っている第1期間内に第1信号を前記半導体メモリへ出力し、
 前記半導体メモリは、前記第1信号に基づいて第2信号を生成し、
 前記第1期間と第2期間の期間に、前記第2信号と共に前記第1データを前記コントローラへ出力し、
 前記第2期間の終了後に前記半導体メモリは、前記第2信号と共に前記メモリセルトランジスタから読み出されたデータを前記コントローラへ出力する、メモリシステム。
- [請求項2] 前記出力回路は、選択回路と保持回路とを備え、
 前記出力回路による前記処理は、
 前記選択回路が、前記メモリセルトランジスタから読み出されたデータのうちの複数ビットを選択すること、及び、前記保持回路が、前記選択回路により選択された前記複数ビットを保持することを含む内部データ転送であり、
 前記第1期間内に実行される、請求項1記載のメモリシステム。
- [請求項3] 前記データの読み出し時において、
 前記コントローラは、前記データが記憶されているアドレス及び、データアウトコマンドを発行して、前記半導体メモリに送信し、

前記半導体メモリは、前記データアウトコマンドに応答してビジー状態となり、前記メモリセルトランジスタからデータを読み出し、

前記コントローラは、前記半導体メモリがレディ状態になった後に前記第1信号を発行して前記半導体メモリに送信し、

前記データ生成回路は、前記データアウトコマンドに基づいて前記第1データを生成し、

前記出力回路は、前記第2期間の間、前記第1データを前記第2信号と共に前記コントローラへ出力する、請求項1に記載のメモリシステム。

[請求項4] 前記コントローラは、前記第1信号及び前記第2信号のそれぞれのトグル回数と、前記第1データの出力時間を任意に変更する、請求項1に記載のメモリシステム。

[請求項5] 前記コントローラは、前記データ生成回路が生成する前記第1データが、予め設定したトグル回数を有するデータパターン又は、固定値のパターンを含むパターンのいずれか1つを選択する、請求項1に記載のメモリシステム。

[請求項6] 前記半導体メモリは、クロック信号のデューティ比及びタイミングを補正する補正回路を備え、

前記コントローラは、前記第1期間及び前記第2期間中に、前記補正回路による補正を実行する、請求項1に記載のメモリシステム。

[請求項7] 前記コントローラは、前記データアウトコマンドの発行前又は、発行中に、前記第1信号の出力を開始する、請求項3に記載のメモリシステム。

[請求項8] 前記半導体メモリは、読み出されたデータを一時的に保持するレジスタを備え、

前記データの読み出し時において、

前記コントローラは、前記半導体メモリに、前記データが記憶されているアドレス及び、リードコマンドを発行した後に、前記第1期間

を開始し、前記第 1 信号を発行して前記半導体メモリに送信し、

前記半導体メモリは、前記第 1 信号に応答して、前記メモリセルトランジスタからデータを読み出して前記レジスタに一時的に保持し、

前記データ生成回路は、前記出力回路に第 1 データを出力し、

前記コントローラは、第 1 データが出力される前記第 2 期間の期間内に前記データが記憶されているアドレス及び、データアウトコマンドを発行して、前記半導体メモリに送信し、

前記出力回路は、前記第 2 期間の間、前記第 1 データを前記第 2 信号と共に前記コントローラへ出力する、請求項 1 に記載のメモリシステム。

[請求項 9]

前記データの読み出し時において、

前記コントローラは、前記第 1 信号を出力する前記第 1 期間の終了時と、前記第 1 データを出力の終了時が同時、又は、前記第 1 期間の終了後に前記第 1 データの出力が終了するように設定される、請求項 1 に記載のメモリシステム。