

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)



(10) 国際公開番号

WO 2020/031265 A1

(51) 国際特許分類:
H01L 27/11575 (2017.01)

竜太 (KATSUMATA, Ryota), 荒井 史隆
(ARAI, Fumitaka).

(21) 国際出願番号: PCT/JP2018/029627

(22) 国際出願日: 2018年8月7日(07.08.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).

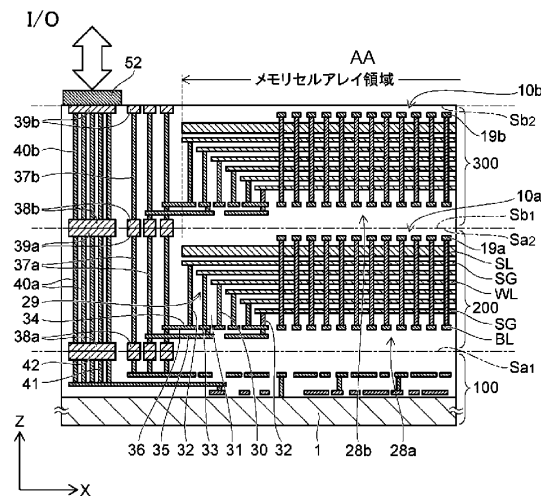
(72) 発明者: 東 和幸 (HIGASHI, Kazuyuki), 津村 一道 (TSUMURA, Kazumichi), 勝 又

(74) 代理人: 井上 正則 (INOUE, Masanori); 〒2220035 神奈川県横浜市港北区鳥山町555 i . P A R T N E R S 特許事務所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置



AA Memory cell array region

(57) Abstract: The semiconductor memory device according to an embodiment of the present invention includes a plurality of memory cell array layers each of which has a first surface and a second surface opposite the first surface and does not include a substrate, said memory cell array layers each including a plurality of memory cells three-dimensionally arranged in a memory cell array region and a surface wiring layer that is embedded in the first surface and/or the second surface. The surface wiring layers of the memory cell array layers are provided so as to overlap one another when viewed

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

in a direction perpendicular to the first surface, and the plurality of memory cell array layers are stacked by the surface wiring layers being connected to each other.

(57) 要約: 実施形態の半導体記憶装置は、第1面及び前記第1面と反対側の第2面を持ち、基板を含まないメモリセルアレイ層であって、メモリセルアレイ領域に3次元配置された複数のメモリセルと、第1面または／及び第2面に埋め込まれた表面配線層とを含むメモリセルアレイ層を複数有し、それぞれの前記メモリセルアレイ層の前記表面配線層は、前記第1面に垂直な方向から見て重なるように設けられ、前記表面配線層同士が互いに接合されることによって、複数の前記メモリセルアレイ層が積層されている。