

明 細 書

発明の名称：メモリシステム及び制御方法

技術分野

[0001] 実施形態は、不揮発性半導体記憶装置を用いたメモリシステム及び制御方法に関する。

背景技術

[0002] 不揮発性半導体記憶装置のNAND型フラッシュメモリを基板実装した際に発生するデバイス端での信号の反射を抑制するODT(On Die Termination)技術が用いられている。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-084432号公報

発明の概要

発明が解決しようとする課題

[0004] 誤動作なく、処理能力を向上できるメモリシステム及び制御方法を提供する。

課題を解決するための手段

[0005] 実施形態に係るメモリシステムは、数のメモリチップを含み、一対で対向配置される組を複数配置して共通バスにより接続される複数のメモリパッケージと、全ての前記メモリパッケージに配置され、信号の反射を抑制するODT(On Die Termination)回路と、前記共通バスを通じて、指定されたメモリパッケージのメモリチップに対してデータの書き込み又は読み出し、及び該メモリパッケージの前記ODT回路のオンオフ制御を行うコントローラと、を備え、前記コントローラは、少なくとも2サイクルの周期信号によって定義される2bitの情報信号により設定される前記ODT回路をオンするためのODT起動条件を保持し、前記周期信号を用いて取得したチップイネーブル信号CEnのアサートの状態が前記ODT起動条件のパターンに含まれて

いた際に前記ODT回路をオンする。

図面の簡単な説明

- [0006] [図1]図1は、第1の実施形態に係る不揮発性半導体記憶装置を用いたメモリシステムの構成を概念的に示すブロック図である。
- [図2]図2は、第1の実施形態に係る不揮発性半導体記憶装置(MCP)の断面図である。
- [図3]図3は、第1の実施形態に係る不揮発性半導体記憶装置(MCP)のブロック図である。
- [図4A]図4Aは、第1の実施形態に係る不揮発性半導体記憶装置入出力制御回路におけるODTのオン／オフ制御回路の構成例を示す図である。
- [図4B]図4Bは、第1の実施形態に係る不揮発性半導体記憶装置における入出力端子及び入出力制御回路の接続を模式的に示す回路図である。
- [図5]図5は、第1の実施形態に係る不揮発性半導体記憶装置におけるロジック回路の接続を模式的に示す回路図である。
- [図6]図6は、第1の実施形態に係るメモリシステムの回路構成を模式的に示す図である。
- [図7A]図7Aは、第1の実施形態に係るターゲットODTの第1ODT起動条件を示す図である。
- [図7B]図7Bは、第1の実施形態に係るノンターゲットODTの第2ODT起動条件を示す図である。
- [図8]図8、第1の実施形態(MCP)に係るメモリシステムのデータ読みだし動作の際のODTのオンオフを説明するためのタイミングチャートである。
- [図9A]図9Aは、第1の実施形態に係るメモリシステムのデータ読みだし動作について説明するためのタイミングチャートである。
- [図9B]図9Bは、第1の実施形態に係るメモリシステムのデータ読みだし動作について説明するためのタイミングチャートである。
- [図10]図10は、第1の実施形態に係る不揮発性半導体記憶装置(TSV)

の断面図である。

[図11]図11は、第1の実施形態に係る不揮発性半導体記憶装置(TSV)のブロック図である。

[図12]図12は、第1の実施形態(TSV)に係るメモリシステムのデータ読みだし動作について説明するためのタイミングチャートである。

[図13]図13は、第2の実施形態に係るメモリシステムの回路構成を模式的に示す図である。

[図14]図14は、第2の実施形態に係るメモリシステムのデータ読みだし動作の際のODT回路のオンオフを説明するためのタイミングチャートである。

実施形態

[0007] 以下、図面を参照して、実施形態について詳細に説明する。

実施形態は、不揮発性半導体記憶装置である、例えばNAND型フラッシュメモリを含むメモリパッケージ11を用いたメモリシステム1である。メモリシステム1は、主として、複数のメモリパッケージ11(11a~11d)とコントローラ100とを備える。メモリパッケージ11は、一対でPCB基板(Print Circuit Board)2を挟んで対向配置され、共通バス3によりコントローラ100と接続される。全てのメモリパッケージ11内又は、全てのメモリパッケージ内の各メモリチップ内には、ODT(on die termination)回路60(図11及び図3に示す)が配置され、信号の反射を抑制する。コントローラ100は、指定されたメモリパッケージ11に対して、共通バス3を通じてデータの書き込み又は読み出し、及びODT回路60のオンオフ制御を行う。

[0008] さらに、コントローラ100は、ODT回路60をオンするためのODT起動条件を保持する。ODT起動条件は、制御信号(ODTイネーブル信号ODTEN、又はライトイネーブル信号WEn)の先頭に設けた、少なくとも2度の立ち上がりを持つ2サイクルの周期信号によって定義される2bitの情報信号により設定する。本実施形態における周期信号とは、クロック信号

と同等であり、立ち上がりと立ち下りの信号値の周期的な変化を有する信号である。また、2つのサイクルは、同一周期（パルス幅）であることを前提とするが、設計に応じて異なる周期（パルス幅）であってもよい。従って、回路内で使用しているクロック信号でODT起動に利用することが可能なクロック信号があれば、周期信号として代用することも可能である。コントローラ100は、連続して2回取得したチップイネーブル信号CE_nのアサート（assert）の状態がODT起動条件のパターンに一致した際に、ODT回路をオンすることで、ターゲットODT及びノンターゲットODTのODT回路をオンに設定する。また、チップイネーブル信号CE_nがアサートからネゲート（negate）に切り換えられた際に、ODT回路をオフするように設定される。

[0009] 〔第1の実施形態の1（CMP構造）〕

本実施形態において、一例とするメモリパッケージは、各メモリチップの電極端子が端に露出するように、複数のメモリチップが斜めに積み重ねられるMCP（Multi-Chip Package）構造である。このMCP構造においては、ODT回路がメモリパッケージ内の各メモリチップに搭載されている。

[0010] 図1に示すように、メモリシステム1は、主として、PCB基板2に実装される複数のメモリパッケージ11（PKG1～PKG4：11a～11d）と、共通バスを含むバス3により接続して各メモリパッケージ11a～11dを駆動制御するコントローラ100と、を備えている。コントローラ100は、外部のホスト機器200に接続される。コントローラ100は、例えばホスト機器200から発行されるコマンドに基づいて、各メモリパッケージ11a～11dを制御し、データの書き込み及び読み出し等を行う。

[0011] メモリシステム1は、PCB基板2の表裏の実装面を挟むようにして、両面上で対向する位置に実装される一対のメモリパッケージ11を複数の組（グループ）で有している。この構成例では、Aグループ内で対向配置される一対のメモリパッケージ11a、11bは、コントローラ100に接続するバス長（回路配線の長さ）が略同一になっているものとする。Bグループの

一対のメモリパッケージ11c, 11dも同様に、バス長が略同一であるものとする。なお、メモリパッケージ11は、対を成す配置ではあるが、2グループ4個に限定されるものではなく、グループ数は設計に応じて、適宜、変更が可能である。

[0012] 図2に示すメモリパッケージ11の断面構造、及び図3に示すブロック構成を参照してメモリシステム1の構成については、詳細に説明する。

メモリパッケージ11の内部において、パッケージ基板(半導体基板)40の下面には、接続用部材及び入出力の電極となる複数のバンプ41が設けられる。メモリパッケージ11がBGA(Ball Grid Array)パッケージの場合、バンプ41は、半球形状のはんだボールを用いている。パッケージ基板40は、バンプ41及び回路配線を介してコントローラ100に電氣的に接続される。

[0013] メモリパッケージ11は、パッケージ基板40上に各メモリチップ30の中心を斜め方向にずらす状態で、例えば8個のメモリチップ30(30a~30h)を階段状に斜めに積み重ねて、端に設けた電極端子31が露出する構造である。これらの電極端子31は、金属ワイヤ配線32を用いて、ワイヤボンディングによりパッケージ基板40等の電気回路と電氣的に接続される。

[0014] 図3に示すように、メモリチップ30(30a~30h)は、インターフェースチップ33とメモリセルアレイ34を有している。インターフェースチップ33は、少なくとも入出力制御回路50、ロジック回路51、及びODT制御回路52を含む。インターフェースチップ33は、パッケージ基板40とメモリチップ30との間でデータ等を転送する。尚、パッケージ基板40は、コントローラ100とインターフェースチップ33との間でデータ等を転送する。

[0015] インターフェースチップ33のロジック回路51は、リードイネーブル信号RE及びREN、チップイネーブル信号CEN、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信

号WE_n、ライトプロテクト信号WP_n、並びにODTイネーブル信号ODTENにそれぞれ対応する端子が設けられている。ロジック回路51は、例えば、リードイネーブル信号RE及びRE_nを受信する端子に接続されるODT回路60を含む。また、ロジック回路51は、受信した信号を、ODT制御回路52に転送する。

[0016] さらに、入出力制御回路50は、データ線DQ、並びにクロック信号DQS及びDQS_n毎にそれぞれ対応する各端子及び各入出力制御回路が設けられている。クロック信号DQSは、データの入出力の際に用いられるクロック信号であり、クロック信号DQS_nは、クロック信号DQSの反転信号である。図4Bに示すように、DQ端子、DQ_n端子及びDQS_n端子の各端子には、それぞれ並列接続される各1つの入力レシーバ64と、出力ドライバ65と、ODT回路60とが設けられている。これらの各端子は、出力ドライバ65の出力端子と接続している。さらに、各端子は、ODT回路60を介して入力ドライバ64の入力端子と接続している。

[0017] ODT回路60は、データ等の入出力時において、外部（コントローラ100）との間で生じる信号の反射を終端抵抗を用いて抑制（又は、消滅）させる回路である。つまり、メモリシステム1は、同じバス3によりコントローラ100と、複数のメモリパッケージの各メモリチップとが共通に接続されている。このため、非選択のメモリチップからの信号の反射が、信号の入力先である選択されたメモリチップ又は、コントローラ100へ伝わる。この信号の反射は、入力信号におけるノイズとなる。従って、ODT回路60を用いて、信号の反射を抑制する。

[0018] ここで、各制御信号について説明する。チップイネーブル信号CE_nは、メモリパッケージ(PKG1~PKG4) 11のメモリチップを選択的にイネーブルにするための信号であり、Low（“L”）レベルでアサートされる。尚、以下の説明では、アサートされていないことをネゲートと称している。コマンドラッチイネーブル信号CLEは、入出力信号I/Oがコマンドであることを示す信号であり、High（“H”）レベルでアサートされる。アドレス

ラッチイネーブル信号ALEは、入出力信号I/Oがアドレスであることを示す信号であり、“H”レベルでアサートされる。

[0019] ライトイネーブル信号WE_nは、受信した情報信号又はデータをメモリパッケージ11内へ取り込むための信号であり、コントローラ100よりコマンド、アドレス、及びデータ等を受信する度に、“L”レベルでアサートされる。よって、ライトイネーブル信号WE_nが立ち上がる度に、信号がメモリパッケージ11に取り込まれる。

[0020] リードイネーブル信号RE及びRE_nは、コントローラ100が、メモリ10から各データを読み出すための信号である。リードイネーブル信号RE_nは、信号REの反転信号である。例えばリードイネーブル信号RE_nは、“L”レベルでアサートされる。ライトプロテクト信号WP_nは、書き込み動作の禁止を命令するための信号であり、“L”レベルでアサートする。ODTイネーブル信号ODTENは、メモリチップ30内のODT回路60のON/OFF状態を制御する信号であり、“H”レベルでアサートされる。以下の説明において、ODT回路60がオン・オフすることで、ターゲットODT、ノンターゲットODTがオン・オフするものとする。

[0021] 入出力制御回路50は、データ線DQ、並びにクロック信号DQS及びDQS_nに対応する端子に接続される。入出力制御回路50は、データ線DQ、並びにクロック信号DQS及びDQS_nに対応する端子に接続されるODT回路60を含む。入出力制御回路50は、コントローラ100とメモリパッケージ11との間でデータ線DQを介して送受信される8ビットの入出力データ信号IO、並びにクロック信号DQS及びDQS_nの入出力を制御する。入出力データ信号IOは、8ビットのデータ信号であり、各種コマンド、アドレス、データ等を含む。なお、入出力データ信号IOは8ビットに限定されず、適宜設定可能である。

[0022] ODT制御回路52は、パラメータ記憶部53を備えている。ODT制御回路52は、パラメータ記憶部53から読み出したパラメータと、ロジック回路51から送信されたODTイネーブル信号及び他の信号とに応じて、入

出力制御回路50及びロジック回路51に組み込まれたODT回路60を制御する。パラメータ記憶部53は、ODT回路60に関するパラメータを記憶する。なお、ODT制御回路52は、パラメータ記憶部53を備えることは必須ではなく、このパラメータは、他の回路のメモリ領域に保存してもよい。

[0023] 図4Aを参照して、ODT制御回路52内に設けられるODTオンオフ制御回路54の一例について説明する。

ODTオンオフ制御回路54は、Featレジスタ55と、NAND回路56、57と、フリップフロップ（FF）回路58、59とで構成される。

Featレジスタ55は、ターゲットODTフラグ及びノンターゲットODTフラグを出力する。ノンターゲットODTフラグは、3つの入力端を有するNAND回路56の1つの入力端に入力され、ターゲットODTフラグは、3つの入力端を有するNAND回路57の1つの入力端に入力される。

[0024] FF回路58、59は、直列的に2段に接続され、チップイネーブル信号CE_n及びODTイネーブル信号ODTENが入力される。FF回路58、59は、ODTイネーブル信号ODTENをクロック信号として、チップイネーブル信号CE_nを反転する。

1段目のFF回路58は、チップイネーブル信号CE_n及びODTイネーブル信号ODTENの入力端子に接続する。FF回路58の出力端から、NAND回路56へチップイネーブル信号CE_nへ入力し、NAND回路57へはチップイネーブル信号CE_nを反転させて入力する。また、2段目のFF回路59は、1段目のFF回路58から出力されたチップイネーブル信号CE_nが入力端に入力される。FF回路59の出力端から、NAND回路56、57へは、共に、チップイネーブル信号CE_nを反転させて入力する。NAND回路56は、ODT回路60へノンターゲットODTフラグを出力し、NAND回路57は、ODT回路60へターゲットODTフラグを出力する。

[0025] 次に、図4Bを参照して、ODT回路60の構成について説明する。

まず、入出力制御回路50に含まれるODT回路60について説明する。

図4Bに示すように、入出力制御回路50は、対応する端子毎に、ODT回路60、入力レシーバ64、及び出力ドライバ65を含む。

[0026] 入力レシーバ64は、例えばバッファとして機能し、コントローラ100からの入力信号を、例えばメモリパッケージ11内で処理するための適正な電圧レベルに変換して、インターフェースチップ20内の他の回路、及びメモリチップ30に転送する。

出力ドライバ65は、例えばバッファとして機能し、メモリチップ30から転送された信号を、適正な電圧レベルに変換して、コントローラ100に出力する。

ODT回路60は、端子と入力レシーバ64の間に設けられる。ODT回路60は、pチャネルMOSトランジスタ61、nチャネルMOSトランジスタ62、並びに可変抵抗素子63a及び63bを含む。

[0027] pチャネルMOSトランジスタ61は、ゲートにODTS_n信号が入力され、ソースに電源電圧VCCが印加され、ドレインが可変抵抗素子63aの一端に接続される。pチャネルMOSトランジスタ61は、電源電圧VCCが印加されている電圧線（電源電圧線）と可変抵抗素子63aを接続するための第1スイッチ素子として機能する。

[0028] 可変抵抗素子63aの他端は、端子と入力レシーバとを接続する配線、及び可変抵抗素子63bの一端に接続される。ODT制御回路52は、セッTFューチャー（Set Feature）時に書き込まれたパラメータに応じて可変抵抗素子63a及び63bの抵抗値を設定する。

[0029] nチャネルMOSトランジスタ62は、ゲートに信号ODTSが入力され、ドレインが可変抵抗素子63bの他端に接続され、ソースに接地電圧VSSが印加される。nチャネルMOSトランジスタ62は、接地電圧VSSが印加されている電圧線（接地電圧線）と可変抵抗素子63bを接続するための第2スイッチ素子として機能する。

[0030] ODT制御回路52は、ODT回路60を制御するために、信号ODTS

及び信号ODTS_nを与える。信号ODTS_nは、信号ODTSの反転信号である。ODT制御回路52は、ODT回路60から、信号ODTSのときに“H”レベルを出力させ、信号ODTS_nのときに“L”レベルを出力させる。

[0031] 次に、図5を参照して、ロジック回路51に含まれるODT回路60について説明する。図5に示すように、ロジック回路51は、対応する端子毎に、入力レシーバ64を含む。そしてリードイネーブル信号RE_n及びREに対応する端子と入力レシーバ64との間には、ODT回路60が設けられている。但し、リードイネーブル信号RE_n及びREに対応する端子に接続されるODT回路60は、必須ではなく、他の端子に接続されるODT回路60を利用してよく、任意に設定可能である。

[0032] 次に、図1及び図6乃至図9A、9Bを参照して、マルチドロップバス接続におけるメモリパッケージ11のODT制御について説明する。図6は、第1の実施形態に係るメモリシステムの回路構成を模式的に示す図である。メモリパッケージ11は、前述したように、複数のNAND型フラッシュメモリチップが積層形成されている。本実施形態では、図1に示したように、複数のメモリパッケージ11（11a～11d）PCB基板2の表裏面の実装面に、対で実装する構造例である。メモリパッケージ11の接続方式としては、設計の自由度から同じバス上に複数のメモリパッケージ11を接続するマルチドロップバス接続を採用し、チップアドレス情報を用いることにより、所望する1つのメモリチップを選択する。

[0033] マルチドロップバス接続の場合、2対2組の最小4つのメモリパッケージ11の構成から信号の反射による問題が生じる。このマルチドロップバス接続は、PCB基板2ごとに特性が異なるため、ODTの効果即ち、信号の反射の抑制を最大化するためには、個々のPCB基板2の特性に合うように、メモリパッケージ11の単位でODTのオン・オフを精密制御する必要がある。

[0034] また、図1及び図6に示すように、PCB基板2の表裏面に対向して実装

するメモリパッケージ11aとメモリパッケージ11bをグループAとし、同様にメモリパッケージ11cとメモリパッケージ11dをグループBとする。

コントローラ100から各メモリパッケージ11へ、共通バスにより信号ODTENが送信される。チップイネーブル信号CEnは、コントローラ100から各メモリパッケージ11へ個別に接続される専用バスを通じて、各メモリチップへ選択的にチップイネーブル信号CEnを送信する。

[0035] 本実施形態では、ODT端子に入力する制御信号の先頭に、2回の立ち上がりを持つように周期する信号、例えばクロック信号と同様な周期信号を付与する。この周期信号を付与したことで、各メモリパッケージ11のCEn端子に多ビットデータを転送することができ、適正なODT回路60のオン・オフを実施する。即ち、ODTイネーブル信号ODTENの先頭側に、制御情報を含む1つの周期信号を付与する。ODTイネーブル信号ODTENと周期信号による2回の信号立ち上がり（2サイクル）を有する2bit（00, 01, 10, 11の4つのパターン）の情報信号として利用する。つまり、チップイネーブル信号CEnがアサート（“L”レベル）か否かにより、ODTにおけるターゲットODT（Trgt ODT）及び、ノンターゲットODT（Non Trgt ODT）をオンする。即ち、1つの周期信号を設けることにより、2bitの情報を与えることができる。

[0036] 本実施形態では、2bitの情報のうちの1つのパターンに対して、チップイネーブル信号CEnのアサートの状態を後述するODT起動条件として定義する。ここでは、連続して2回検出したアサートの状態がODTを起動する設定のパターンであれば、ODT回路60をオンすることで、ターゲットODT及びノンターゲットODTをオンに設定する。ターゲットODTは、データの読み出し・書き込みのためにアクセスされているメモリパッケージ11内のODT回路60がオン又はオフしている状態を示す。ノンターゲットODTは、他のメモリパッケージ11にアクセスされた際に発生する信号の反射を消すために、ODT回路60がオン又はオフしている状態を示す。

[0037] また、この周期信号の1サイクル（信号の立ち上がりから立ち上がりまで）の幅は、ライトイネーブル信号WEの切り換えタイミングの4倍程度であり、例えば、最大100nsec～最小25nsec程度である。

[0038] まず、図7A、7B及び図8を参照して、ODTイネーブル信号ODTENに付与される周期信号とチップイネーブル信号CEnの関係について説明する。

ここでは、図8に示すメモリパッケージ11a（PKG1）に入力するEFhコマンド、D5hコマンド（チップアドレス付きセットフューチャーコマンド：set future command）、ODTイネーブル信号ODTEN及び、チップイネーブル信号CEnを一例として説明する。ODTイネーブル信号ODTENは、先頭側に少なくとも1つの周期信号が付与されて、2サイクル（2bit）の情報信号を有している。尚、以下の説明においては、図7A、7B及び図8に示すチップイネーブル信号CEnの“L”レベルは、“0”を示し、“H”レベルは、“1”を示している。尚、周期信号のサイクル数は、所望する情報量に応じて、適宜設定すればよく、限定されているものではない。

[0039] 図7Aは、ターゲットODTをONさせるための第1ODT起動条件を示すチップイネーブル信号CEnの2値（真理値）を示している。ここでは、ターゲットODTフラグが設定された状態で、周期信号の2つの立ち上がり（1、2サイクル）のタイミングにおいて、チップイネーブル信号CEnが連続して“0”，“0”が取得されれば、第1ODT起動条件を満たして、ODT回路60をオンする設定である。これ以外で、周期信号の1、2サイクルのいずれかのタイミングにおいて、チップイネーブル信号CEnの出力に“1”が含まれた場合（[“0”，“1”]、[“1”，“0”]及び[“1”，“1”]）には、ODT回路60をオンしないように設定される。尚、ターゲットODTフラグが設定されていなければ、第1ODT起動条件による検出は行わない。

[0040] 具体的には、まず、ODT回路60をオンするためには、ターゲットODTフラグが設定されていなければならない。この例では、コントローラ10

0からのEFhコマンドによって、各メモリパッケージ11内の全チップに対して、ターゲットODTフラグが設定される。

[0041] 次に、ターゲットODTフラグが設定された全チップに対して、1つのメモリチップのみを活性化させるために、チップイネーブル信号CE_nをアサート（“L”レベル）する。この時、チップイネーブル信号CE_nは、データ読み出し（DOUT）時間を含むアサート時間に設定されている。例えば、図8に示すグループAのメモリパッケージ11a（PKG1）において、チップイネーブル信号CE_nがアサート（Lレベル）している状態の時に、2つのサイクルの周期信号が入力した場合には、1サイクル目が“0”、2サイクル目が“0”を取得する。この時、ODT回路60をオンさせて、ターゲットODTをオンに設定し、データ読み出し動作（DOUT）が実行できる。

[0042] また、グループAのメモリパッケージ11b（PKG2）にネゲートである“H”レベルのチップイネーブル信号CE_nが入力されている状態時に、周期信号が付与されているODTイネーブル信号ODTENが入力する。この時、周期信号の1サイクル目が“1”、2サイクル目が“1”となり、ODT回路60はオンしない。

[0043] 次に、図7Bは、メモリパッケージ11内の選択された1つのメモリチップにノンターゲットODTをONさせるための第2ODT起動条件を示すチップイネーブル信号CE_nの2値（真理値）を示している。ここでも、ノンターゲットODTフラグが設定された状態で、例えば、チップイネーブル信号CE_nがアサートする期間が5 μ sec～10 μ secの場合に、周期信号の2つの立ち上がり（1、2サイクル）において最初の1サイクル目のタイミングで、チップイネーブル信号CE_nが“0”、2サイクル目のタイミングで、チップイネーブル信号CE_nが“1”であれば、ノンターゲットのODT回路60をオンするように設定する。前述したターゲットODTにおける“0”，“0”の第1ODT起動条件の設定とは異なっている。他に、周期信号の1，2サイクルのタイミングにおいて、チップイネーブル信号CE_nの出力が、（[“1”，“0”]、[“0”，“0”]及び[“1”，“1”

〕) の場合には、ノンターゲットODTがオンしないように設定される。

[0044] 次に、図8を参照して、先頭に周期信号が付与されているODTイネーブル信号ODTENとチップイネーブル信号CEnによるグループA, Bにおけるメモリパッケージ11の動作について説明する。ここでは、メモリパッケージ11a~11c(PKG1~PKG3)を代表的に示している。

[0045] コントローラ100は、例えば、電源投入後、パラメータの書き込み動作(Set Feature)を実行し、各種パラメータを設定する。この時、コントローラ100は、各メモリパッケージ11内において、ODT回路60をオンするメモリチップ30を設定する。

[0046] まず、ODT回路60をオンするためには、ターゲットODTフラグが設定されていなければならない。この例では、コントローラ100からEFhコマンドが発行され、各メモリパッケージ11a~11d(PKG1~PKG4)内の全メモリチップ30に対して、ターゲットODTフラグが設定される。

[0047] 次に、ターゲットODTフラグが設定した後、Set Featureを実行することを通知するコマンド、例えば、D5hコマンドを発行して、各メモリパッケージ11の選択された1つのメモリチップにノンターゲットODTフラグを設定する。この例では、メモリパッケージ11a, 11c(PKG1, PKG3)内の1つにノンターゲットODTフラグを設定する。ターゲットODTフラグが設定時において、D5hコマンドが同じチップアドレスではない限り、同時に複数のメモリパッケージ11に設定しないように時差を設けて連続的に設定する。

[0048] 次に、メモリパッケージ11のメモリチップから連続的にデータ読み出しを行う動作例1~3について説明する。

〔動作例1〕 まず、メモリパッケージ11a(PKG1)内の1つのメモリチップからデータを読み出す〔動作例1〕について説明する。図9A, 9Bは、チップイネーブル信号CEnxのアサート(Lレベル)の期間中にデータ読み出しを行うタイミングチャートを示している。ここで、図9Aは

、ターゲットODTをオンにするタイミングチャートであり、図9BはノンターゲットODTをオンするタイミングチャートである。ターゲットODTとノンターゲットODTとをオンさせる時の違いは、後述するようにチップイネーブル信号 CE_n のアサート状態であるか否かである。

[0049] ノンターゲットODTフラグの設定後、コントローラ100は、全てのメモリチップに対して、データ読み出し(DOUT)のコマンド(CMD)を発行する。このコマンドを受けて、例えば、グループAのメモリパッケージ11a(PKG1)に対して、1つのメモリチップのみを活性化させるために、図8に示すように、チップイネーブル信号 CE_n がアサート(Lレベル)になる。次に、チップイネーブル信号 CE_n のアサート(Lレベル)が開始された後、ODTイネーブル信号ODTENが入力されて、先頭に付与される周期信号に対して、1サイクル目が“0”、2サイクル目が“0”の値を取得する。この2サイクルにおける“0”、“0”を取得したことで、図7Aに示した第1ODT起動条件を満たし、ターゲットODTのODT回路60がオンする。

[0050] また同時に、グループBのメモリパッケージ11c(PKG3)に対して、ノンターゲットODTが設定を行うために、アサートするチップイネーブル信号 CE_n が入力される。このチップイネーブル信号 CE_n は、アサートする期間が短く、ODTイネーブル信号ODTENを入力すると、1サイクル目のみが“0”となり、2サイクル目が“1”となる。これらの“0”、“1”の取得で、第2ODT起動条件を満たし、メモリパッケージ11c(PKG3)の1つのメモリチップのノンターゲットODTのODT回路60がオンする。

[0051] この時、メモリパッケージ11aと対を成すメモリパッケージ11b(PKG2)に同じODTイネーブル信号ODTENが入力されても、メモリパッケージ11bへ入力されるチップイネーブル信号 CE_n がアサートされていない(“H”レベル)ため、メモリパッケージ11bのメモリチップは活性化しない。

- [0052] 次に、ODT回路60がオンした後、データ読み出し動作(DOUT)が実行される。この場合、コマンド(CMD)が入ってから、例えば、300nsec後にデータ読み出し動作が開始される。メモリパッケージ11a(PKG1)のメモリチップから読み出されたデータは、データ線DQを経て、コントローラ100に出力される。
- [0053] 具体的なデータ読み出し動作(DOUT)は、図9に示すように、ODT回路60がオンした後、リードイネーブルRE、REN1がトグル(toggle)を開始して、交互にtREH信号とtRP信号が出力される。メモリチップは、リードイネーブルRE、REN1を受けた後、設定時間(tDQSE)後に、発信されるデータ読み出しのクロック信号DQS、DQSn1と同期して、このクロック期間に応じたデータD0、D1…D-n1がデータ線DQに出力される。さらに、チップイネーブル信号CEnのアサートが終了すると共に、ODT回路60もオフする。
- [0054] [動作例2] 続いて、メモリパッケージ11c(PKG3)内の1つのメモリチップからデータを読み出す[動作例2]について説明する。
- 前述した動作例1のデータ読み出しの後、コントローラ100は、全てのメモリチップに対して、データ読み出し(DOUT)のコマンド(CMD)を発行する。続いて、例えば、グループBのメモリパッケージ11c(PKG3)に対して、1つのメモリチップのみを活性化させるための、チップイネーブル信号CEnがアサート(“L”レベル)する。
- [0055] メモリパッケージ11c(PKG3)のメモリチップも前述したと同様に、チップイネーブル信号CEnがアサート(“L”レベル)している状態の時に、ODTイネーブル信号ODTENが入力され、先頭に付与される周期信号に対して、1サイクル目が“0”、2サイクル目が“0”となる。この時には、ODT回路60がオンして、データ読み出し動作(DOUT)が実行される。
- [0056] 同時に、グループAのメモリパッケージ11a(PKG1)に対して、ノンターゲットODT設定のための1サイクル目が“0”となり、2サイクル

目が“1”となる短いアサート期間のチップイネーブル信号CE_nが入力される。

[0057] このチップイネーブル信号CE_nの入力により、メモリパッケージ11a (PKG1)のメモリチップにノンターゲットODTが設定される。前述したと同様に、メモリパッケージ11aと対を成すメモリパッケージ11b (PKG2)に同じODTイネーブル信号ODTENが入力されても、メモリパッケージ11bへ入力されるチップイネーブル信号CE_nがネゲート (“H”レベル)している状態であるため、メモリパッケージ11bのメモリチップは活性化しない。

[0058] [動作例3] さらに、メモリパッケージ11b (PKG2)内の1つのメモリチップからデータを読み出す[動作例3]について説明する。

前述した動作例2のデータ読み出しの後、コントローラ100は、全てのメモリチップに対して、データ読み出し(DOUT)のコマンド(CMD)を発行する。続いて、前述したと同様に、グループAのメモリパッケージ11b (PKG2)の1つのメモリチップに対して、チップイネーブル信号CE_nが入力する。このチップイネーブル信号CE_nがアサート(Lレベル)している状態の時に、ODTイネーブル信号ODTENが入力されて、先頭に付与される周期信号に対して、1サイクル目が“0”、2サイクル目が“0”の第1ODT起動条件が取得される。この第1ODT起動条件に従い、ODT回路60をオンさせて、データ読み出し動作(DOUT)が実行される。

[0059] 同時に、グループBのメモリパッケージ11c (PKG3)に対して、1サイクル目のみが“0”となり、2サイクル目が“1”となるように、アサート期間が設定されたチップイネーブル信号CE_nが入力される。このチップイネーブル信号CE_nの入力により、メモリパッケージ11c (PKG3)のメモリチップにノンターゲットODTが設定される。この動作例においても前述したと同様に、メモリパッケージ11bと対を成すメモリパッケージ11a (PKG1)に同じODTイネーブル信号ODTENが入力されても、メモリパッケージ11aへ入力されるチップイネーブル信号CE_nがネ

ゲートの状態である（“H”レベル）ため、メモリパッケージ11aのメモリチップは活性化しない。

[0060] ここで、本実施形態が防止できるODT制御における誤動作について説明する。例えば、信号ODTEN（周期信号が付与されていない信号ODTEN又は、信号ODTENの先頭側がパルス状にされていない信号ODTEN）の立ち上がり時に、チップイネーブル信号CEnのアサート（“L”レベル）しているか否かでODT回路がオンする構成を例とする。前述した図8における〔動作例3〕時に誤動作は発生しやすい。通常は、チップイネーブル信号CEnのアサート（“L”レベル）時に、ODTイネーブル信号ODTENが入力されると、ターゲットODTがオンする。反対に、チップイネーブル信号CEnがネゲート（“H”レベル）の時に、ODTイネーブル信号ODTENが入力されると、ノンターゲットODTのODT回路がオンするように設定されている。

[0061] まず、グループAのメモリパッケージ11a（PKG1）において、ターゲットODTフラグと選択されたメモリチップにノンターゲットODTフラグが設定されている。このフラグ設定の状況下で、コマンドによりメモリパッケージ11b（PKG2）のメモリチップにアクセスして、アサートするチップイネーブル信号CEn2を入力する。このアサート状態の時に、ODTイネーブル信号ODTENが入力されると、ターゲットODTのODT回路がオンする。同時に、正常動作として、他のメモリパッケージ11c（PKG3）において、ノンターゲットODTがオンする。

[0062] さらに、メモリパッケージ11a（PKG1）内の1つのメモリチップには、ノンターゲットODTフラグが設定されている。このため、チップイネーブル信号CEnがアサートしていない時にODTイネーブル信号ODTENが入力されると、そのメモリチップは、ノンターゲットODTがオンしてしまう誤動作が生じる。よって、同一グループ内のメモリパッケージ11a（PKG1）とメモリパッケージ11b（PKG2）が共にODT回路60をオンされてしまう事態となる。

[0063] これに対して、本実施形態では、ノンターゲットODTをオンさせるために、短時間のアサートを有するチップイネーブル信号CE_nを生成し、且つ、先頭側に周期信号が付与されたODTイネーブル信号ODTENを用いることにより、2つのターゲットODTフラグとノンターゲットODTフラグが設定されていたとしても、ターゲットODTとノンターゲットODTを区別でき、誤動作しないODT制御を行う。

[0064] また、上述したターゲットODTフラグ及びノンターゲットODTフラグのODTの有無の確認と、ODT起動条件（第1ODT起動条件、第2ODT起動条件）の設定・判断と、チップイネーブル信号CE_nのアサートの状態の取得は、コントローラ100が格納するプログラムソフトウェア又はアプリケーションソフトウェアにより、コントローラ内に設けられたハードウェアプロセッサで実行される。それらのソフトウェアの演算処理結果に基づき、コントローラ100が機能を担当する構成部位を駆動制御する。

以上説明したように、本実施形態は、誤動作なく、処理能力を向上できる不揮発性半導体記憶装置及び制御方法を提供することができる。

[0065] 詳細には、先頭に周期信号が付与されるODTイネーブル信号ODTENは、2サイクルによる少なくとも4つのODT起動条件を設定することができる。ODT起動条件に合致しない状況であれば、ODTを起動させないため、誤動作を防止できる。周期信号のサイクル数は、情報量（多ビット情報）に合わせて増減することが可能である。チップイネーブル信号CE_nに対して、アサートしている状態を連続的に2度の検出を行っているため、動作の正確性を確保することができる。さらに、制御ピンを増やさず、データ転送スループットのオーバーヘッドを最小限にとどめながら、ODTのオン・オフの精密制御を実現することができる。

[0066] また、従来では、データ転送のたびにコマンドを発行して、チップ単位でODT回路のオンオフを指定していたため、ODT指定コマンドの発行によるオーバーヘッド時間が必要であった。このODT指定コマンド発行が簡略され、オーバーヘッド時間を短縮することができ、データ転送スループット

の向上を図ることができる。

[0067] [第1の実施形態の2（TSV構造）]

図10は、TSV構造のメモリパッケージ11の断面構造を示す図、図11は、メモリパッケージ11のブロック構成を示す図である。尚、このTSV構造の構成部位で、前述したCMP構造における構成部位と同等のものには同じ参照符号を付して、その説明は省略する。

本実施形態において、一例とするメモリパッケージは、複数のメモリチップ35が垂直方向に積層され、貫通電極（TSV：Through Silicon Via）31により接続されるTSV構造である。尚、本実施形態の1及び2において、範疇としては、共に、マルチチップパッケージ構造ではあるが、ODT回路の設置状況が異なるため、図10に示す断面構造をTSV構造と称し、図2に示した断面構造のMCP構造とは区別して説明する。

[0068] メモリパッケージ11の内部においては、MCP構造と同様に、パッケージ基板40の下面には、複数のバンプ41が設けられる。パッケージ基板40は、バンプ41及び回路配線を介してコントローラ100に電氣的に接続される。

[0069] パッケージ基板40の主面上に1つのインターフェースチップ20が配置される。さらに、インターフェースチップ20及びパッケージ基板40の主面上に、例えば、8個のメモリチップ35（35a～35h）が垂直方向に積層して設けられている。8個のメモリチップ35a～35hは、チップ中心が垂直方向に重なるようにパッケージ基板40側から上方に積層するように形成される。

[0070] 最上層のメモリチップ35hを除く各メモリチップ35a～35gは、その上面から下面に達する貫通電極（TSV：Through Silicon Via）36が設けられる。隣接する2つのメモリチップ35の間には、各メモリチップ35のTSV36を電氣的に接続するためにバンプ37が設けられている。なお、最上層のメモリチップ35hにおいても、TSV36を含む構成であってもよい。最下層のメモリチップ35aの下面上に、配線38が設けられる。

この配線38とインターフェースチップ20との間に、バンプ21が設けられている。また同様に、最下層の配線38とパッケージ基板40との間に、バンプ42が設けられている。

[0071] このTSV構造のメモリチップ35を用いたメモリシステム1であっても、PCB基板2の表裏の実装面を挟むようにして、両面上で対向する位置に実装される一対のメモリパッケージ11を複数組（グループ）有している。この構成例においても、Aグループ内で対向配置される一対のメモリパッケージ11a, 11bは、コントローラ100に接続するバス長（回路配線の長さ）が略同一になっているものとする。Bグループの一対のメモリパッケージ11c, 11dも同様に、バス長が略同一であるものとする。なお、メモリパッケージ11は、対を成す配置ではあるが、2組（グループ）4個に限定されるものではなく、適宜変更可能である。

[0072] 尚、本実施形態において、CMP構造のメモリチップ30及びTSV構造のメモリチップ35は、メモリセルが半導体基板上方に三次元に配置されたメモリセルアレイ34を含む三次元積層型NAND型フラッシュメモリを例としているが、メモリセルが半導体基板上に二次元に配置されたメモリセルアレイを含む平面型NAND型フラッシュメモリであってもよい。

[0073] 次に、図11を参照して、メモリパッケージ11におけるインターフェースチップ20及びメモリチップ35のブロック構成について説明する。

各メモリチップ35（35a～35h）は、パッケージ内に1つ配置されたインターフェースチップ20を介してコントローラ100とデータ等を送受信する。それぞれのメモリチップ35は、データ等を記憶するためのメモリセルアレイ34を含む。

インターフェースチップ20は、入出力制御回路50、ロジック回路51、及びODT制御回路52を有し、前述した図3に示した構成と同等である。これらの入出力制御回路50及びロジック回路51には、ODT回路60が設けられている。また、ODT制御回路52は、パラメータ記憶部53を備えている。パラメータ記憶部53は、ODT回路60に関するパラメータ

を記憶している。尚、ODT制御回路52は、パラメータ記憶部53を備えることは必須ではなく、このパラメータは、他の回路のメモリ領域に保存してもよい。

[0074] ODT制御回路52は、パラメータ記憶部53から読み出したパラメータと、ロジック回路51から送信されたODTイネーブル信号及び他の信号とに応じて、入出力制御回路50及びロジック回路51に組み込まれたODT回路60を制御する。

入出力制御回路50及びロジック回路51の各制御信号（チップイネーブル信号CEN他）は、前述した図3に示す回路構成における制御信号と同等であり、ここでの説明は省略する。

[0075] 次に、図12を参照して、TSV構造のメモリチップ35を用いたマルチドロップバス接続におけるメモリパッケージ11のODT制御について説明する。

本実施形態のメモリパッケージ11、図1に示した構造例と同様に、PCB基板2の表裏面の実装面に、対で実装している。即ち、PCB基板2の表裏面に対向して実装するメモリパッケージ11aとメモリパッケージ11bをグループAとし、同様にメモリパッケージ11cとメモリパッケージ11dをグループBとする。マルチドロップバス接続の場合、PCB基板ごとに特性が異なるため、ODTの効果即ち、信号の反射の抑制を最大化するためには、個々のPCB基板の特性に合うように、メモリパッケージ11のインターフェースチップ20の単位でODTのオン・オフを精密制御する必要がある。

[0076] まず、ODTイネーブル信号ODTENに付与される周期信号とチップイネーブル信号CENによるグループA、Bにおけるメモリパッケージ11の動作について説明する。ここでは、メモリパッケージ11a～11c（PKG1～PKG3）を代表的に示している。

コントローラ100は、例えば、電源投入後、パラメータの書き込み動作（Set Feature）を実行し、各種パラメータを設定する。この時、コントロー

ラ 100 は、各メモリパッケージ 11 のインターフェースチップ 20 において、ODT 回路 60 をオンするインターフェースチップ 20 を設定する。

[0077] まず、ODT 回路 60 をオンするために、ターゲット ODT フラグを設定する。この例では、コントローラ 100 から EFh コマンドが発行され、全メモリパッケージ 11 a ~ 11 d (PKG 1 ~ PKG 4) のインターフェースチップ 20 に対して、ターゲット ODT フラグが設定される。

[0078] 次に、ターゲット ODT フラグが設定した後、Set Feature を実行することを通知するコマンド、例えば、D5h コマンドを発行して、選択されたメモリパッケージ 11 のインターフェースチップ 20 にノンターゲット ODT フラグを設定する。この例では、メモリパッケージ 11 a, 11 c (PKG 1, PKG 3) のインターフェースチップ 20 にノンターゲット ODT フラグを設定する。ターゲット ODT フラグが設定時において、D5h コマンドが同じチップアドレスではない限り、同時に複数のメモリパッケージ 11 に設定しないように時差を設けて連続的に設定する。

[0079] 次に、メモリパッケージ 11 のメモリチップから連続的にデータ読み出しを行う動作例 1 ~ 3 について説明する。

〔動作例 1〕 まず、メモリパッケージ 11 a (PKG 1) 内の 1 つのメモリチップからデータを読み出す〔動作例 1〕について説明する。

[0080] ノンターゲット ODT フラグの設定後、コントローラ 100 は、全てのメモリチップに対して、データ読み出し (DOUT) のコマンド (CMD) を発行する。このコマンドを受けて、例えば、グループ A のメモリパッケージ 11 a (PKG 1) に対して、1 つのメモリチップのみを活性化させるために、チップイネーブル信号 CE n 1 がアサート (L レベル) 状態に切り替わる。次に、チップイネーブル信号 CE n 1 のアサートが開始された後、ODT イネーブル信号 ODT EN が入力されて、先頭に付与される周期信号に対して、1 サイクル目が "0"、2 サイクル目が "0" の値を取得する。この 2 サイクルにおける "0"、"0" を取得したことで、前述した第 1 ODT 起動条件を満たし、インターフェースチップ 20 内でターゲット ODT の ODT 回路

60がオンする。

- [0081] また同時に、グループBのメモリパッケージ11c (PKG3) に対して、チップイネーブル信号CEnが入力される。このチップイネーブル信号CEnは、アサートする期間が短い。チップイネーブル信号CEn1が入力されると、ノンターゲットODTが設定されるメモリパッケージ11cにおいては、1サイクル目のみが“0”となり、2サイクル目が“1”となる。この“0”，“1”の取得により、第2ODT設定条件を満たし、インターフェースチップ20にノンターゲットODTのODT回路60がオンする。この時、メモリパッケージ11aと対を成すメモリパッケージ11b (PKG2) に同じODTイネーブル信号ODTENが入力されても、メモリパッケージ11bへ入力されるチップイネーブル信号CEnがネゲート状態である (“H”レベル) ため、ODTイネーブル信号ODTENを入力しても、メモリパッケージ11bのメモリチップは活性化しない。
- [0082] 次に、ODT回路60がオンした後、データ読み出し動作(DOUT)が実行される。この場合、コマンド(CMD)が入ってから、例えば、300nsec後にデータ読み出し動作が開始される。メモリパッケージ11a (PKG1) のメモリチップから読み出されたデータは、データ線DQを経て、コントローラ100に出力される。さらに、チップイネーブル信号CEnのアサートが終了すると共に、ODT回路60もオフする。
- [0083] [動作例2] 続いて、メモリパッケージ11c (PKG3) 内の1つのメモリチップからデータを読み出す[動作例2]について説明する。
- 前述した動作例1のデータ読み出しの後、コントローラ100は、全てのメモリチップに対して、データ読み出し(DOUT)のコマンド(CMD)を発行する。続いて、例えば、グループBのメモリパッケージ11c (PKG3) に対して、1つのメモリチップのみを活性化させるための、チップイネーブル信号CEnがアサート (“L”レベル) する。
- [0084] メモリパッケージ11c (PKG3) のメモリチップも前述したと同様に、チップイネーブル信号CEnがアサート (“L”レベル) している状態の

時に、ODTイネーブル信号ODTENが入力されて、先頭に付与される周期信号に対して、1サイクル目が“0”、2サイクル目が“0”となる。この時、ターゲットODTのODT回路60をオンさせて、データ読み出し動作(DOUT)が実行される。

[0085] 同時に、グループAのメモリパッケージ11a(PKG1)に対して、短いアサート期間のチップイネーブル信号CEnが入力され、ODTイネーブル信号ODTENが入力されて、1サイクル目が“0”となり、2サイクル目が“1”となる。この“0”、“1”の取得により、第2ODT設定条件を満たし、ノンターゲットODTのODT回路60がオンする。

[0086] 前述したと同様に、メモリパッケージ11aと対を成すメモリパッケージ11b(PKG2)に同じODTイネーブル信号ODTENが入力されても、メモリパッケージ11bへ入力されるチップイネーブル信号CEnがアサートされていない(“H”レベル)ため、メモリパッケージ11bのメモリチップは活性化しない。

[0087] [動作例3] さらに、メモリパッケージ11b(PKG2)内の1つのメモリチップからデータを読み出す[動作例3]について説明する。

前述した動作例2のデータ読み出しの後、コントローラ100は、全てのメモリチップに対して、データ読み出し(DOUT)のコマンド(CMD)を発行する。続いて、前述したと同様に、グループAのメモリパッケージ11b(PKG2)の1つのメモリチップに対して、チップイネーブル信号CEnがアサート(Lレベル)の状態の時に、ODTイネーブル信号ODTENが入力されて、周期信号に対して、1サイクル目が“0”、2サイクル目が“0”の第1ODT起動条件が取得される。この第1ODT起動条件に従い、ODT回路60をオンさせて、データ読み出し動作(DOUT)が実行される。

[0088] さらに、グループBのメモリパッケージ11c(PKG3)においては、1サイクル目のみが“0”となり、2サイクル目が“1”となり、ノンターゲットODTが設定される。また、メモリパッケージ11a(PKG1)に同じODTイネーブル信号ODTENが入力しても、メモリパッケージ11

aへ入力されるチップイネーブル信号CE_nがネゲートであるため、メモリパッケージ11aのメモリチップは活性化しない。

以上のように、メモリパッケージがTSV構造であっても、前述したCMP構造（第1の実施形態の1）と同等の作用効果を奏する。

[0089] 尚、本実施形態では、チップイネーブル信号CE_nが“0”、“1”の順で検出された場合に、ノンターゲットODT回路をオンするものと設定しているが、反対に、チップイネーブル信号CE_nが“1”、“0”の順で検出された場合に、ノンターゲットODT回路をオンする設定も可能である。さらに、本実施形態では、2つのサイクルの周期信号（又はクロック信号）を利用する例であったが、特に限定されるものではなく、3つのサイクル以上の周期信号を用いて、より情報量を多くすることも可能である。例えば、ODT信号を2値のON/OFFだけでなく、多値に分けて、多段の切り換えも行うことができる。

[0090] [第2の実施形態]

次に、図13を参照して、第2の実施形態について説明する。

本実施形態は、前述した先頭側に周期信号が付与されるODTイネーブル信号ODTENに代わって、クロック信号やパルス波形のような周期信号を先端側に設けたライトイネーブル信号WE_nを代用し、ODT起動条件を取得する構成例である。図14は、本実施形態のメモリシステムの回路構成例を示している。前述した図6に示す構成と同様に、PCB基板2の表裏面の実装面に対で実装するメモリパッケージ11aとメモリパッケージ11bをグループAとし、同様にメモリパッケージ11cとメモリパッケージ11dをグループBとする。

[0091] コントローラ100から各メモリパッケージ11へ、ODTイネーブル信号ODTENとライトイネーブル信号WE_nが個別に配線された共通バスにより送信される。また、コントローラ100は、各メモリパッケージ11に接続される個別バスを通じて、各メモリチップへ個別のチップイネーブル信号CE_nを送信する。また、ライトイネーブル信号線は、既存の配線であり

、新たに増加したものではない。

[0092] 本実施形態では、ライトイネーブル信号WE_nに前述した周期信号を付与して、チップイネーブル信号CE_nのアサート及びネゲートから“0”，“1”を取得する。本実施形態においても第1，第2ODT起動条件は、前述した図7A，7Bに示す真理値図に従って設定する。尚、通常は、ODT回路60がオンしている状況下では、ライトイネーブル信号WE_nは、サイクルされず、固定値である。

[0093] 図2を参照して、周期信号が設けられたライトイネーブル信号WE_nを用いて、ODT回路をオンさせてデータ読み出しを行う動作について説明する。

本実施形態においては、ノンターゲットODTフラグの設定完了までは、前述した第1実施形態と同等である。

まず、前述したと同様に、コントローラ100は、電源の投入後に、各種パラメータを設定する。この時、コントローラ100は、各メモリ10のインターフェースチップ20において、ODT制御回路52に対してODT回路60をオンするメモリチップ30を設定する。

[0094] 次に、コントローラ100からEFhコマンドが発行され、各メモリパッケージ11a～11d（PKG1～PKG4）内の全メモリチップに対して、ターゲットODTフラグが設定される。引き続き、ターゲットODTフラグを設定した後、例えば、D5hコマンドを発行して、各メモリパッケージ11内の1つのメモリチップにノンターゲットODTフラグを設定する。この例では、メモリパッケージ11a，11c（PKG1，PKG3）内の1つのメモリチップにノンターゲットODTフラグを設定する。

[0095] 次に、メモリパッケージ11のメモリチップから連続的にデータ読み出しを行う動作例1～3について説明する。尚、動作例1～3において、データ読み出し対象となるメモリチップやノンターゲットODTフラグを設定するメモリチップは、前述した第1の実施形態と同等とする。

図14は、チップイネーブル信号CE_nのアサート（Lレベル）の期間中

にデータ読み出しを行うタイミングチャートを示している。

〔動作例 1〕 メモリパッケージ 11a (PKG1) 内の 1 つのメモリチップからデータを読み出す〔動作例 1〕について説明する。

[0096] ノンターゲット ODT フラグの設定後、コントローラ 100 は、全てのメモリチップに対して、データ読み出し (DOUT) のコマンド (CMD) を発行する。このコマンドを受けて、ODT 制御回路 52 の制御により、例えば、グループ A のメモリパッケージ 11a (PKG1) に対して、1 つのメモリチップのみを活性化させるために、チップイネーブル信号 CE n 1 をアサート (“L” レベル) する。次に、チップイネーブル信号 CE n 1 のアサートが開始された後、コントローラ 100 は、ライトイネーブル信号 WE n の先端側に対して、少なくとも 2 サイクルの周期信号を発生させる。この周期信号に対して、1 サイクル目が “0”、2 サイクル目が “0” を取得すると、図 7A に示した ODT 起動条件を満たすため、ターゲット ODT の ODT 回路 60 をオンさせる。ODT 回路 60 をオンした後、データ読み出し動作 (DOUT) が実行される。また、チップイネーブル信号 CE n 1 がアサート状態を終了するとともに、ODT 回路 60 をオフする。

[0097] また同時に、ODT 制御回路 52 の制御により、グループ B のメモリパッケージ 11c (PKG3) に対して、ライトイネーブル信号 WE n に設けた周期信号により、1 サイクル目が “0” となり、2 サイクル目が “1” となるように、チップイネーブル信号 CE n を短い期間、アサートさせる。このチップイネーブル信号 CE n のアサートにより、前述した図 7B に示したノンターゲット ODT 起動条件を満たして、メモリパッケージ 11c (PKG3) のメモリチップのノンターゲット ODT の ODT 回路 60 がオンする。この時、メモリパッケージ 11a と対を成すメモリパッケージ 11b (PKG2) にも同じに周期信号が設けられたライトイネーブル信号 WE n が入力する。しかし、メモリパッケージ 11b へ入力されるチップイネーブル信号 CE n がアサートされていない (“H” レベル) ため、“1”、“1” が取得され、ノンターゲット ODT 起動条件を満たさず、メモリパッケージ 11

bのメモリチップは活性化しない。

[0098] 〔動作例2〕 続いて、メモリパッケージ11c (PKG3) 内の1つのメモリチップからデータを読み出す〔動作例2〕について説明する。

前述した動作例1のデータ読み出しの後、コントローラ100は、全てのメモリチップに対して、データ読み出し(DOUT)のコマンド(CMD)を発行する。続いて、例えば、グループBのメモリパッケージ11c (PKG3) に対して、1つのメモリチップのみを活性化させるために、チップイネーブル信号CEnがアサート(“L”レベル)する。

[0099] メモリパッケージ11c (PKG3) のメモリチップも前述したと同様に、チップイネーブル信号CEnがアサートしている時に、ライトイネーブル信号WE nに設けた周期信号により、ターゲットODTのODT回路60がオンする。

[0100] 同時に、グループAのメモリパッケージ11a (PKG1) に対して、ライトイネーブル信号WE nに設けた周期信号で1サイクル目のみが“0”となり、2サイクル目が“1”となるチップイネーブル信号CEnが入力される。このチップイネーブル信号CEnの入力により、メモリパッケージ11a (PKG1) のメモリチップにノンターゲットODTが設定される。ODT回路60がオンした後、データ読み出し動作(DOUT)が実行される。また、前述したと同様に、メモリパッケージ11aと対を成すメモリパッケージ11b (PKG2) に同じライトイネーブル信号WE nが入力されても、メモリパッケージ11bへ入力されるチップイネーブル信号CEnがアサートされていない(“H”レベル)ため、メモリパッケージ11bのメモリチップは活性化しない。

[0101] 〔動作例3〕 さらに、メモリパッケージ11b (PKG2) 内の1つのメモリチップからデータを読み出す〔動作例3〕について説明する。

前述した動作例2のデータ読み出しの後、コントローラ100は、全てのメモリチップに対して、データ読み出し(DOUT)のコマンドを発行する。続いて、前述したと同様に、グループAのメモリパッケージ11b (PKG2

）の1つのメモリチップに対して、チップイネーブル信号 CE_n が入力する。このチップイネーブル信号 CE_n がアサート（Lレベル）している状態の時に、ライトイネーブル信号 WE_n に設けた周期信号が入力される。この周期信号に対して、1サイクル目が“0”、2サイクル目が“0”のODT起動条件が取得される。このODT起動条件に従い、ODT回路60をオンさせて、ターゲットODTをオン設定し、データ読み出し動作（DOU T）が実行される。

- [0102] 同時に、グループBのメモリパッケージ11c（PKG3）に対して、1サイクル目のみが“0”となり、2サイクル目が“1”となるように、アサート期間が設定されたチップイネーブル信号 CE_n が入力される。このチップイネーブル信号 CE_n の入力により、メモリパッケージ11c（PKG3）のメモリチップにノンターゲットODTが設定される。この動作例においても前述したと同様に、メモリパッケージ11bと対を成すメモリパッケージ11a（PKG1）に同じライトイネーブル信号 WE_n に設けた周期信号が入力されても、メモリパッケージ11aへ入力されるチップイネーブル信号 CE_n がアサートされていない（“H”レベル）ため、メモリパッケージ11aのメモリチップは活性化しない。

以上説明したように、本実施形態においても、誤動作なく、処理能力を向上できる不揮発性半導体記憶装置及び制御方法を提供することができる。

- [0103] 詳細には、先頭に周期信号が付与されるODTイネーブル信号ODTENだけではなく、ライトイネーブル信号 WE_n の先頭に設けた周期信号を用いて、アサート及びネゲートのチップイネーブル信号 CE_n に対して、2サイクルによる少なくとも4つのODT起動条件を設定することができる。さらに、制御ピンを増やさずデータ転送スループットのオーバーヘッドを最小限にとどめながら、ターゲットODT及びノンターゲットODTのオン・オフの精密制御を実現することができる。

また、先述した各実施形態においては、全パッケージPKGに共通して与えるODTEN信号をクロック信号として、また、パッケージPKGに個別

に与えるチップイネーブル信号 CE_n をデータ信号として用いている。

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] 複数のメモリチップを含み、一対で対向配置される組を複数配置して共通バスにより接続される複数のメモリパッケージと、
全ての前記メモリパッケージに配置され、信号の反射を抑制するODT (On Die Termination)回路と、
前記共通バスを通じて、指定されたメモリパッケージのメモリチップに対してデータの書き込み又は読み出し、及び該メモリパッケージの前記ODT回路のオンオフ制御を行うコントローラと、を備え、
前記コントローラは、少なくとも2サイクルの周期信号によって定義される2bitの情報信号により設定される前記ODT回路をオンするためのODT起動条件を保持し、前記周期信号を用いて取得したチップイネーブル信号CE_nのアサートの状態が前記ODT起動条件のパターンに含まれていた際に前記ODT回路をオンする、メモリシステム。
- [請求項2] 複数のメモリチップを含み、一対で対向配置される組を複数配置して共通バスにより接続される複数のメモリパッケージと、
全ての前記メモリチップに配置され、信号の反射を抑制するODT (On Die Termination)回路と、
前記共通バスを通じて、指定されたメモリパッケージのメモリチップに対して、データの書き込み又は読み出し、及び該メモリチップの前記ODT回路のオンオフ制御を行うコントローラと、を備え、
前記コントローラは、少なくとも2サイクルの周期信号によって定義される2bitの情報信号により設定される前記ODT回路をオンするためのODT起動条件を保持し、前記周期信号を用いて取得したチップイネーブル信号CE_nのアサートの状態が前記ODT起動条件のパターンに含まれていた際に前記ODT回路をオンする、メモリシステム。
- [請求項3] 前記コントローラが記憶する前記2bitの情報信号は、

前記コントローラがデータの書き込み又は読み出しを行う選択した前記メモリパッケージのメモリチップを駆動させるためのチップイネーブル信号 CE_n がアサートを開始した後に、前記周期信号によって、連続的に2回の前記アサートの状態を検出し、連続してアサートが検出された場合には、前記ODT回路をオンしてターゲットODTをオン設定する第1ODT起動条件と、

前記コントローラが非選択した前記メモリパッケージに対して、メモリチップを駆動させるためのチップイネーブル信号 CE_n がアサートを開始した後に、前記周期信号によって、1回目に前記アサートの状態を取得し、2回目にネゲートの状態を取得した場合には、前記ODT回路をオンしてノンターゲットODTをオン設定する第2ODT起動条件と、

を規定する真理値を構成する、請求項1又は請求項2に記載のメモリシステム。

[請求項4] 前記周期信号は、少なくとも2サイクルの周期を有し、ODTイネーブル信号 $ODTE_n$ の先頭側に付与する、請求項1又は請求項2に記載のメモリシステム。

[請求項5] 前記周期信号は、少なくとも2サイクルの周期を有し、ライトイネーブル信号 WE_n の先頭側に付与する、請求項1又は請求項2に記載のメモリシステム。

[請求項6] 前記ODT回路は、全ての前記メモリチップにターゲットODTのフラグが設定され、それぞれの前記メモリパッケージ内の1つのメモリチップにノンターゲットODTのフラグが設定されている際に取得されたチップイネーブル信号 $ODTE_n$ の前記アサートの状態に基づき、前記第1ODT起動条件及び前記第2ODT起動条件により、オンオフ制御される、請求項3に記載のメモリシステム。

[請求項7] 一対を成すメモリパッケージは、回路基板の表裏両面の実装面に、該回路基板を挟んで対向するように実装される、請求項1又は2に記載

のメモリシステム。

[請求項8] 前記周期信号の1回目の立ち上がりから2回目の立ち上がりまで1サイクルの幅は、ライトイネーブル信号WEの切り換えタイミングの4倍の時間幅を有する、請求項1又は2に記載のメモリシステム

[請求項9] 前記メモリパッケージに含まれるメモリセルは、積層配置されるNAND型フラッシュメモリである請求項1に記載のメモリシステム

[請求項10] 複数のメモリチップを含み、一対で対向配置される組を複数配置して共通バスにより接続される複数のメモリパッケージと、全ての前記メモリパッケージに配置され、信号の反射を抑制するODT(On Die Termination)回路と、前記共通バスを通じて、指定されたメモリパッケージのメモリチップに対してデータの書き込み又は読み出し、及び前記指定されたメモリパッケージに対して、前記ODT回路のオンオフ制御を行うコントローラと、を備えるメモリシステムの制御方法であって、

制御信号の先頭に付与される少なくとも2サイクルの周期信号によって定義される2bitの情報信号により設定される第1ODT起動条件と第2ODT起動条件を有し、

前記第1ODT起動条件として、

前記コントローラがデータの書き込み又は読み出しを行う選択した前記メモリパッケージのメモリチップを駆動させるためのチップイネーブル信号CE_nがアサートを開始した後に、前記周期信号によって、連続的に2回の前記アサートの状態を検出し、連続してアサートが検出された場合には、前記ODT回路をオンしてターゲットODTをオン設定し、

前記第2ODT起動条件として、

前記コントローラが非選択した前記メモリパッケージに対して、メモリチップを駆動させるためのチップイネーブル信号CE_nがアサートを開始した後に、前記周期信号によって、1回目に前記アサートの

状態を取得し、2回目にネゲートの状態を取得した場合には、前記ODT回路をオンしてノンターゲットODTをオン設定する、メモリシステムの制御方法。

[請求項11] 複数のメモリチップを含み、一対で対向配置される組を複数配置して共通バスにより接続される複数のメモリパッケージと、全ての前記メモリチップに配置され、信号の反射を抑制するODT (On Die Termination)回路と、前記共通バスを通じて、指定されたメモリチップに対してデータの書き込み又は読み出し、及び前記ODT回路のオンオフ制御を行うコントローラと、を備えるメモリシステムの制御方法であって、

制御信号の先頭に付与される少なくとも2サイクルの周期信号によって定義される2bitの情報信号により設定される第1ODT起動条件と第2ODT起動条件を有し、

前記第1ODT起動条件として、

前記コントローラがデータの書き込み又は読み出しを行う選択した前記メモリパッケージのメモリチップを駆動させるためのチップイネーブル信号CE_nがアサートを開始した後に、前記周期信号によって、連続的に2回の前記アサートの状態を検出し、連続してアサートが検出された場合には、前記ODT回路をオンしてターゲットODTをオン設定し、

前記第2ODT起動条件として、

前記コントローラが非選択した前記メモリパッケージに対して、メモリチップを駆動させるためのチップイネーブル信号CE_nがアサートを開始した後に、前記周期信号によって、1回目に前記アサートの状態を取得し、2回目にネゲートの状態を取得した場合には、前記ODT回路をオンしてノンターゲットODTをオン設定する、メモリシステムの制御方法。

[請求項12] 請求項1及び請求項2のうちのいずれか1項に記載のメモリシステム

が備える各部として、前記コントローラが備えるハードウェアプロセッサを機能させるプログラム。