

一种半导体结构和存储器

相关申请的交叉引用

本公开基于申请号为 202210744736.4、申请日为 2022 年 06 月 27 日、发明名称为“一种半导体结构和存储器”的中国专利申请提出,并要求该中国
5 专利申请的优先权,该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体领域,尤其涉及一种半导体结构和存储器。

背景技术

在存储器中,灵敏放大电路(Sensing Amplifier, SA)是重要的功能器
10 件,能够将存储单元输出的数据信号进行放大并进行输出,或者将外部信号进行放大并写入存储单元。灵敏放大电路由一对 P 型晶体管(称为 PSA)和一对 N 型晶体管(称为 NSA)构成。然而,在工艺制造的过程中,PSA 存在一些偏离或者失配问题,降低了灵敏放大电路的性能。

发明内容

15 本公开提供了一种半导体结构和存储器,能够提高交叉耦合结构中的晶体管的对称性,改善晶体管失配引起的噪声,提高信号放大性能。

第一方面,本公开实施例提供了一种半导体结构,所述半导体结构包括:

第一有源区;

20 位于所述第一有源区上方的第一栅极,且所述第一有源区和所述第一栅极用于形成第一晶体管;

第二有源区,且所述第二有源区与所述第一有源区沿第一方向排列,所述第二有源区和所述第一有源区相互独立;

25 位于所述第二有源区上方的第二栅极,且所述第二有源区和所述第二栅极用于形成第二晶体管;

其中,所述第一晶体管和所述第二晶体管的尺寸相同,所述第一晶体管的电性参数和所述第二晶体管的电性参数的偏差处于预设阈值内,所述第一晶体管和所述第二晶体管属于一个交叉耦合放大单元。

30 在一些实施例中,所述第一栅极的形状与所述第二栅极的形状相同;在第一方向上,所述第一栅极的上边缘高于所述第一有源区的上边缘,所

述第一栅极的下边缘低于所述第一有源区的下边缘；所述第二栅极的上边缘高于所述第二有源区的上边缘，所述第二栅极的下边缘低于所述第二有源区的下边缘。

5 在一些实施例中，在第一方向上，所述第一有源区的上边缘与所述第一栅极的上边缘之间的高度差为第一值，所述第二有源区的上边缘与所述第二栅极的上边缘之间的高度差为第二值；其中，所述第一值与所述第二值相同；所述第一有源区的下边缘与所述第一栅极的下边缘之间的高度差为第三值，所述第二有源区的下边缘与所述第二栅极的下边缘之间的高度差为第四值；其中，所述第三值与所述第四值相同。

10 在一些实施例中，所述半导体结构还包括：位于所述第一有源区的第一接触区；位于所述第一有源区的第二接触区，且所述第一接触区、所述第一栅极和所述第二接触区沿第二方向依次排列；位于所述第二有源区的第三接触区；位于所述第二有源区的第四接触区，且所述第三接触区、所述第二栅极和所述第四接触区沿第二方向依次排列。

15 在一些实施例中，在第二方向上，所述第一接触区与所述第一栅极之间的距离为第五值，所述第三接触区与所述第二栅极之间的距离为第六值，且所述第五值和所述第六值相同；所述第二接触区与所述第一栅极之间的距离为第七值，第四接触区与所述第二栅极之间的距离为第八值，且所述第七值和所述第八值相同。

20 在一些实施例中，在第一方向上，所述第二接触区的上边缘与所述第一接触区的上边缘平齐，且所述第二接触区的下边缘低于所述第一接触区的下边缘；所述第四接触区的下边缘与所述第三接触区的下边缘平齐，且所述第四接触区的上边缘高于所述第三接触区的上边缘。

25 在一些实施例中，在第一方向上，所述第二接触区的上边缘高于所述第一接触区的上边缘，且所述第二接触区的下边缘低于所述第一接触区的下边缘；所述第四接触区的上边缘高于所述第三接触区的上边缘，且所述第四接触区的下边缘低于所述第三接触区的下边缘。

30 在一些实施例中，在第一方向上，所述第一接触区的上边缘与所述第二接触区的上边缘之间的距离为第九值；所述第三接触区的上边缘与所述第四接触区的上边缘之间的距离为第十值；其中，所述第九值与所述第十值相同；所述第一接触区的下边缘与所述第二接触区的下边缘之间的距离为第十一值，所述第三接触区的下边缘与所述第四接触区的下边缘之间的距离为第十二值；其中，所述第十一值与所述第十二值相同。

35 在一些实施例中，所述第九值、所述第十值、所述第十一值和所述第十二值均相同。

在一些实施例中，所述半导体结构还包括：位于所述第一有源区上方的第三栅极，且所述第三栅极设置在所述第二接触区远离所述第一栅极的一侧；其中，所述第一有源区和所述第三栅极用于形成第三晶体管；位于

所述第二有源区上方的第四栅极，且所述第四栅极设置在所述第四接触区远离所述第二栅极的一侧；其中，所述第二有源区和所述第四栅极用于形成第四晶体管；其中，所述第三晶体管和所述第四晶体管属于另一个交叉耦合放大单元。

5 在一些实施例中，所述半导体结构还包括：位于所述第一有源区的第五接触区，且所述第五接触区设置于所述第三栅极远离所述第二接触区的一侧；位于所述第二有源区的第六接触区，且所述第六接触区设置于所述第四栅极远离所述第四接触区的一侧。

10 在一些实施例中，所述第一接触区和所述第五接触区的形状相同，所述第三接触区和所述第六接触区的形状相同；在第一方向上，所述第一接触区和所述第五接触区的中心点处于同一位置，所述第三接触区和所述第六接触区的中心点处于同一位置；所述第一栅极和所述第三栅极关于所述第二接触区呈中心对称；所述第二栅极和所述第四栅极关于第五接触区呈中心对称。

15 在一些实施例中，所述第一有源区、所述第二有源区、所述第一栅极~第四栅极、所述第一接触区~所述第六接触区共同构成一个重复单元，且多个重复单元沿第二方向排列；所述第一栅极的与处于同一重复单元的第三栅极之间的距离为第十三值，所述第一栅极的与处于相邻重复单元的第三栅极之间的距离为第十四值；所述第二栅极的与处于同一重复单元的第四栅极之间的距离为第十五值，所述第二栅极的与处于相邻重复单元的第四栅极之间的距离为第十六值；其中，所述第十三值、所述第十四值、所述第十五值、所述第十六值均相同。

20 在一些实施例中，所述第一栅极设置有第七接触区，所述第二栅极设置有第八接触区，所述第三栅极设置有第九接触区，所述第四栅极设置有第十接触区；其中，所述第七接触区和所述第十接触区呈现中心对称，所述第八接触区和所述第九接触区呈现中心对称。

25 第二方面，本公开实施例提供了一种存储器，包括如第一方面所述的半导体结构。

本公开实施例提供了一种半导体结构和存储器，该半导体结构包括：
30 第一有源区；位于第一有源区上方的第一栅极，且第一有源区和第一栅极用于形成第一晶体管；第二有源区，且第二有源区与第一有源区沿第一方向排列，第二有源区和第一有源区相互独立；位于第二有源区上方的第二栅极，且第二有源区和第二栅极用于形成第二晶体管；其中，第一晶体管和第二晶体管的尺寸相同，第一晶体管的电性参数和第二晶体管的电性参数的偏差处于预设阈值内，第一晶体管和第二晶体管属于一个交叉耦合放大单元。这样，由于第一有源区和第二有源区相互独立，对第一晶体管和
35 第二晶体管来说，其栅极和有源区交叠的面积、形状较为接近，提高了第一晶体管和第二晶体管的对称性，两者之间的电性参数的偏差更小，能够

提高交叉耦合放大单元的信号放大能力，最终提高存储器中灵敏放大电路的性能。

附图说明

- 图 1 为一种灵敏放大电路的结构示意图；
- 5 图 2 为一种灵敏放大电路的详细结构示意图；
- 图 3 为一种 PSA 的工艺结构示意图；
- 图 4 为本公开实施例提供的一种半导体结构的示意图；
- 图 5 为本公开实施例提供的一种半导体结构的版图示意图；
- 图 6 为本公开实施例提供的另一种半导体结构的示意图；
- 10 图 7 为本公开实施例提供的又一种半导体结构的示意图；
- 图 8 为本公开实施例提供的再一种半导体结构的示意图；
- 图 9 为本公开实施例提供的再一种半导体结构的示意图；
- 图 10 为本公开实施例提供的再一种半导体结构的示意图；
- 图 11 为本公开实施例提供的一种半导体结构的性能示意图；
- 15 图 12 为本公开实施例提供的一种存储器的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

对本公开涉及到的英文缩写进行解释。

MOS (Metal-Oxide-Semiconductor Field-Effect Transistor): 金属-氧化物半导体场效应晶体管；

PMOS: P 型 MOS 管，以空穴导电为主的半导体，也称为 P 型晶体管；

35 NMOS: N 型 MOS 管，以电子导电为主的半导体，也称为 N 型晶体管；

BL (Bit Line): 位线;

WL (Word Line): 字线。

在集成电路中, MOS管仍然是最常用的单元器件。对于存储器中的灵敏放大电路(Sense Amplifier, SA)来说, 其核心是一对 NMOS 和一对 PMOS 构成的交叉耦合放大单元。参见图 1, 其示出了一种灵敏放大电路的结构示意图。如图 1 所示, 在一对位线(表示为/BL 和 BL)之间设置灵敏放大电路, 通过第一参考信号 SAP 和第二参考信号 SAN 将表征数据“0”或者数据“1”的小信号放大, 以便将数据信号从存储单元读出到本地数据线(表示为/LIO 和 LIO), 或者将数据信号从本地数据线写入存储单元中。参见图 2, 其示出了一种灵敏放大电路的详细结构示意图。如图 1 或者图 2 所示, 在晶体管 P1 和晶体管 P2 构成交叉耦合放大单元的一对 PMOS, 也称为 PSA, 晶体管 N1 和晶体管 N2 构成交叉耦合放大单元的一对 NMOS, 也称为 NSA, 交叉耦合放大单元的放大效果很大比重取决于两颗成对器件的差异。另外, 图 1 中的其他器件用于实现预充电功能或者作为传输开关, 在图 2 中, 晶体管 M1 和晶体管 M2 用于减小由于 NSA 失配引起的噪声, 晶体管 M3 和晶体管 M4 用于隔离, 晶体管 M6 用于预充处理。图 1 和图 2 的电路原理可结合器件进行推断, 且该部分内容并不影响本公开实施例的实施, 在此不作赘述。

如图 2 所示, 灵敏放大电路中设置有专门解决 NSA 失配问题的晶体管 M1 和晶体管 M2, 但是并没有设置专门解决 PSA 失配的功能器件, 因此提高 PSA 的对称性以改善失配问题对于灵敏放大电路的性能意义重大。

参见图 3, 其示出了一种 PSA 的工艺结构示意图。如图 3 所示, 在 PSA 中, 晶体管 P1 和晶体管 P2 的有源区连在一起, 此时对于晶体管 P1 和晶体管 P2 来说, 其栅极和有源区的交叠区域差异很大, 具体参见图 3 中的位置 (1) 和位置 (2), 以及位置 (3) 和位置 (4), 从而导致这 PSA 中的一对晶体管在电性上表现出很大的差异, 降低了灵敏放大电路的放大性能, 进一步影响存储器的性能。

本公开实施例提供了一种半导体结构, 该半导体结构包括: 第一有源区; 位于第一有源区上方的第一栅极, 且第一有源区和第一栅极用于形成第一晶体管; 第二有源区, 且第二有源区与第一有源区沿第一方向排列, 第二有源区和第一有源区相互独立; 位于第二有源区上方的第二栅极, 且第二有源区和第二栅极用于形成第二晶体管; 其中, 第一晶体管和第二晶体管的尺寸相同, 第一晶体管的电性参数和第二晶体管的电性参数的偏差处于预设阈值内, 第一晶体管和第二晶体管属于一个交叉耦合放大单元。这样, 由于第一有源区和第二有源区相互独立, 对第一晶体管和第二晶体管来说, 其栅极和有源区交叠的面积、形状较为接近, 提高了第一晶体管和第二晶体管的对称性, 两者之间的电性参数的偏差更小, 能够提高交叉耦合放大单元的信号放大能力, 最终提高存储器中灵敏放大电路的性能。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中，参见图 4，其示出了本公开实施例提供的一种半导体结构 10 的示意图。如图 4 所示，该半导体结构 10 可以包括：

第一有源区 11；

5 位于第一有源区 11 上方的第一栅极 12，且第一有源区 11 和第一栅极 12 用于形成第一晶体管；

第二有源区 13，且第二有源区 13 与第一有源区 11 沿第一方向排列，第二有源区 13 和第一有源区 11 相互独立；

10 位于第二有源区 13 上方的第二栅极 14，且第二有源区 13 和第二栅极 14 用于形成第二晶体管；

其中，第一晶体管和第二晶体管的尺寸相同，第一晶体管的电性参数和第二晶体管的电性参数的偏差处于预设阈值内，第一晶体管和第二晶体管属于一个交叉耦合放大单元。

需要说明的是，本公开实施例提供的半导体结构 10 可以用于形成灵敏放大电路。第一晶体管和第二晶体管均为 PMOS，即第一晶体管和第二晶体管可以为交叉耦合放大单元中的 PSA。

另外，第一晶体管和第二晶体管还可以为交叉耦合放大单元中的 NSA，或者应用于其他类似的电路结构中，本公开实施例仅以 PSA 为例进行后续说明，但这并不构成相关限制。

20 这样，如图 4 所示，由于第一有源区 11 和第二有源区 13 是相互独立的。对第一晶体管和第二晶体管来说，其栅极和有源区交叠的面积、形状均十分接近，从而提高了第一晶体管和第二晶体管的对称性，其电性参数的偏差更小，能够提高交叉耦合放大单元的信号放大能力，最终提高存储器中灵敏放大电路的性能。

25 相应地，参见图 5，其示出了本公开实施例提供的一种半导体结构的版图示意图。如图 5 所示，第一晶体管的多晶硅栅极 PG（即前述的第一栅极 12）和第二晶体管的多晶硅栅极 PG（即前述的第二栅极 14）形状相同，其中的金属层 M0 实现接触区的电性连接，第一晶体管的有源区 ACTIVE（即前述的第一有源区 11）和第二晶体管的有源区 ACTIVE（即前述的第二有源区 13）是相对独立的，能够提高第一晶体管和第二晶体管的对称性，最终提高存储器的性能。

35 在一些实施例中，如图 4 或者图 5 所示，第一栅极 12 的形状与第二栅极 14 的形状相同；第一有源区 11 的形状和第二有源区 13 的形状相同。在第一方向上，第一栅极 12 的上边缘高于第一有源区 11 的上边缘，第一栅极 12 的下边缘低于第一有源区 11 的下边缘；第二栅极 14 的上边缘高于第二有源区 13 的上边缘，第二栅极 14 的下边缘低于第二有源区 13 的下边缘。另外，在第二方向上，第一有源区 11 的外边缘位于第一栅极 12 的外边缘的外侧，第二有源区 13 的外边缘位于第二栅极 14 的外边缘的外侧。

在一些实施例中，如图 6 所示，在第一方向上，第一有源区 11 的上边缘与第一栅极 12 的上边缘之间的高度差（请参见图 6 中的①）为第一值，第二有源区 13 的上边缘与第二栅极 14 的上边缘之间的高度差（请参见图 6 中的②）为第二值；其中，第一值与第二值相同；第一有源区 11 的下边缘与第一栅极 12 的下边缘之间的高度差（请参见图 6 中的③）为第三值，第二有源区 13 的下边缘与第二栅极 14 的下边缘之间的高度差（请参见图 6 中的④）为第四值；其中，第三值与第四值相同。

这样，通过控制栅极的外边缘和有源区的外边缘之间的高度差，可以进一步控制第一晶体管和第二晶体管中的“有源区和栅极之间的交叠区域”相同，提高 PSA 的对称性，改善由于 PSA 失配引起的噪声，最终提高存储器的性能。

在一些实施例中，如图 6 所示，半导体结构 10 还包括：

位于第一有源区 11 的第一接触区 15；

位于第一有源区 11 的第二接触区 16，且第一接触区 15、第一栅极 12 和第二接触区 16 沿第二方向依次排列；

位于第二有源区 13 的第三接触区 17；

位于第二有源区 13 的第四接触区 18，且第三接触区 17、第二栅极 14 和第四接触区 18 沿第二方向依次排列。

需要说明的是，接触区用于后期形成接触插塞，向晶体管施加电压或者引出晶体管的电流。

在一些实施例中，第一接触区 15 和第三接触区 17 的形状相同，且第二接触区 16 和第四接触区 18 的形状相同。进一步的，在第二方向上，第一接触区 15 与第一栅极 12 之间的距离为第五值，第三接触区 17 与第二栅极 14 之间的距离为第六值，且第五值和第六值相同；第二接触区 16 与第一栅极 12 之间的距离为第七值，第四接触区 18 与第二栅极 14 之间的距离为第八值，且第七值和第八值相同。

还需要说明的是，如图 6 所示，在第一方向上，第一接触区 15 的上边缘与第二接触区 16 的上边缘平齐，由于第二接触区 16 的长度更大，因此第二接触区 16 的下边缘低于第一接触区 15 的下边缘；第三接触区 17 的下边缘与第四接触区 18 的下边缘平齐，由于第四接触区 18 的长度更大，因此第四接触区 18 的上边缘高于第三接触区 17 的上边缘。在这种结构下，晶体管中由源极到漏极的电流具体如图 6 中的黑色虚线部分，此时两颗器件仍然是不对称的。

因此，为了进一步提高半导体结构 10 的性能，可以将第二接触区上移，将第四接触区下移。基于这样的想法，在图 6 的基础上，参见图 7，本公开实施例提供了又一种半导体结构 10 的示意图。如图 7 所示，对于半导体结构 10 来说，在第一方向上，第二接触区 16 的上边缘高于第一接触区 15 的上边缘，且第二接触区 16 的下边缘低于第一接触区 15 的下边缘；第四接

触区 18 的上边缘高于第三接触区 17 的上边缘，且第四接触区 18 的下边缘低于第三接触区 17 的下边缘。

还需要说明的是，如图 7 所示，在第一方向上，第一接触区 15 的上边缘与第二接触区 16 的上边缘之间的距离（请参见图 7 中的⑨）为第九值；
5 第三接触区 17 的上边缘与第四接触区 18 的上边缘之间的距离（请参见图 7 中的⑩）为第十值；其中，第九值与第十值相同；第一接触区 15 的下边缘与第二接触区 16 的下边缘之间的距离（请参见图 7 中的⑪）为第十一值；第三接触区 17 的下边缘与第四接触区 18 的下边缘之间的距离为第十二值（请参见图 7 中的⑫）；其中，第十一值与第十二值相同。

10 需要说明的是，第一值~第十二值的具体取值在满足前述限定的情况下可以根据实际应用场景确定。这样，无论是在第一晶体管还是在第二晶体管中，源极和漏极的相对位置是相同的，从而进一步改善了第一晶体管和第二晶体管的失配，使得第一晶体管和第二晶体管的电性参数更加接近。也就是说，在不改变原有走线方式的前提下，通过本公开实施例提供的半
15 导体结构能够让 PSA 中的接触区对称，不但节省了不必要的支出，还可以有效的改善了 PSA 的失配。

进一步地，第九值、第十值、第十一值和第十二值可以设置为均相同，从而更好的保证第一晶体管和第二晶体管的电流通道对称。

应理解，在存储器中存在大量的存储单元，需要通过不同的位线和字
20 线进行控制。相应地，存储器中存在多个交叉耦合放大单元，能够针对不同位线进行信号放大。

在一些实施例中，如图 6 或者图 7 所示，半导体结构 10 还包括：

位于第一有源区 11 上方的第三栅极 21，且第三栅极 21 设置在第二接触区 16 远离第一栅极 12 的一侧；其中，第一有源区 11 和第三栅极 21 用于形成第三晶体管；
25

位于第二有源区 13 上方的第四栅极 22，且第四栅极 22 设置在第四接触区 18 远离第二栅极 14 的一侧；其中，第二有源区 13 和第四栅极 22 用于形成第四晶体管。

需要说明的是，第三晶体管和第四晶体管属于另一个交叉耦合放大单元，即第三晶体管和第四晶体管为另一个交叉耦合放大单元中的 PSA。在这里，两个交叉耦合放大单元可以共用有源区，从而节省工艺成本。
30

类似的，第三晶体管和第四晶体管中也存在接触区。在一些实施例中，如图 6 或者图 7 所示，半导体结构 10 还包括：

位于第一有源区 11 的第五接触区 23，且第五接触区 23 设置于第三栅极 21 远离第二接触区 16 的一侧；
35

位于第二有源区 13 的第六接触区 24，且第六接触区 24 设置于第四栅极 22 远离第四接触区 18 的一侧。

除此之外，第三晶体管和第一晶体管共用第二接触区 16，第四晶体管

和第二晶体管共用第四接触区 18。

还需要说明的是，第五接触区 23 和第一接触区 15 的形状是相同的，第六接触区 24 和第二接触区 16 的形状是相同的。在第一方向上，第一接触区 15 和第五接触区 23 的中心点处于同一位置，第三接触区 17 和第六接触区 24 的中心点处于同一位置。第一栅极 12 和第三栅极 21 关于所述第二接触区 16 呈中心对称；第二栅极 14 和第四栅极 22 关于第五接触区 18 呈中心对称。

在一些实施例中，如图 8 所示，所述第一栅极 12 设置有第七接触区，所述第二栅极 14 设置有第八接触区，所述第三栅极 21 设置有第九接触区，所述第四栅极 22 设置有第十接触区；其中，所述第七接触区和所述第十接触区呈现中心对称，所述第八接触区和所述第九接触区呈现中心对称，从而金属层 M0 的走线更为方便。

应理解，每一个栅极的接触区实际上包括两部分，第一栅极 12 的第七接触区包括图 8 中的虚线圈出来的两个部分。

在一些实施例中，第一有源区 11、第二有源区 13、第一栅极 12~第四栅极 22、第一接触区 15~第六接触区 24 共同构成一个重复单元，且多个重复单元沿第二方向排列；第一栅极 12 的与处于同一重复单元的第三栅极 21 之间的距离为第十三值，第一栅极 12 的与处于相邻重复单元的第三栅极 21 之间的距离为第十四值；第二栅极 14 的与处于同一重复单元的第四栅极 22 之间的距离为第十五值，第二栅极 14 的与处于相邻重复单元的第四栅极 22 之间的距离为第十六值。

在本公开实施例中，第一栅极 12、第二栅极 14、第三栅极 21 和第四栅极 22 各自的形状可以经由光学临近处理进行修整，从而保证第十三值、第十四值、第十五值、第十六值均相同。

示例性的，第十三值、第十四值、第十五值、第十六值均为 60 纳米。

在一种具体的示例中，如图 6~图 9 所示，第一栅极 12 和第二栅极 14 均呈现 L 型，第三栅极 21 和第四栅极 22 均呈现倒 L 型；第一栅极 12 向远离第三栅极 21 的一侧延伸，以构成 L 型的足部；第三栅极 21 向远离第一栅极 12 的一侧延伸，以构成倒 L 型的足部；第二栅极 14 向远离第四栅极 22 的一侧延伸，以构成 L 型的足部；第四栅极 22 向远离第二栅极 14 的一侧延伸，以构成倒 L 型的足部。

如图 9 所示，通过光学临近校正处理将第一栅极 12、第二栅极 14 的、第三栅极 21、第四栅极 22 各自的头部修的更大、更圆，第一栅极 12 与处于同一重复单元的第三栅极 21 之间的距离（请参见图 9 中的⑬）、第一栅极 12 的头部与相邻处于重复单元中的第三栅极 21 的足部之间的距离（请参见图 9 中的⑭）、第一栅极 12 的足部与处于相邻重复单元中的第三栅极 21 的头部之间的距离（请参见图 9 中的⑮）、第二栅极 14 与处于同一个重复单元中的第四栅极 22 之间的距离（请参见图 9 中的⑯）、第二栅极 14

的头部与处于相邻重复单元中的第四栅极 22 的足部之间的距离为第十七值（请参见图 9 中的⑰）、第二栅极 14 的足部与处于相邻重复单元中的第四栅极 22 的头部之间的距离（请参见图 9 中的⑱）均相同。

综上所述，在将两个 PSA 的有源区分开的基础上，还可以通过调整接触区的位置和修整栅极的形状进一步保证两个 PSA 的对称性。参见图 10，其示出了本公开实施例提供的再一种半导体结构的结构示意图。如图 10 所示，通过将第二接触区的位置向下移动，以及将第四接触区（图 10 未示出，可结合前述说明进行理解）的位置向上移动，能够提高接触区的对称性，保证第一晶体管的电流与第二晶体管的电流相同；另外，不同栅极之间的距离分别是 63.154 纳米、66.242 纳米、59.969 纳米，因此可以通过光学临近校正处理（OPC）将栅极的头部修的更圆、更大，保证不同栅极之间的距离均在 60 纳米，进一步提高 PSA 的对称性，改善 PSA 的失配问题，保证不同的交叉耦合放大单元的电学参数相同。

在图 10 的基础上，以灵敏放大电路为测试对象，参见图 11，其示出了本公开实施例提供的半导体结构的一种性能示意图。图 11 的（a）用于指示交叉耦合放大结构位于芯片中心的错配，图 11（b）用于指示交叉耦合放大结构位于芯片边缘的错配。在图 11 中，对照组是指交叉耦合放大结构采用图 3 所示的半导体结构，实验组是指交叉耦合放大结构采用图 10 所示的半导体结构，垂直轴（Y 轴）是指第一晶体管和第二晶体管之间的偏移量，水平轴（X 轴）是指统计坐标。一方面，从图 11 可以看出，实验组是穿过原点的，所以实验组的错配更小；另一方面，对图 11 进行统计后可以得到，实验组的偏移量的方差为 16.4，且偏移量小于 1；对照组的偏移量的方差为 16.5，且偏移量约为 4，即实验组的偏移量更小。也就是说，实验组相比于对照组的偏移量更小，更加接近于原点，所以经 OPC 调整后的栅极相比于传统栅极具有更好的对称性和均匀性。

综上所述，本公开实施例通过对 PSA 结构的优化以改善 PSA 的失配问题，提升存储器中灵敏放大结构的放大性能。首先，本公开实施例将 PSA 中两个有源区分开，从而控制栅极（PG）和有源区（ACTIVE）的交叠区域在不同晶体管中处于相同状态，具体如图 4~图 9 所示；在前述的基础上，接触区的位置仍然会给 PSA 中两颗器件的对称性带来不利的影响，因此本公开实施例还调整了接触区的位置，使得每个晶体管中源极和漏极的相对位置相同，从而两颗器件更加对称，具体如图 7 和图 9 所示；在前述的基础上，本公开实施例通过 OPC 将栅极的足部修大，从而控制栅极与栅极的距离均为 60 纳米，进一步改善 PSA 的对称性，具体如图 9 和图 10 所示。也就是说，本公开实施例通过改变 PSA 中有源区的位置和接触区的位置，从而改善 PSA 的失配（Mismatch），这意味着 PSA 中两颗器件的电学参数将更加对称。

本公开实施例提供了一种半导体结构，该半导体结构包括：第一有源

区；位于第一有源区上方的第一栅极，且第一有源区和第一栅极用于形成第一晶体管；第二有源区，且第二有源区与第一有源区沿第一方向排列，第二有源区和第一有源区相互独立；位于第二有源区上方的第二栅极，且第二有源区和第二栅极用于形成第二晶体管；其中，第一晶体管和第二晶体管的尺寸相同，第一晶体管的电性参数和第二晶体管的电性参数的偏差处于预设阈值内，第一晶体管和第二晶体管属于一个交叉耦合放大单元。这样，由于第一有源区和第二有源区相互独立，对第一晶体管和第二晶体管来说，其栅极和有源区交叠的面积、形状较为接近，提高了第一晶体管和第二晶体管的对称性，两者之间的电性参数的偏差更小，能够提高交叉耦合放大单元的信号放大能力，最终提高存储器中灵敏放大电路的性能。

在本公开的另一实施例中，参见图 12，其示出了本公开实施例提供的一种存储器 30 的结构示意图。如图 12 所示，该存储器 30 包括前述的半导体结构 10。

对于存储器 30 来说，由于其包括半导体结构 10，且半导体结构 10 中的第一有源区和第二有源区相互独立，对第一晶体管和第二晶体管来说，其栅极和有源区交叠的面积、形状较为接近，提高了第一晶体管和第二晶体管的对称性，两者之间的电性参数的偏差更小，能够提高交叉耦合放大单元的信号放大能力，最终提高存储器中灵敏放大电路的性能。

以上所述，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。本公开所提供的几个方法实施例中揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。本公开所提供的几个产品实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。本公开所提供的几个方法或设备实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

工业实用性

5 本公开实施例由于第一有源区和第二有源区相互独立，对第一晶体管和第二晶体管来说，其栅极和有源区交叠的面积、形状较为接近，提高了第一晶体管和第二晶体管的对称性，两者之间的电性参数的偏差更小，能够提高交叉耦合放大单元的信号放大能力，最终提高存储器中灵敏放大电路的性能。

权利要求书

1.一种半导体结构，所述半导体结构包括：

第一有源区；

5 位于所述第一有源区上方的第一栅极，且所述第一有源区和所述第一栅极用于形成第一晶体管；

第二有源区，且所述第二有源区与所述第一有源区沿第一方向排列，所述第二有源区和所述第一有源区相互独立；

位于所述第二有源区上方的第二栅极，且所述第二有源区和所述第二栅极用于形成第二晶体管；

10 其中，所述第一晶体管和所述第二晶体管的尺寸相同，所述第一晶体管的电性参数和所述第二晶体管的电性参数的偏差处于预设阈值内，所述第一晶体管和所述第二晶体管属于一个交叉耦合放大单元。

2.根据权利要求1所述的半导体结构，其中，所述第一栅极的形状与所述第二栅极的形状相同；

15 在第一方向上，所述第一栅极的上边缘高于所述第一有源区的上边缘，所述第一栅极的下边缘低于所述第一有源区的下边缘；所述第二栅极的上边缘高于所述第二有源区的上边缘，所述第二栅极的下边缘低于所述第二有源区的下边缘。

3.根据权利要求2所述的半导体结构，其中，

20 在第一方向上，所述第一有源区的上边缘与所述第一栅极的上边缘之间的高度差为第一值，所述第二有源区的上边缘与所述第二栅极的上边缘之间的高度差为第二值；其中，所述第一值与所述第二值相同；

所述第一有源区的下边缘与所述第一栅极的下边缘之间的高度差为第三值，所述第二有源区的下边缘与所述第二栅极的下边缘之间的高度差为第四值；其中，所述第三值与所述第四值相同。

4.根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：

位于所述第一有源区的第一接触区；

位于所述第一有源区的第二接触区，且所述第一接触区、所述第一栅极和所述第二接触区沿第二方向依次排列；

30 位于所述第二有源区的第三接触区；

位于所述第二有源区的第四接触区，且所述第三接触区、所述第二栅极和所述第四接触区沿第二方向依次排列。

5.根据权利要求4所述的半导体结构，其中，

35 在第二方向上，所述第一接触区与所述第一栅极之间的距离为第五值，所述第三接触区与所述第二栅极之间的距离为第六值，且所述第五值和所述第六值相同；所述第二接触区与所述第一栅极之间的距离为第七值，第

四接触区与所述第二栅极之间的距离为第八值，且所述第七值和所述第八值相同。

6.根据权利要求4所述的半导体结构，其中，

5 在第一方向上，所述第二接触区的上边缘与所述第一接触区的上边缘平齐，且所述第二接触区的下边缘低于所述第一接触区的下边缘；所述第四接触区的下边缘与所述第三接触区的下边缘平齐，且所述第四接触区的上边缘高于所述第三接触区的上边缘。

7.根据权利要求4所述的半导体结构，其中，

10 在第一方向上，所述第二接触区的上边缘高于所述第一接触区的上边缘，且所述第二接触区的下边缘低于所述第一接触区的下边缘；所述第四接触区的上边缘高于所述第三接触区的上边缘，且所述第四接触区的下边缘低于所述第三接触区的下边缘。

8.根据权利要求7所述的半导体结构，其中，

15 在第一方向上，所述第一接触区的上边缘与所述第二接触区的上边缘之间的距离为第九值；所述第三接触区的上边缘与所述第四接触区的上边缘之间的距离为第十值；其中，所述第九值与所述第十值相同；

所述第一接触区的下边缘与所述第二接触区的下边缘之间的距离为第十一值，所述第三接触区的下边缘与所述第四接触区的下边缘之间的距离为第十二值；其中，所述第十一值与所述第十二值相同。

20 9.根据权利要求8所述的半导体结构，其中，

所述第九值、所述第十值、所述第十一值和所述第十二值均相同。

10.根据权利要求4所述的半导体结构，其中，所述半导体结构还包括：

25 位于所述第一有源区上方的第三栅极，且所述第三栅极设置在所述第二接触区远离所述第一栅极的一侧；其中，所述第一有源区和所述第三栅极用于形成第三晶体管；

位于所述第二有源区上方的第四栅极，且所述第四栅极设置在所述第四接触区远离所述第二栅极的一侧；其中，所述第二有源区和所述第四栅极用于形成第四晶体管；

30 其中，所述第三晶体管和所述第四晶体管属于另一个交叉耦合放大单元。

11.根据权利要求10所述的半导体结构，其中，所述半导体结构还包括：

位于所述第一有源区的第五接触区，且所述第五接触区设置于所述第三栅极远离所述第二接触区的一侧；

35 位于所述第二有源区的第六接触区，且所述第六接触区设置于所述第四栅极远离所述第四接触区的一侧。

12.根据权利要求11所述的半导体结构，其中，

所述第一接触区和所述第五接触区的形状相同，所述第三接触区和所述第六接触区的形状相同；

在第一方向上，所述第一接触区和所述第五接触区的中心点处于同一位置，所述第三接触区和所述第六接触区的中心点处于同一位置；

所述第一栅极和所述第三栅极关于所述第二接触区呈中心对称；所述第二栅极和所述第四栅极关于第五接触区呈中心对称。

- 5 13.根据权利要求 12 所述的半导体结构，其中，所述第一有源区、所述第二有源区、所述第一栅极~第四栅极、所述第一接触区~所述第六接触区共同构成一个重复单元，且多个重复单元沿第二方向排列；

10 所述第一栅极的与处于同一重复单元的第三栅极之间的距离为第十三值，所述第一栅极的与处于相邻重复单元的第三栅极之间的距离为第十四值；

所述第二栅极的与处于同一重复单元的第四栅极之间的距离为第十五值，所述第二栅极的与处于相邻重复单元的第四栅极之间的距离为第十六值；

15 其中，所述第十三值、所述第十四值、所述第十五值、所述第十六值均相同。

14.根据权利要求 12 所述的半导体结构，其中，所述第一栅极设置有第七接触区，所述第二栅极设置有第八接触区，所述第三栅极设置有第九接触区，所述第四栅极设置有第十接触区；其中，

20 所述第七接触区和所述第十接触区呈现中心对称，所述第八接触区和所述第九接触区呈现中心对称。

15.一种存储器，包括如权利要求 1-14 任一项所述的半导体结构。