

半导体结构及其制作方法

本公开要求于 2021 年 08 月 30 日提交中国专利局、申请号为 202111007675.5、申请名称为“半导体结构及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

5

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法。

背景技术

10 随着半导体技术的发展，半导体结构（例如存储器）的集成度不断提高，半导体结构中各器件的间距不断缩小，进而使得半导体结构中相邻的导电器件（例如位线）的间距也不断缩小。相邻的导电器件以及位于导电器件之间的绝缘材料形成寄生电容，寄生电容与绝缘材料的介电常数成正比，与两导电器件之间的距离成反比。随着位线的间距的缩小，寄生电容不断增大，导致半导体结构的电阻电容（Resistor Capacitor，简称 RC）延迟，影响半导体结构的工作效率。

15

发明内容

鉴于上述问题，本公开实施例提供一种半导体结构及其制作方法，用于降低半导体结构的寄生电容，提高半导体结构的工作效率。

本公开实施例的第一方面提供一种半导体结构的制作方法，其包括：

20 提供衬底，衬底中形成有间隔设置的多个第一沟槽，所述第一沟槽沿第一方向延伸；
在每个所述第一沟槽内形成牺牲层，以及位于所述牺牲层上的第一保护层，所述牺牲层和所述第一保护层填充满所述第一沟槽，每个所述第一沟槽内的所述第一保护层设置有贯穿所述第一保护层的刻蚀孔；

利用所述刻蚀孔去除所述牺牲层，形成空气隙；

25 位于相邻的所述第一沟槽之间且靠近所述第一沟槽的槽底的所述衬底进行硅化反应，以在所述衬底内形成沿所述第一方向延伸的位线，所述位线的侧表面部分暴露在所述空气隙内。

本公开实施例提供的半导体结构的制作方法至少具有如下优点：

本公开实施例提供的半导体结构的制作方法中，通过去除牺牲层，以在沿第一方向延伸的位线之间形成空气隙，且位线的部分侧表面暴露在空气隙内，利用空气的介电常数约为 1 的特性，
30 使得位于位线之间的结构的介电常数降低，从而降低半导体结构的寄生电容，提高半导体结构的工作效率。

本公开实施例的第二方面提供一种半导体结构，其包括：衬底，所述衬底内形成有多条间隔设置的位线，所述位线沿第一方向延伸，相邻的两条所述位线之间形成第一沟槽，每条所述位线上至少设置有一个有源区，所述有源区包括依次层叠设置的源极区、沟道区和漏极区，所述源极区和所述漏极区中的一个与所述位线电连接；设置在所述第一沟槽内的保护层，所述保护层与第一沟槽的槽底之间形成有空气隙，所述位线的侧表面部分暴露在所述空气隙内；设置在所述保护层上的多个间隔设置的第一绝缘层，所述第一绝缘层沿第二方向延伸，所述第一绝缘层位于第二方向上相邻的两行所述有源区之间，且与所述有源区具有间隔；设置在所述第一绝缘层与所述有源区之间的栅极结构，所述栅极结构沿所述第二方向延伸，且环绕所述有源区，所述栅极结构与

至少部分所述沟道区相对；覆盖所述栅极结构的第二绝缘层和第三绝缘层。

本公开实施例中的半导体结构至少具有下述优点：

- 本公开实施例中的半导体结构中，位线沿第一方向延伸，且相邻的两条位线之间形成第一沟槽，第一沟槽内设置有保护层，保护层与第一沟槽的槽底之间形成空气隙，位线的侧表面部分保
5 留在空气隙内，利用空气的介电常数约为 1 的特性，使得位于位线之间的结构的介电常数降低，从而降低半导体结构的寄生电容，提高半导体结构的工作效率。

附图说明

- 图 1 为本公开实施例中的半导体结构的制作方法的流程图；
10 图 2 为本公开实施例中的半导体结构的俯视图；
图 3 至图 6 分别为本公开实施例中的衬底的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 7 至图 10 分别为本公开实施例中的形成第一沟槽后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 11 至图 14 分别为本公开实施例中的形成第一保护层后的 A-A 处、B-B 处、C-C 处和 D-D
15 处的截面示意图；
图 15 至图 18 分别为本公开实施例中的形成刻蚀孔后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 19 为本公开实施例中的形成刻蚀孔后的俯视图；
图 20 至图 23 分别为本公开实施例中的形成空气隙后的 A-A 处、B-B 处、C-C 处和 D-D 处的
20 截面示意图；
图 24 至图 27 分别为本公开实施例中的形成第二沟槽后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 28 至图 31 分别为本公开实施例中的形成第二保护层后的 A-A 处、B-B 处、C-C 处和 D-D 处的一种截面示意图；
25 图 32 至图 35 分别为本公开实施例中的形成第三保护层后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 36 至图 39 分别为本公开实施例中的形成第二保护层后的 A-A 处、B-B 处、C-C 处和 D-D 处的另一种截面示意图；
图 40 至图 43 分别为本公开实施例中的形成位线后的 A-A 处、B-B 处、C-C 处和 D-D 处的截
30 面示意图；
图 44 至图 47 分别为本公开实施例中的形成第一绝缘层后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 48 至图 51 分别为本公开实施例中的形成填充沟道后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
35 图 52 至图 55 分别为本公开实施例中的形成第二绝缘层后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 56 至图 59 分别为本公开实施例中的形成填充空间后的 A-A 处、B-B 处、C-C 处和 D-D 处的截面示意图；
图 60 至图 63 分别为本公开实施例中的形成导电层的 A-A 处、B-B 处、C-C 处和 D-D 处的截
40 面示意图；
图 64 至图 67 分别为本公开实施例中的形成第三绝缘层后的 A-A 处、B-B 处、C-C 处和 D-D

处的截面示意图；

图 68 和图 69 分别为本公开实施例中的形成电容后的 A-A 处和 C-C 处的截面示意图。

具体实施方式

5 本公开实施例提供一种半导体结构的制作方法，通过在位线之间形成空气隙，位线的侧表面部分暴露在空气隙内，利用空气的介电常数为 1，降低位于两个位线之间的结构的介电常数，从而降低半导体结构的寄生电容，提高半导体结构的工作效率。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是
10 本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

参考图 1，本公开实施例提供一种半导体结构的制作方法，该制作方法包括以下步骤：

步骤 S101、提供衬底，衬底中形成有间隔设置的多个第一沟槽，第一沟槽沿第一方向延伸。

参考图 2，图 2 为本公开实施例中的半导体结构的俯视图，该半导体结构中形成有字线 83
15 (Word Line，简称 WL) 和位线 52 (Bit Line，简称 BL)。其中，位线 52 沿第一方向延伸，字线 83 沿第二方向延伸，第一方向和第二方向之间具有夹角，例如第一方向和第二方向可以相垂直。具体的，如图 2 所示，位线 52 沿竖直方向 (Y 方向) 延伸，字线 83 沿水平方向 (X 方向) 延伸，栅极结构形成于字线 83 中。字线 83 或者位线 52 可以为直线，也可以为折线。

图 2 中具有不同位置的截面。具体的，A-A 处的截面为平行于位线 52 延伸方向，且位于位线
20 52 上的截面，B-B 处截面为平行于位线 52 延伸方向，且位于相邻位线 52 之间的截面。C-C 处的截面为平行于字线 83 延伸方向，且位于字线 83 上的截面，D-D 处的截面为平行于字线 83 延伸方向，且位于相邻字线 83 之间的截面。

参考图 3 至图 6，衬底 10 可以为半导体衬底，该半导体衬底内可以含有硅元素，例如，衬底
25 可以为硅衬底、硅锗衬底或者绝缘体上硅 (Silicon on Insulator，简称 SOI) 衬底等。为方便描述，本公开实施例及以下各实施例中，以衬底 10 为硅衬底为例进行详述。

参考图 7 至图 10，衬底 10 内形成有多个第一沟槽 11，多个第一沟槽 11 沿第一方向延伸，且
30 多个第一沟槽 11 之间间隔设置。示例性的，刻蚀衬底 10 以在衬底 10 内形成多个第一沟槽 11。具体的，通过自对准双图形化 (Self-Aligned Double Patterning，简称 SADP) 工艺或者自对准四重图形化 (Self-Aligned Quadruple Patterning，简称 SAQP) 工艺形成上述多个第一沟槽 11，以增大第一沟槽 11 的密度。

步骤 S102、在每个第一沟槽内形成牺牲层，以及位于牺牲层上的第一保护层，牺牲层和第一保护层填满第一沟槽，每个第一沟槽内的第一保护层设置有贯穿第一保护层的刻蚀孔。

参考图 7 至图 14，每个第一沟槽 11 的底部填充有牺牲层 20，每个第一沟槽 11 的其余部分填充有第一保护层 30。牺牲层 20 的材质与第一保护层 30 的材质不同，例如，牺牲层 20 与第一保护层 30 具有较大的选择比，在后续去除牺牲层 20 时，减少对第一保护层 30 的刻蚀。示例性的，
35 第一保护层 30 的材质可以为氧化硅，牺牲层 20 的材质可以为氮化硅。

参考图 15 至图 19，由第一沟槽 11 隔开的各第一保护层 30 均设置有刻蚀孔 31，刻蚀孔 31 贯穿第一保护层 30，刻蚀孔 31 暴露牺牲层 20。以平行于衬底 10 的平面为截面，刻蚀孔 31 的截面形状可以为圆形、椭圆形、正方形、矩形或者其他多边形。如图 19 所示，刻蚀孔 31 的部分孔壁
40 还可作为第一沟槽 11 的侧壁。刻蚀孔 31 可以设置在第一沟槽 11 的边缘，其远离用于形成字线 83 的区域。每个第一沟槽 11 内的刻蚀孔 31 的数量可以为单个，也可以为多个，例如，第一沟槽 11

的两端分别形成有一个刻蚀孔 31。

为了增加暴露在刻蚀孔 31 内的牺牲层 20 的表面积，以便于后续去除刻蚀层，如图 16 所示，刻蚀孔 31 可以延伸至牺牲层 20 中。示例性的，刻蚀孔 31 的孔底位于牺牲层 20 中，或者刻蚀孔 31 贯穿牺牲层 20。

- 5 在一种可能的示例中，参考图 7 至图 18，在每个第一沟槽 11 内形成牺牲层 20，以及位于牺牲层 20 上的第一保护层 30，牺牲层 20 和第一保护层 30 填充第一沟槽 11，每个第一沟槽 11 内的第一保护层 30 设置有贯穿第一保护层 30 的刻蚀孔 31 可以包括：

步骤 S1021、在每个第一沟槽内沉积牺牲层，牺牲层填充在第一沟槽的底部。

- 10 参考图 7 至图 14，通过化学气相沉积（Chemical Vapor Deposition，简称 CVD）、物理气相沉积（Physical Vapor Deposition，简称 PVD）或者原子层沉积（Atomic Layer Deposition，简称 ALD）等工艺，在第一沟槽 11 内形成牺牲层 20。牺牲层 20 的厚度方向与第一沟槽 11 的深度方向相同，均为垂直于衬底 10 的方向（图 12 所示 Z 方向）。

步骤 S1022、在牺牲层上沉积第一保护层，第一保护层填平第一沟槽。

- 15 参考图 11 至图 14，在牺牲层 20 和衬底 10 上沉积第一保护层 30，第一保护层 30 填充在第一沟槽 11 内且覆盖衬底 10 的顶面，如图 11 至图 14 所示，衬底 10 的顶面是指衬底 10 的上表面。再去除位于衬底 10 的顶面上的第一保护层 30，以暴露衬底 10。示例性的，通过化学机械研磨（Chemical Mechanical Polishing，简称 CMP）去除位于衬底 10 的顶面上的第一保护层 30，去除该第一保护层 30 后，衬底 10 的顶面暴露出来。

步骤 S1023、刻蚀每个第一沟槽边缘的第一保护层，以形成刻蚀孔。

- 20 如图 15 至图 18 所示，在一些可能的示例中，在衬底 10 和第一保护层 30 上沉积形成掩膜板；以掩膜板为掩膜，干法刻蚀或者湿法刻蚀第一保护层 30，以形成图 16 所示的刻蚀孔 31；再去除掩膜板。

步骤 S103、利用刻蚀孔去除牺牲层，形成空气隙。

- 25 参考图 20 至图 23，在刻蚀孔 31 内利用刻蚀气体或者刻蚀液去除牺牲层 20。去除每个第一沟槽内的牺牲层 20 后，每个第一沟槽内均形成空气隙 21。如图 21 所示，空气隙 21 位于刻蚀孔 31 的下方，且与刻蚀孔 31 相连通。

步骤 S104、位于相邻的第一沟槽之间且靠近第一沟槽的槽底的衬底进行硅化反应，以在衬底内形成沿第一方向延伸的位线，位线的侧表面部分暴露在空气隙内。

- 30 参考图 24 至图 43，衬底 10 内形成位线 52，位线 52 沿第一方向延伸。位线 52 位于相邻的第一沟槽之间，且位线 52 靠近第一沟槽的槽底。位线 52 的宽度与位于相邻的第一沟槽之间衬底 10 的宽度相等，以使位线 52 的侧表面部分暴露在空气隙 21 内。如图 40 至图 43 所示，位线 52 的侧表面的下部分暴露在空气隙 21 内，位线 52 的侧表面的上部分与第一保护层 30 相接触。

- 35 位线 52 可以通过硅化反应形成，位线 52 的材质包括金属硅化物，例如硅化钴、硅化钨、硅化钛、硅化铂或硅化镍等，以降低位线 52 的电阻。示例性的，如图 24 至图 43 所示，位于相邻的第一沟槽 11 之间且靠近第一沟槽 11 的槽底的衬底 10 进行硅化反应，以在衬底 10 内形成沿第一方向延伸的位线 52，位线 52 的侧表面部分暴露在空气隙 21 内的步骤包括：

步骤 S1041、刻蚀衬底和第一保护层，形成多个间隔设置的第二沟槽，第二沟槽沿第二方向延伸且与空气隙不连通。

- 40 参考图 24 至图 27，刻蚀衬底 10 和第一保护层 30，形成多个第二沟槽 12，第二沟槽 12 间隔设置且沿第二方向延伸。第二沟槽 12 与空气隙 21 不连通，即第二沟槽 12 的槽底位于衬底 10 和第一保护层 30 内，未贯穿第一保护层 30。如此设置，剩余的第一保护层 30 将空气隙 21 的顶部密封，以防止后续制程中其他材料落入空气隙 21 内，以保证空气隙 21 降低寄生电容的效果。

步骤 S1042、在第二沟槽的侧壁上形成第二保护层，位于第二沟槽内的第二保护层围合成第三沟槽。

参考图 24 至图 31，第二沟槽 12 的侧壁上形成第二保护层 50，第二保护层 50 覆盖第二沟槽 12 的侧壁。位于第二沟槽 12 内的第二保护层 50 围合成第三沟槽 51，第三沟槽 51 暴露第二沟槽 12 的部分槽底。第一保护层 30 的材质可以与第二保护层 50 的材质相同，以使第一保护层 30 与第二保护层 50 形成一个整体。

在一种可能的实施例中，在第二沟槽 12 的侧壁和槽底、衬底 10，以及第一保护层 30 上沉积第二初始保护层，位于第二沟槽 12 内的第二初始保护层围合成第三沟槽 51；再沿第三沟槽 51 刻蚀第二初始保护层，去除第二沟槽 12 的槽底的部分第二初始保护层，保留的第二初始保护层形成第二保护层 50。

在另一种可能的实施例中，参考图 32 至图 35，衬底 10 和第一保护层 30 上还沉积有第三保护层 40，即衬底 10 的顶面覆盖有第三保护层 40。第三保护层 40 的材质、第二保护层 50 的材质以及第一保护层 30 的材质可以相同，以使这三者可以形成一个整体。

参考图 32 至图 39，在第二沟槽 12 的侧壁和槽底，以及第三保护层 40 上沉积第二初始保护层；再去除刻蚀去除位于第三保护层 40 上的第二初始保护层，以及位于第二沟槽 12 的槽底的部分第二初始保护层，以暴露第二沟槽 12 的槽底，保留的第二初始保护层形成第二保护层 50。

可以理解的是，在利用各向异性刻蚀沿第三沟槽 51 刻蚀第二初始保护层，以去除第二沟槽 12 的槽底的部分第二初始保护层时，必然会刻蚀到第三保护层 40 上的第二初始保护层。通过设置第三保护层 40，可以防止衬底 10 的顶面暴露，使得只有位于第二沟槽 12 的衬底 10 暴露出来，从而保证位线 52 的形成位置。

如图 36 至图 37 所示，衬底 10 的上部分形成多个立柱，该立柱的外周面上覆盖有第二保护层 50，该立柱的顶面上覆盖有第三保护层 40，位于第三沟槽 51 的槽底的衬底 10 暴露。为方便描述，本公开实施例及以下各实施例中，以衬底 10 上形成有第三保护层 40 为例进行详述。

需要说明的是，在衬底 10 和第一保护层 30 上沉积形成第三保护层 40 这一步骤可以位于刻蚀衬底 10 和第一保护层 30，形成多个间隔设置的第二沟槽 12，第二沟槽 12 沿第二方向延伸且与空气隙 21 不连通的步骤（步骤 S1041）之前，即该步骤位于步骤 S104 之前。具体的，该步骤可以位于在步骤 S1022 之后，也可以位于步骤 S1023 之后，还可以位于步骤 S103 之后。

优选地，在步骤牺牲层 20 上沉积第一保护层 30，第一保护层 30 填平第一沟槽 11（步骤 S1023）之后，再在衬底 10 和第一保护层 30 上沉积形成第三保护层 40。如此设置，一方面易于制作，降低第三保护层 40 的制作难度；另一方面可以减少第三保护层 40 掉落到刻蚀孔 31 或者空气隙 21 内，提高半导体结构的性能。

相应的，刻蚀衬底 10 和第一保护层 30，形成多个间隔设置的第二沟槽 12，第二沟槽 12 沿第二方向延伸且与空气隙 21 不连通（步骤 S1041）包括：刻蚀衬底 10、第一保护层 30 和第三保护层 40，形成多个间隔设置的第二沟槽 12，保留位于相邻的第二沟槽 12 之间的第三保护层 40。

步骤 S1043、在第三沟槽的槽底沉积金属，退火处理进行硅化反应，以形成位线。

参考图 40 至图 43，金属可以为钴、钛、钽、镍、钨中的一种，也可以为难熔金属。金属与衬底 10 反应形成金属硅化物，并使位于相邻的第一沟槽之间的部分衬底 10 完全硅化，且金属硅化物沿第一方向相连接形成位线 52。位线 52 的顶面部分暴露在第三沟槽 51 内，位线 52 的侧表面部分暴露在空气隙 21 内。

退火处理包括快速热退火（Rapid Thermal Annealing，简称 RTA），退火的温度与金属的材质、衬底 10 的材质相匹配。例如，当衬底 10 的材质为硅，金属为钴时，退火的温度可以为 400℃-800℃。

综上，本公开实施例提供的半导体结构的制作方法中，通过去除牺牲层 20，以在沿第一方向

延伸的位线 52 之间形成空气隙 21, 且位线 52 的部分侧表面暴露在空气隙 21 内。利用空气的介电常数约为 1 的特性, 使得位于位线 52 之间的结构的介电常数降低, 从而降低半导体结构的寄生电容, 提高半导体结构的工作效率。

需要说明的是, 在第二沟槽 12 的侧壁上形成第二保护层 50, 位于第二沟槽 12 内的第二保护层 50 围合成第三沟槽 51 的步骤之前, 半导体结构的制作方法还包括: 远离第一沟槽 11 的槽底的衬底 10 中形成有源区 13, 有源区 13 包括源极区、漏极区和沟道区, 源极区、沟道区和漏极区沿垂直于第一沟槽 11 的槽底的方向依次排布。

在形成位线 52 之前, 在衬底 10 中形成多个间隔设置的有源区, 每个有源区均包括源极区、漏极区和沟道区, 沟道区位于源极区和漏极区之间。本公开实施例中, 源极区、沟道区和漏极区垂直排布, 即沿垂直于第一沟槽 11 的槽底的方向依次排布, 以形成垂直晶体管。源极区或者漏极区靠近第一沟槽 11 的槽底, 靠近第一沟槽 11 的槽底的源极区或者漏极区与后续形成的位线 52 电连接, 即源极区或者漏极区与位线 52 电连接。如此设置, 在占用相同衬底 10 面积的前提下, 可以通过增加有源区的高度而增加沟道区的有效长度, 减少或者避免短沟道效应, 提高半导体结构的性能。

在本公开一些可能的实施例中, 刻蚀衬底 10 和第一保护层 30, 形成多个间隔设置的第二沟槽 12, 第二沟槽 12 沿第二方向延伸且与空气隙 21 不连通(步骤 S1041)之后, 第一沟槽 11 和第二沟槽 12 将衬底 10 分隔成多个间隔设置的柱状结构; 再对每个柱状结构进行掺杂, 以在柱状结构中形成源极区和漏极区, 从而在远离第一沟槽 11 的槽底的衬底 10 中形成有源区。

在本公开另一些可能的实施例中, 提供衬底 10, 衬底 10 中形成有间隔设置的多个第一沟槽 11, 第一沟槽 11 沿第一方向延伸(步骤 S101)之后, 在相邻的第一沟槽 11 之间的衬底 10 进行掺杂, 以形成有源区, 即有源区为条状, 且沿第一方向延伸。再形成第二沟槽 12 后, 第二沟槽 12 将有源区切断, 形成多个间隔设置的柱状有源区。

需要说明的是, 参考图 44 至图 67, 在第三沟槽 51 的槽底沉积金属, 退火处理进行硅化反应, 以形成位线 52 的步骤之后, 半导体结构的制作方法还包括:

步骤 a: 在第三沟槽内形成第一绝缘层, 第一绝缘层填充在第三沟槽内。

参考图 40 至图 47, 通过沉积工艺在第三沟槽 51 内形成第一绝缘层 61, 第一绝缘层 61 沿第二方向延伸, 第一绝缘层 61 填满第三沟槽 51, 例如, 第一绝缘层 61 填平第三沟槽 51。如图 40 至图 47 所示, 衬底 10 上的第三保护层 40 去除, 衬底 10 暴露出来, 第一绝缘层 61 远离空气隙 21 的表面与衬底 10 齐平, 或者说, 第一绝缘层 61 的顶面与衬底 10 的顶面齐平, 以使第一绝缘层 61 和衬底 10 形成较为平整的表面, 便于其他结构的制作。

第一绝缘层 61 的材质与第二保护层 50 的材质不同, 第一绝缘层 61 的材质与第一保护层 30 的材质也不同, 以使后续可以单独去除第二保护层 50 或者第一保护层 30。示例性的, 第一绝缘层 61 的材质可以为氮化硅, 第一保护层 30 和/或第二保护层 50 的材质可以为氧化硅。

步骤 b: 沿垂直于衬底的方向去除第一保护层和第二保护层至预设深度, 形成填充空间, 填充空间暴露有源区的侧表面。

参考图 48 至图 59, 通过刻蚀工艺去除部分第一保护层 30 和部分第二保护层 50, 以沿垂直于衬底 10 的方向去除部分第一保护层 30 和第二保护层 50, 衬底 10 中形成具有预设深度的凹陷, 凹陷包括填充空间 72, 填充空间 72 中暴露有源区的侧表面。具体的, 填充空间 72 中暴露至少部分沟道区。

在一些可能的实施例中, 如图 48 至图 59 所示, 沿垂直于衬底 10 的方向去除第一保护层 30 和第二保护层 50 至预设深度, 形成填充空间 72, 填充空间 72 暴露有源区 13 的侧表面包括以下过程:

刻蚀第二保护层 50 和第一保护层 30 至初始深度, 形成填充沟道 71。参考图 48 至图 51, 沿垂直于衬底 10 方向刻蚀第一保护层 30 和第二保护层 50, 形成具有初始深度的填充沟道 71, 源极区和漏极区中位于上方的一者与填充沟道 71 相对。填充沟道 71 的数量为多个, 多个填充沟道 71 由第一绝缘层 61 隔开。

5 形成填充沟道 71 后, 在填充沟道 71 中沉积第二绝缘层 62, 第二绝缘层 62 填满位于衬底 10 和第一绝缘层 61 之间的填充沟道 71。参考图 52 至图 55, 在填充沟道 71 内沉积第二绝缘层 62, 第二绝缘层 62 填满衬底 10 和第一绝缘层 61 之间的填充沟道 71。具体的, 在填充沟道 71 的侧壁上形成第二绝缘层 62, 第二绝缘层 62 将有源区和第一绝缘层 61 之间的填充沟道 71 封堵。形成第二绝缘层 62 后, 填充沟道 71 被隔离成多个间隔设置的开口。

10 沉积第二绝缘层 62 后, 刻蚀剩余的第一保护层 30 和第二保护层 50 至预设深度, 形成填充空间 72。参考图 56 至图 59, 通过剩余的填充沟道 71 继续刻蚀第一保护层 30 和第二保护层 50 至预设深度, 去除剩余的部分第一保护层 30 和第二保护层 50 后形成填充空间 72, 填充空间 72 位于填充沟道 71 的下方且与填充沟道 71 相连通。

步骤 c: 在填充空间内形成栅极结构, 栅极结构沿第二方向延伸, 且环绕有源区。

15 示例性的, 参考图 60 至图 67, 在填充空间 72 内形成栅极结构 80, 栅极结构 80 沿第二方向延伸, 且环绕有源区包括:

在填充空间 72 的内表面形成氧化物层 81。参考图 56 至图 63, 在填充空间 72 的内表面沉积氧化物层 81, 氧化物层 81 覆盖有源区暴露的外周面、第一绝缘层 61 的部分侧表面以及第二绝缘层 62 的底面。环设在有源区的外周面上氧化物层 81 形成垂直晶体管的栅氧层, 氧化物层 81 可以
20 为氧化硅层。

再在形成氧化物层 81 后的填充空间 72 内形成导电层 82, 导电层 82 与至少部分沟道区相对。参考图 60 至图 63, 在填充空间 72 内沉积导电层 82 并回刻, 导电层 82 填充至少部分填充空间 72。氧化物层 81 和导电层 82 形成栅极结构 80, 栅极结构 80 沿第二方向延伸且环绕有源区, 栅极结构 80 形成于字线 83 中, 即栅极结构 80 为字线 83 的一部分。

25 需要说明的是, 在填充空间 72 内形成栅极结构 80, 栅极结构 80 沿第二方向延伸, 且环绕有源区的步骤之后, 还包括: 在栅极结构 80 上沉积第三绝缘层 63, 第三绝缘层 63 覆盖栅极结构 80, 且填充满剩余的填充沟道 71。

参考图 64 至图 67, 在剩余的填充沟道 71 内沉积第三绝缘层 63, 第三绝缘层 63 填充满填充沟道 71。通过第三绝缘层 63 将栅极结构 80 覆盖, 以使栅极结构 80 绝缘。第三绝缘层 63、第二
30 绝缘层 62 和第一绝缘层 61 的材质可以相同, 以使这三者形成一个整体, 从而将栅极结构 80 电气隔离。参考图 68 和图 69, 形成第三绝缘层 63 后, 在衬底 10 上再形成接触节点 91 和电容 92, 通过接触节点 91 将垂直晶体管与电容 92 电连接。

参考图 2、以及图 64 至图 67, 本公开实施例还提供一种半导体结构, 其包括衬底 10, 衬底 10 可以为含硅衬底, 例如, 硅衬底、硅锗衬底或者绝缘体上硅衬底等。衬底 10 内形成有多条间隔设置的位线 52, 位线 52 沿第一方向延伸, 相邻的两条位线 52 之间形成第一沟槽, 即第一沟槽
35 也沿第一方向延伸。如图 2 所示, 第一方向为 Y 方向, 位线 52 的材质包括金属硅化物, 例如硅化钴、硅化钨、硅化钛、硅化铂或硅化镍等, 以降低位线 52 的电阻。

每条位线 52 上至少设置有一个有源区 13, 有源区 13 包括依次层叠设置的源极区、沟道区和漏极区, 即源极区、沟道区和漏极区垂直排布。源极区和漏极区中的一个与位线 52 电连接, 例如,
40 源极区位于沟道区的上方, 漏极区位于沟道区的下方, 漏极区与位线 52 电连接。

第一沟槽内设置有保护层 (包括第一保护层 30 和第二保护层 50), 保护层与第一沟槽的槽底之间形成空气隙 21, 位线 52 的侧表面部分暴露在空气隙 21 内。如图 66 所示, 位线 52 的侧表

面的下部分暴露在空气隙 21 内，位线 52 的侧表面的上部分与保护层相接触。

保护层还填充在相邻的有源区之间，如图 66 所示，保护层的顶面高于位线 52 的顶面，其中，顶面是指远离第一沟槽的槽底的表面。保护层上设置有多个间隔设置的第一绝缘层 61，第一绝缘层 61 沿第二方向（图 2 所示 X 方向）延伸。位于第二方向的有源区 13 形成一行，相邻两行的有源区 13 之间设置有第一绝缘层 61，且第一绝缘层 61 与有源区 13 之间具有间隔。第一绝缘层 61 将相邻两行的有源区 13 分隔开，以使沿第二方向的一行有源区 13 连接一条栅极结构 80。

栅极结构 80 设置在第一绝缘层 61 和有源区 13 之间，栅极结构 80 沿第二方向延伸，且环绕有源区 13，栅极结构 80 与至少部分沟道区相对应。栅极结构 80 包括氧化物层和导电层 82，氧化物层覆盖导电层 82 的外表面，如图 66 所示，导电层 82 的侧表面、底面以及部分顶面覆盖有氧化物层 81。

栅极结构 80 上还覆盖有第二绝缘层 62 和第三绝缘层 63，如图 66 所示，第二绝缘层 62 与栅极结构 80 的边缘区域相对，第三绝缘层 63 与栅极结构 80 的中间区域相对，第二绝缘层 62 和第三绝缘层 63 形成一整层，从而覆盖栅极结构 80。第一绝缘层 61、第二绝缘层 62 和第三绝缘层 63 的材质可以相同，例如为氮化硅，以使这三者形成一个整体，对栅极结构 80 进行电气绝缘。

参考图 68 和图 69，有源区 13 上还设置有接触节点 91，接触节点 91 上设置有电容 92，电容 92 通过接触节点 91 与有源区 13 电连接。源极区和漏极区中一个与接触节点 91 相接触，例如，源极区域接触结构相接触。接触节点 91 可以为多晶硅，电容 92 用于存储数据信息。

本公开实施例中的半导体结构中，位线 52 沿第一方向延伸，且相邻的两条位线 52 之间形成第一沟槽 11，第一沟槽 11 内设置有保护层，保护层与第一沟槽 11 的槽底之间形成空气隙 21，位线 52 的侧表面部分保留在空气隙 21 内，利用空气的介电常数约为 1 的特性，使得位于位线 52 之间的结构的介电常数降低，从而降低半导体结构的寄生电容 92，提高半导体结构的工作效率。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权 利 要 求 书

- 1、一种半导体结构的制作方法，包括：
- 提供衬底，衬底中形成有间隔设置的多个第一沟槽，所述第一沟槽沿第一方向延伸；
- 在每个所述第一沟槽内形成牺牲层，以及位于所述牺牲层上的第一保护层，所述牺牲层和所述
- 5 所述第一保护层充满所述第一沟槽，每个所述第一沟槽内的所述第一保护层设置有贯穿所述第一保护层的刻蚀孔；
- 利用所述刻蚀孔去除所述牺牲层，形成空气隙；
- 位于相邻的所述第一沟槽之间且靠近所述第一沟槽的槽底的所述衬底进行硅化反应，以在所述衬底内形成沿所述第一方向延伸的位线，所述位线的侧表面部分暴露在所述空气隙内。
- 10 2、根据权利要求 1 所述的半导体结构的制作方法，其中，在每个所述第一沟槽内形成牺牲层，以及位于所述牺牲层上的第一保护层，所述牺牲层和所述第一保护层充满所述第一沟槽，每个所述第一沟槽内的所述第一保护层设置有贯穿所述第一保护层的刻蚀孔的步骤包括：
- 在每个所述第一沟槽内沉积所述牺牲层，所述牺牲层填充在所述第一沟槽的底部；
- 在所述牺牲层上沉积所述第一保护层，所述第一保护层填平所述第一沟槽；
- 15 刻蚀每个所述第一沟槽边缘的所述第一保护层，以形成所述刻蚀孔。
- 3、根据权利要求 2 所述的半导体结构的制作方法，其中，在所述牺牲层和所述衬底上沉积所述第一保护层，所述第一保护层填平所述第一沟槽的步骤包括：
- 在所述牺牲层和所述衬底上沉积所述第一保护层，所述第一保护层填充在所述第一沟槽内且覆盖所述衬底的顶面；
- 20 去除位于所述衬底的顶面上的所述第一保护层，以暴露所述衬底。
- 4、根据权利要求 1 所述的半导体结构的制作方法，其中，所述刻蚀孔延伸至所述牺牲层中。
- 5、根据权利要求 1 所述的半导体结构的制作方法，其中，所述位线的材质包括金属硅化物。
- 6、根据权利要求 1-5 任一项所述的半导体结构的制作方法，其中，位于相邻的所述第一沟槽之间且靠近所述第一沟槽的槽底的所述衬底进行硅化反应，以在所述衬底内形成沿所述第一方向
- 25 延伸的位线，所述位线的侧表面部分暴露在所述空气隙内的步骤包括：
- 刻蚀所述衬底和所述第一保护层，形成多个间隔设置的第二沟槽，所述第二沟槽沿第二方向延伸且与所述空气隙不连通；
- 在所述第二沟槽的侧壁上形成第二保护层，位于所述第二沟槽内的所述第二保护层围合成第三沟槽；
- 30 在所述第三沟槽的槽底沉积金属，退火处理进行硅化反应，以形成所述位线。
- 7、根据权利要求 6 所述的半导体结构的制作方法，其中，刻蚀所述衬底和所述第一保护层，形成多个间隔设置的第二沟槽，所述第二沟槽沿第二方向延伸且与所述空气隙不连通的步骤之前，还包括：
- 在所述衬底和所述第一保护层上沉积形成第三保护层；
- 35 刻蚀所述衬底和所述第一保护层，形成多个间隔设置的第二沟槽的步骤包括：刻蚀所述衬底、所述第一保护层和所述第三保护层，形成多个间隔设置的所述第二沟槽，保留位于相邻的所述第二沟槽之间的所述第三保护层。
- 8、根据权利要求 7 所述的半导体结构的制作方法，其中，在所述第二沟槽的侧壁上形成第二

保护层，位于所述第二沟槽内的所述第二保护层围合成第三沟槽的步骤包括：

在所述第二沟槽的侧壁和槽底，以及所述第三保护层上沉积形成第二初始保护层；

刻蚀去除位于所述第三保护层上和所述第二沟槽的槽底的所述第二初始保护层，以暴露所述第二沟槽的槽底，保留的所述第二初始保护层形成所述第二保护层。

- 5 9、根据权利要求7所述的半导体结构的制作方法，其中，所述第一保护层、所述第二保护层和所述第三保护层材料相同。

10、根据权利要求6所述的半导体结构的制作方法，其中，在所述第二沟槽的侧壁上形成第二保护层，位于所述第二沟槽内的所述第二保护层围合成第三沟槽的步骤之前，还包括：

- 10 远离所述第一沟槽的槽底的所述衬底中形成有源区，所述有源区包括源极区、漏极区和沟道区，所述源极区、所述沟道区和所述漏极区沿垂直于所述第一沟槽的槽底的方向依次排布。

11、根据权利要求10所述的半导体结构的制作方法，其中，在所述第三沟槽的槽底沉积金属，退火处理进行硅化反应，以形成所述位线的步骤之后，还包括：

在所述第三沟槽内形成第一绝缘层，所述第一绝缘层填充在所述第三沟槽内；

- 15 沿垂直于所述衬底的方向去除所述第一保护层和所述第二保护层至预设深度，形成填充空间，所述填充空间暴露所述有源区的侧表面；

在所述填充空间内形成栅极结构，所述栅极结构沿第二方向延伸，且环绕所述有源区。

12、根据权利要求11所述的半导体结构的制作方法，其中，所述第一保护层和所述第一绝缘层的材料不同。

- 20 13、根据权利要求11所述的半导体结构的制作方法，其中，沿垂直于所述衬底的方向去除所述第一保护层和所述第二保护层至预设深度，形成填充空间，所述填充空间暴露所述有源区的侧表面的步骤包括：

刻蚀所述第二保护层和所述第一保护层至初始深度，形成填充沟道；

在所述填充沟道中沉积第二绝缘层，所述第二绝缘层填满位于所述衬底和所述第一绝缘层之间的所述填充沟道；

- 25 刻蚀剩余的所述第一保护层和所述第二保护层至预设深度，形成所述填充空间。

14、根据权利要求11所述的半导体结构的制作方法，其中，在所述填充空间内形成栅极结构，所述栅极结构沿第二方向延伸，且环绕所述有源区的步骤包括：

在所述填充空间的内表面形成氧化物层；

- 30 在形成所述氧化物层后的所述填充空间内形成导电层，所述导电层与至少部分所述沟道区相对。

15、根据权利要求13所述的半导体结构的制作方法，其中，在所述填充空间内形成栅极结构，所述栅极结构沿第二方向延伸，且环绕所述有源区的步骤之后，还包括：

在所述栅极结构上沉积第三绝缘层，所述第三绝缘层覆盖所述栅极结构，且填充剩余的所述填充沟道。

- 35 16、根据权利要求15所述的半导体结构的制作方法，其中，所述第一绝缘层、所述第二绝缘层和所述第三绝缘层材料相同。

17、一种半导体结构，包括：

衬底，所述衬底内形成有多条间隔设置的位线，所述位线沿第一方向延伸，相邻的两条所述位线之间形成第一沟槽，每条所述位线上至少设置有一个有源区，所述有源区包括依次层叠设置

的源极区、沟道区和漏极区，所述源极区和所述漏极区中的一个与所述位线电连接；

设置在所述第一沟槽内的保护层，所述保护层与第一沟槽的槽底之间形成有空气隙，所述位线的侧表面部分暴露在所述空气隙内；

5 设置在所述保护层上的多个间隔设置的第一绝缘层，所述第一绝缘层沿第二方向延伸，所述第一绝缘层位于第二方向上相邻的两行所述有源区之间，且与所述有源区具有间隔；

设置在所述第一绝缘层与所述有源区之间的栅极结构，所述栅极结构沿所述第二方向延伸，且环绕所述有源区，所述栅极结构与至少部分所述沟道区相对；

覆盖所述栅极结构的第二绝缘层和第三绝缘层。

18、根据权利要求 17 所述的半导体结构，其中，还包括：

10 位于所述源极区和所述漏极区中的另一个上的接触节点，以及位于所述接触节点上的电容。