

接收电路以及存储器

本公开基于申请号为 202210623097.6、申请日为 2022 年 06 月 01 日、申请名称为“接收电路以及存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种接收电路以及存储器。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体存储器件，由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管，晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连，字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容器中的数据信息，或者通过位线将数据信息写入到电容器中进行存储。

DRAM 可以包括双倍速率动态随机存储器（Double Data Rate，DDR）、GDDR（Graphics Double Data Rate）动态随机存储器、低功耗双倍速率动态随机存储器（Low Power Double Data Rate，LPDDR）。随着 DRAM 应用的领域越来越多，如 DRAM 越来越多的应用于移动领域，用户对于 DRAM 功耗指标的要求越来越高。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供了一种接收电路以及存储器。

本公开的第一方面提供了一种接收电路，包括：输入缓冲器，被配置为，接收第一输入信号和第二输入信号并比较所述第一输入信号与所述第二输入信号，输出第一输出信号和第二输出信号，其中，在差分模式下所述第一输入信号和所述第二输入信号分别为第一信号和第二信号，在单端模式下所述第一输入信号为所述第一信号与所述第二信号中的一者，所述第二输入信号为参考电压信号，所述第一信号和所述第二信号互补；转换模块，被配置为，接收所述第一输出信号以及所述第二输出信号并对所述第一输出信号与所述第二输出信号的电压差进行放大，以输出第一内部信号以及第二内部信号。

其中，所述接收电路还包括：选择模块，接收原始第一信号、原始第二信号以及原始参考电压信号，被配置为，响应于模式选择信号，向所述输入缓冲器提供所述第一输入信号以及所述第二输入信号，其中，所述模式选择信号用于表征所述单端模式或者所述差分模式，所述第一信号与所述原始第一信号对应，所述第二信号与所述原始第二信号对应，所述原始参考电压信号与所述参考电压信号对应。

其中，所述选择模块包括：第一选择单元以及第二选择单元，所述第一选择单元与所述第二选择单元中的一者接收所述原始第一信号以及所述原始参考电压信号，另一者接收所述原始第二信号以及所述原始参考电压信号；在所述单端模式下，所述第一选择单元与所述第二选择单元中的一者响应于所述模式选择信号输出所述第一信号或者所述第二信号，另一者响应于所述模式选择信号输出所述参考电压信号；在所述差分模式下，所述第一选择单元与所述第二选择单元中的一者响应于所述模式选择信号输出所述第一信号，另一者响应于所述模式选择信号输出所述第二信号。

其中，所述输入缓冲器包括：电流控制模块，被配置为，响应于偏置电压信号向第一节点提供电流；输入模块以及与所述输入模块连接的负载模块，所述输入模块与所述第一节点连接，所述输入模块经由第二节点和第三节点与所述负载模块连接；其中，所

述输入模块接收所述第一输入信号以及所述第二输入信号，所述第二节点输出所述第一输出信号，所述第三节点输出所述第二输出信号。

其中，所述电流控制模块被配置为，响应于所述偏置电压信号以调整提供给所述第一节点的电流，以使所述单端模式下提供给所述第一节点的电流小于所述差分模式下提供给所述第一节点的电流。

其中，所述电流控制模块包括：第一控制单元，与所述第一节点连接，被配置为，响应于所述偏置电压信号导通以向所述第一节点提供第一电流；第二控制单元，与所述第一节点连接，被配置为，响应于控制信号以及所述偏置电压信号导通以向所述第一节点提供第二电流；其中，在所述单端模式下所述第一控制单元导通且所述第二控制单元不导通，在所述差分模式下所述第一控制单元以及所述第二控制单元均导通。

其中，所述第一控制单元包括：第一 PMOS 管，所述第一 PMOS 管的栅极接收使能信号，所述第一 PMOS 管的源极连接电源电压；第二 PMOS 管以及第三 PMOS 管，所述第二 PMOS 管的源极以及所述第三 PMOS 管的源极均与所述第一 PMOS 管的漏极连接，所述第二 PMOS 管的漏极以及所述第三 PMOS 管的漏极均连接所述第一节点，所述第二 PMOS 管的栅极以及所述第三 PMOS 管的栅极均接收所述偏置电压信号。

其中，所述第二控制单元包括：第四 PMOS 管，所述第四 PMOS 管的栅极接收所述控制信号，所述第四 PMOS 管的源极连接电源电压；第五 PMOS 管以及第六 PMOS 管，所述第五 PMOS 管的源极以及所述第六 PMOS 管的源极均与所述第四 PMOS 管的漏极连接，所述第五 PMOS 管的漏极以及所述第六 PMOS 管的漏极均连接所述第一节点，所述第五 PMOS 管的栅极与所述第六 PMOS 管的栅极均接收所述偏置电压信号。

其中，所述输入模块包括：第七 PMOS 管，所述第七 PMOS 管的栅极接收所述第一输入信号，所述第七 PMOS 管的源极连接所述第一节点，所述第七 PMOS 管的漏极连接所述第二节点；第八 PMOS 管，所述第八 PMOS 管的栅极接收所述第二输入信号，所述第八 PMOS 管的源极连接所述第一节点，所述第八 PMOS 管的漏极连接所述第三节点。

其中，所述负载模块包括：第一负载单元，连接在所述第二节点与地端之间，被配置为，在所述单端模式下所述第一负载单元的等效电阻值大于在所述差分模式下所述第一负载单元的等效电阻值；第二负载单元，连接在所述第三节点与地端之间，被配置为，在所述单端模式下所述第二负载单元的等效电阻值大于在所述差分模式下所述第二负载单元的等效电阻值。

其中，所述第一负载单元包括：第一电阻，连接在所述第二节点与第四节点之间；第一可调负载，连接在所述第四节点与所述地端之间，被配置为，响应于调节信号调整所述第一可调负载的等效电阻值，且所述单端模式下所述第一可调负载的等效电阻值大于所述差分模式下所述第一可调负载的等效电阻值；所述第二负载单元包括：第二电阻，连接在所述第三节点与第五节点之间；第二可调负载，连接在所述第五节点与所述地端之间，被配置为，响应于所述调节信号调整所述第二可调负载的等效电阻值，且在所述单端模式下所述第二可调负载的等效电阻值大于所述差分模式下所述第二可调负载的等效电阻值。

其中，所述第一可调负载包括：第三电阻，连接在所述第四节点与地端之间；第一 MOS 管，所述第一 MOS 管的第一端连接所述第四节点，所述第一 MOS 管的第二端连接所述地端，所述第一 MOS 管的控制端接收所述调节信号，其中，在所述单端模式下，所述第一 MOS 管响应于所述调节信号截止，在所述差分模式下，所述第一 MOS 管响应于所述调节信号导通。

其中，所述第二可调负载包括：第四电阻，连接在所述第五节点与所述地端之间；第二 MOS 管，所述第二 MOS 管的第一端连接所述第五节点，所述第二 MOS 管的第二端连接所述地端，所述第二 MOS 管的控制端接收所述调节信号，其中，在所述单端模式

下,所述第二 MOS 管响应于所述调节信号截止,在所述差分模式下,所述第二 MOS 管响应于所述调节信号导通。

其中,所述转换模块包括:放大单元,被配置为,对所述第一输出信号与所述第二输出信号的电压差进行放大;转换单元,被配置为,对经所述放大单元放大后的所述第一输出信号以及所述第二输出信号进行电平逻辑转换,并输出所述第一内部信号以及所述第二内部信号。

其中,所述放大单元还被配置为,响应于第一偏置信号以调整所述放大单元的第一工作电流,以使所述单端模式下的所述第一工作电流小于所述差分模式下的第一工作电流。

其中,所述转换单元还被配置为,响应于第二偏置信号以调整所述转换单元的第二工作电流,以使所述单端模式下的所述第二工作电流小于所述差分模式下的第二工作电流。

本公开的第二方面提供了一种存储器,包括如第一方面所述的接收电路。

本公开实施例所提供的接收电路以及存储器中,输入缓冲器可以利用第一信号和第二信号两者以运用在差分模式下,也可以利用参考电压信号以及第一信号和第二信号中的一者以运用在单端模式下,即同一输入缓冲器既可以运用在差分模式中,也可以运用在单端模式中,有利于降低接收电路的复杂度,以及降低接收电路的布局面积。此外,在单端模式下,输入缓冲器仅接收第一信号和第二信号中的一者,另外接收的信号为参考电压信号,可以降低接收电路中的工作电流,从而有利于降低接收电路的功耗。

在阅读并理解了附图和详细描述后,可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例,并且与描述一起用于解释本公开实施例的原理。在这些附图中,类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例,而不是全部实施例。对于本领域技术人员来讲,在不付出创造性劳动的前提下,可以根据这些附图获得其他的附图。

图 1 为本公开一实施例提供的接收电路的一种功能框图;

图 2 为接收电路的一种功能框图;

图 3 至图 6 为本公开一实施例提供的接收电路的另外四种功能框图;

图 7 和图 8 为本公开一实施例提供的接收电路中输入缓冲器的两种电路结构示意图;

图 9 至图 11 为本公开一实施例提供的接收电路中负载模块的三种电路结构示意图。

具体实施方式

下面将结合本公开实施例中的附图,对公开实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本公开一部分实施例,而不是全部的实施例。基于本公开中的实施例,本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本公开保护的范围。需要说明的是,在不冲突的情况下,本公开中的实施例及实施例中的特征可以相互任意组合。

经分析发现,接收电路会根据实际需要工作于差分模式或者单端模式下,但是,接收电路会针对差分模式和单端模式各自创建单独的时钟路径,即差分模式下接收电路接收的时钟信号与差分模式下接收电路接收的时钟信号使用不同的时钟路径。

参考图 2,图 2 为接收电路的一种功能框图,接收电路包括两个输入缓冲器,一个为差分输入缓冲器 11,一个为单端输入缓冲器 12,以及一个转换模块 13。当接收电路工作于差分模式下时,差分输入缓冲器 11 处于工作状态,此时单端输入缓冲器 12 处于非工作

状态, 差分输入缓冲器 11 通过第一时钟路径接收第一输入信号 Dqs_t 和第二输入信号 Dqs_c , 并输出给转换模块 13, 通过转换模块 13 输出第一内部信号 $Dqst$ 和第二内部信号 $Dqsc$; 当接收电路工作于单端模式下时, 单端输入缓冲器 12 处于工作状态, 此时差分输入缓冲器 11 处于非工作状态, 单端输入缓冲器 12 通过第二时钟路径接收第一输入信号 Dqs_t 或第二输入信号 Dqs_c 中的一者, 以及接收参考电压信号 $vref$, 并输出给转换模块 13, 通过转换模块 13 输出第一内部信号 $Dqst$ 和第二内部信号 $Dqsc$ 。

可见, 差分输入缓冲器 11 接收第一输入信号 Dqs_t 和第二输入信号 Dqs_c 时采用的是第一时钟路径, 单端输入缓冲器 12 接收第一输入信号 Dqs_t 或第二输入信号 Dqs_c 中的一者时采用的是第二时钟路径, 第一时钟路径与第二时钟路径不同, 如此, 接收电路在差分模式和单端模式之间切换时, 第一时钟路径与第二时钟路径之间会存在干扰, 使得输入缓冲器接收的第一输入信号 Dqs_t 和/或第二输入信号 Dqs_c 信号产生毛刺, 降低转换模块 13 输出的第一内部信号 $Dqst$ 和第二内部信号 $Dqsc$ 的准确性。此外, 在接收电路中设计两种输入缓冲器, 不利于简化接收电路的布局, 而且会增加接收电路的复杂度, 也不利于节省接收电路整体的功耗。

本公开实施例提供一种接收电路以及存储器, 接收电路中, 输入缓冲器可以利用第一信号和第二信号两者以工作在差分模式下, 也可以利用参考电压信号以及第一信号和第二信号中的一者以工作在单端模式下, 即同一输入缓冲器既可以运用在差分模式中, 也可以运用在单端模式中, 有利于降低接收电路的复杂度, 以及降低接收电路的布局面积。此外, 在单端模式下, 输入缓冲器仅接收第一信号和第二信号中的一者, 另外接收的信号为参考电压信号, 可以降低接收电路中的工作电流, 从而有利于降低接收电路的功耗。

本公开一实施例提供一种接收电路, 以下将结合附图对本公开一实施例提供的接收电路进行详细说明。图 1、图 3 至图 6 为本公开一实施例提供的接收电路的五种功能框图; 图 7 和图 8 为本公开一实施例提供的接收电路中输入缓冲器的两种电路结构示意图; 图 9 至图 11 为本公开一实施例提供的接收电路中负载模块的三种电路结构示意图。

结合参考图 1 和图 3, 接收电路包括: 输入缓冲器 101, 被配置为, 接收第一输入信号 $input1$ 和第二输入信号 $input2$ 并比较第一输入信号 $input1$ 和第二输入信号 $input2$, 输出第一输出信号 $out1_p$ 和第二输出信号 $out1_n$, 其中, 在差分模式下第一输入信号 $input1$ 和第二输入信号 $input2$ 分别为第一信号 $In1$ 和第二信号 $In2$, 在单端模式下第一输入信号 $input1$ 为第一信号 $In1$ 与第二信号 $In2$ 中的一者, 第二输入信号 $input2$ 为参考电压信号 $vref$, 第一信号 $In1$ 和第二信号 $In2$ 互补; 转换模块 102, 被配置为, 接收第一输出信号 $out1_p$ 以及第二输出信号 $out1_n$ 并对第一输出信号 $out1_p$ 与第二输出信号 $out1_n$ 的电压差进行放大, 以输出第一内部信号 $out2_p$ 以及第二内部信号 $out2_n$ 。

可见, 本公开实施例提供的接收电路中, 设计一个既可以运用于差分模式也可以运用于单端模式的输入缓冲器 101, 一方面, 有利于降低接收电路的复杂度以及降低接收电路的布局面积, 另一方面, 输入缓冲器 101 在差分模式和单端模式下通过同一传输路径接收第一输入信号 $input1$ 和第二输入信号 $input2$, 有利于降低接收电路在差分模式和单端模式之间切换时第一输入信号 $input1$ 和第二输入信号 $input2$ 受到的干扰, 以提高转换模块 102 输出的第一内部信号 $out2_p$ 以及第二内部信号 $out2_n$ 的准确性, 再一方面, 简化接收电路的复杂度, 仅使用一个输入缓冲器 101 有利于降低接收电路的工作电流, 从而有利于降低接收电路整体的功耗。

在一些实施例中, 第一信号 $In1$ 和第二信号 $In2$ 分别可以为时钟信号和互补时钟信号。接收电路工作于差分模式时, 通常用于接收频率更高的信号以获得更好的性能; 接收电路工作于单端模式时, 仅接收一个时钟信号, 该时钟信号的频率较低, 并接收参考电压信号 $vref$, 用于较低频率的操作以节省功耗。

在一些实施例中, 参考图 5, 输入缓冲器 101 可以包括: 电流控制模块 111, 被配置

为, 响应于偏置电压信号 bias0 向第一节点 net1 提供电流; 输入模块 112 以及与输入模块 112 连接的负载模块 113, 输入模块 112 与第一节点 net1 连接, 输入模块 112 经由第二节点 net2 和第三节点 net3 与负载模块 113 连接; 其中, 输入模块 112 接收第一输入信号 input1 以及第二输入信号 input2, 第二节点 net2 输出第一输出信号 out1_p (参考图 1), 第三节点 net3 输出第二输出信号 out1_n (参考图 1)。

在一些实施例中, 继续参考图 5, 电流控制模块 111 可以被配置为, 响应于偏置电压信号 bias0 以调整提供给第一节点 net1 的电流, 以使单端模式下提供给第一节点 net1 的电流小于差分模式下提供给第一节点 net1 的电流。如此, 有利于降低接收电路中单端模式下的工作电流, 以降低接收电路整体的功耗。

在一个例子中, 参考图 7, 电流控制模块 111 可以包括: 第一 PMOS 管 MP1, 第一 PMOS 管 MP1 的栅极接收使能信号 EnN, 第一 PMOS 管 MP1 的源极连接电源电压 Vcc1; 第二 PMOS 管 MP2 以及第三 PMOS 管 MP3, 第二 PMOS 管 MP2 的源极以及第三 PMOS 管 MP3 的源极均与第一 PMOS 管 MP1 的漏极连接, 第二 PMOS 管 MP2 的漏极以及第三 PMOS 管 MP3 的漏极均连接第一节点 net1, 第二 PMOS 管 MP2 的栅极以及第三 PMOS 管 MP3 的栅极均接收偏置电压信号 bias0。如此, 控制使能信号 EnN 可以作为输入缓冲器 101 是否工作的总开关, 例如, 控制使能信号 EnN 为低电平时, 第一 PMOS 管 MP1 导通, 使得输入缓冲器 101 可以进行工作; 控制使能信号 EnN 为高电平时, 第一 PMOS 管 MP1 截止, 此时无论偏置电压信号 bias0 为高电平还是低电平, 输入缓冲器 101 中均没有电流通路, 即输入缓冲器 101 不会进行工作。

此外, 通过控制偏置电压信号 bias0 的电平值以调整第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 的导通程度, 从而有利于使得电流控制模块 111 在单端模式下提供给第一节点 net1 的电流小于差分模式下提供给第一节点 net1 的电流。譬如, 差分模式下, 控制偏置电压信号 bias0 处于第一电平值, 单端模式下, 控制偏置电压信号 bias0 处于第二电平值, 且第二电平值大于第一电平值, 如此, 第二 PMOS 管 MP2 和第三 PMOS 管 MP3 在差分模式下的导通程度大于在单端模式下的导通程度, 使得差分模式下第一节点 net1 处的电流大于单端模式下第一节点 net1 处的电流。

在一些实施例中, 参考图 8, 电流控制模块 111 可以包括: 第一控制单元 1111, 与第一节点 net1 连接, 被配置为, 响应于偏置电压信号 bias0 导通以向第一节点 net1 提供第一电流; 第二控制单元 1112, 与第一节点 net1 连接, 被配置为, 响应于控制信号 SeEn 以及偏置电压信号 bias0 导通以向第一节点 net1 提供第二电流; 其中, 在单端模式下第一控制单元 1111 导通且第二控制单元 1112 不导通, 在差分模式下第一控制单元 1111 以及第二控制单元 1112 均导通。可见, 单端模式下, 仅有第一控制单元 1111 一条电流通路导通以向第一节点 net1 提供电流, 即第一节点 net1 处的电流为第一电流, 差分模式下, 存在第一控制单元 1111 和第二控制单元 1112 两条并联的电流通路导通以向第一节点 net1 提供电流, 即第一节点 net1 处的电流为第一电流和第二电流之和, 使得单端模式下第一节点 net1 处的电流小于差分模式下第一节点 net1 处的电流。

在一些实施例中, 继续参考图 8, 第一控制单元 1111 可以包括: 第一 PMOS 管 MP1, 第一 PMOS 管 MP1 的栅极接收使能信号 EnN, 第一 PMOS 管 MP1 的源极连接电源电压 Vcc1; 第二 PMOS 管 MP2 以及第三 PMOS 管 MP3, 第二 PMOS 管 MP2 的源极以及第三 PMOS 管 MP3 的源极均与第一 PMOS 管 MP1 的漏极连接, 第二 PMOS 管 MP2 的漏极以及第三 PMOS 管 MP3 的漏极均连接第一节点 net1, 第二 PMOS 管 MP2 的栅极以及第三 PMOS 管 MP3 的栅极均接收偏置电压信号 bias0。其中, 控制使能信号 EnN 可以作为第一控制单元 1111 是否工作的总开关, 例如, 控制使能信号 EnN 为低电平时, 第一 PMOS 管 MP1 导通, 使得第一控制单元 1111 可以进行工作; 控制使能信号 EnN 为高电平时, 第一 PMOS 管 MP1 截止, 此时无论偏置电压信号 bias0 为高电平还是低电平, 第一控制单元

1111 中均没有电流通路, 即第一控制单元 1111 不会进行工作。

其中, 继续参考图 8, 第二控制单元 1112 可以包括: 第四 PMOS 管 MP4, 第四 PMOS 管 MP4 的栅极接收控制信号 SeEn, 第四 PMOS 管 MP4 的源极连接电源电压 Vcc1; 第五 PMOS 管 MP5 以及第六 PMOS 管 MP6, 第五 PMOS 管 MP5 的源极以及第六 PMOS 管 MP6 的源极均与第四 PMOS 管 MP4 的漏极连接, 第五 PMOS 管 MP5 的漏极以及第六 PMOS 管 MP6 的漏极均连接第一节点 net1, 第五 PMOS 管 MP5 的栅极与第六 PMOS 管 MP6 的栅极均接收偏置电压信号 bias0。

在一个例子中, 单端模式下, 使能信号 EnN 为低电平, 使得第一 PMOS 管 MP1 导通, 偏置电压信号 bias0 处于可以使得第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 导通的电平值, 且可以通过调节偏置电压信号 bias0 的电平值大小控制第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 的导通程度, 以控制流过第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 的电流的大小, 控制信号 SeEn 为高电平, 使得第四 PMOS 管 MP4 处于断开状态, 则无论偏置电压信号 bias0 的电平值为多少, 第五 PMOS 管 MP5 以及第六 PMOS 管 MP6 中没有电流通过, 即第二控制单元 1112 不导通, 第一节点 net1 处的电流仅由第一控制单元 1111 提供; 差分模式下, 使能信号 EnN 为低电平, 使得第一 PMOS 管 MP1 导通, 偏置电压信号 bias0 处于可以使得第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 导通的电平值, 且可以用通过调节偏置电压信号 bias0 的电平值大小控制第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 的导通程度, 以控制流过第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 的电流的大小, 且控制信号 SeEn 也为低电平, 使得第四 PMOS 管 MP4 导通, 偏置电压信号 bias0 也处于可以使得第五 PMOS 管 MP5 以及第六 PMOS 管 MP6 导通的电平值, 且可以通过调节偏置电压信号 bias0 的电平值大小控制第五 PMOS 管 MP5 以及第六 PMOS 管 MP6 的导通程度, 以控制流过第五 PMOS 管 MP5 以及第六 PMOS 管 MP6 的电流的大小, 即第一控制单元 1111 以及第二控制单元 1112 均导通, 第一节点 net1 处的电流为第一电流和第二电流之和。

在一些实施例中, 参考图 7 和图 8, 输入模块 112 可以包括: 第七 PMOS 管 MP7, 第七 PMOS 管 MP7 的栅极接收第一输入信号 input1, 第七 PMOS 管 MP7 的源极连接第一节点 net1, 第七 PMOS 管 MP7 的漏极连接第二节点 net2; 第八 PMOS 管 MP8, 第八 PMOS 管 MP8 的栅极接收第二输入信号 input2, 第八 PMOS 管 MP8 的源极连接第一节点 net1, 第八 PMOS 管的漏极连接第三节点 net3。

需要说明的是, 第一输入信号 input1 和第二输入信号 input2 的电平值变化不同步, 使得接收第一输入信号 input1 的第七 PMOS 管 MP7 的导通时刻不同于接收第二输入信号 input2 的第八 PMOS 管 MP8 的导通时刻, 且同一时刻下, 第七 PMOS 管 MP7 的导通程度不同于第八 PMOS 管 MP8 的导通程度。可以理解的是, 基于第七 PMOS 管 MP7 的导通程度不同于第八 PMOS 管 MP8 的导通程度, 第七 PMOS 管 MP7 与第八 PMOS 管 MP8 对第一节点 net1 处的电流的分流能力也不同, 使得第二节点 net2 处的电压与第三节点 3 处的电压不同。

在一个例子中, 第一输入信号 input1 的电平值高于第二输入信号 input2 的电平值时, 第八 PMOS 管 MP8 的导通程度大于第七 PMOS 管 MP7 的导通程度, 使得第一节点 net1 处的电流更多的流入第八 PMOS 管 MP8 所在的通路, 使得第三节点 net3 处的电流大于第二节点 net2 处的电流, 第三节点 net3 处的电压高于第二节点 net2 处的电压, 从而使得第三节点 net3 输出的第二输出信号 out1_n 电平值高, 第二节点 net2 输出的第一输出信号 out1_p 电平值低, 即使得第一输出信号 out1_p 和第二输出信号 out1_n 互补。

在一些实施例中, 参考图 7 和图 8, 负载模块 113 可以包括: 第一负载单元 1131, 连接在第二节点 net2 与地端之间, 被配置为, 在单端模式下第一负载单元 1131 的等效电阻值大于在差分模式下第一负载单元 1131 的等效电阻值; 第二负载单元 1132, 连接在第三节点 net3 与地端之间, 被配置为, 在单端模式下第二负载单元 1132 的等效电阻值大于在

差分模式下第二负载单元 1132 的等效电阻值。可见,无论是第一负载单元 1131 还是第二负载单元 1132,在单端模式下的等效电阻值均大于在差分模式下的等效电阻值。由于单端模式下第一节点 net1 处的电流小于差分模式下第一节点 net1 处的电流,且第一节点 net1 处的电流为第二节点 net2 处的电流和第三节点 net3 处的电流的总和,因而,在第八 PMOS 管 MP8 的导通程度与第七 PMOS 管 MP7 的导通程度不同的前提下,单端模式下第二节点 net2 处的电流和第三节点 net3 处的电流之差的绝对值为第一差值,差分模式下第二节点 net2 处的电流和第三节点 net3 处的电流之差的绝对值为第二差值,则第一差值比第二差值小。

如此,无论是第一负载单元 1131 还是第二负载单元 1132,在单端模式下的等效电阻值均大于在差分模式下的等效电阻值时,更大的等效电阻可以使得在单端模式下第二节点 net2 处的电流和第三节点 net3 处的电流之差较小的情况下,第二节点 net2 处的电压和第三节点 net3 处的电压之差可以较大,即使得单端模式下第二节点 net2 处和第三节点 net3 处依然有较大的电压摆幅。

可以理解是,第一负载单元 1131 的等效电阻与流经第二节点 net2 处的电流的乘积为第一乘积,第二负载单元 1132 的等效电阻与流经第三节点 net3 处的电流的乘积为第二乘积,第二节点 net2 处的电压和第三节点 net3 处的电压之差为第一乘积与第二乘积之差。在一个例子中,第一负载单元 1131 的等效电阻等于第二负载单元 1132 的等效电阻,则第二节点 net2 处的电压和第三节点 net3 处的电压之差为该等效电阻与流经第二节点 net2 处的电流和第三节点 net3 处的电流之差的乘积。

在一些实施例中,参考图 9,第一负载单元 1131 可以包括相串联的第一子电阻 R1 和第二子电阻 R2,以及相并联的第三子电阻 R3 和第四子电阻 R4,其中,第一子电阻 R1 的一端与第二节点 net2 连接,第一子电阻 R1 的另一端与第二子电阻 R2 的一端连接,第二子电阻 R2 的另一端同时与第三子电阻 R3 的一端和第四子电阻 R4 的一端连接,第三子电阻 R3 的另一端与第四子电阻 R4 的另一端连接;第二负载单元 1132 可以包括相串联的第五子电阻 R5 和第六子电阻 R6,以及相并联的第七子电阻 R7 和第八子电阻 R8,其中,第五子电阻 R5 的一端与第三节点 net3 连接,第五子电阻 R5 的另一端与第六子电阻 R6 的一端连接,第六子电阻 R6 的另一端同时与第七子电阻 R7 的一端和第八子电阻 R8 的一端连接,第七子电阻 R7 的另一端与第八子电阻 R8 的另一端连接。

需要说明的是,无论是对第一负载单元 1131 还是对第二负载单元 1132 而言,图 9 中仅以串联的子电阻的数量为两个,并联的子电阻的数量为两个为示例,实际应用中,根据接收电路中对第一负载单元 1131 和/或第二负载单元 1132 的等效电阻的实际要求,可以合理的设计串联的子电阻的数量以及并联的子电阻的数量,或者仅设计若干个相串联的子电阻构成第一负载单元 1131 和/或第二负载单元 1132,或者仅设计若干个相并联的子电阻构成第一负载单元 1131 和/或第二负载单元 1132,或者设计若干个已经形成并联电路的子电阻组构成第一负载单元 1131 和/或第二负载单元 1132。

在一些实施例中,参考图 10 和图 11,第一负载单元 1131 可以包括:第一电阻 1133,连接在第二节点 net2 与第四节点 net4 之间;第一可调负载 1134,连接在第四节点 net4 与地端之间,被配置为,响应于调节信号 SeEnN 调整第一可调负载 1134 的等效电阻值,且单端模式下第一可调负载 1134 的等效电阻值大于差分模式下第一可调负载 1134 的等效电阻值;第二负载单元 1132 可以包括:第二电阻 1135,连接在第三节点 net3 与第五节点 net5 之间;第二可调负载 1136,连接在第五节点 net5 与地端之间,被配置为,响应于调节信号 SeEnN 调整第二可调负载 1136 的等效电阻值,且在单端模式下第二可调负载 1136 的等效电阻值大于差分模式下第二可调负载 1136 的等效电阻值。如此,通过控制单端模式下第一可调负载 1134 的等效电阻值大于差分模式下第一可调负载 1134 的等效电阻值,有利于保证单端模式下第一负载单元 1131 的等效电阻值大于在差分模式下第一负载单元

1131 的等效电阻值；通过控制单端模式下第二可调负载 1136 的等效电阻值大于差分模式下第二可调负载 1136 的等效电阻值，有利于保证单端模式下第二负载单元 1132 的等效电阻值大于在差分模式下第二负载单元 1132 的等效电阻值。

需要说明的是，在一些实施例中，第一电阻 1133 和第二电阻 1135 的阻值为 0，即负载模块 113 中只有可调负载部分，第二节点 net2 与第四节点 net4 为电位相同的节点，第三节点 net3 与第五节点 net5 为电位相同的节点。

在一些实施例中，参考图 11，第一可调负载 1134 可以包括：第三电阻 1137，连接在第四节点 net4 与地端之间；第一 MOS 管 M1，第一 MOS 管 M1 的第一端连接第四节点 net4，第一 MOS 管 M1 的第二端连接地端，第一 MOS 管 M1 的控制端接收调节信号 SeEnN，其中，在单端模式下，第一 MOS 管 M1 响应于调节信号 SeEnN 截止，在差分模式下，第一 MOS 管 M1 响应于调节信号 SeEnN 导通。

可以理解的是，第三电阻 1137 与第一 MOS 管 M1 为并联关系，在单端模式下，第一 MOS 管 M1 响应于调节信号 SeEnN 截止时，第一可调负载 1134 由第三电阻 1137 构成，在差分模式下，第一 MOS 管 M1 响应于调节信号 SeEnN 导通时，第一可调负载 1134 由第三电阻 1137 和第一 MOS 管 M1 并联构成，第三电阻 1137 的阻值大于并联的第三电阻 1137 和第一 MOS 管 M1 的总阻值，从而实现单端模式下第一可调负载 1134 的等效电阻值大于差分模式下第一可调负载 1134 的等效电阻值。

需要说明的是，图 11 中以第三电阻 1137 包括 4 个依次串联的第九子电阻 R9、第十子电阻 R10、第十一子电阻 R11 以及第十二子电阻 R12 为示例，在实际应用中，可以根据接收电路中对第三电阻 1137 的阻值的实际需求，合理设计相串联的子电阻的数量，或者设计若干个相并联的子电阻构成第三电阻 1137，或者设计若干个已经形成并联电路的子电阻组构成第三电阻 1137，或者设计既存在串联的子电阻也存在并联的子电阻的第三电阻 1137。此外，图 11 中以第一 MOS 管 M1 为 NMOS 管为示例，则单端模式下，调节信号 SeEnN 为低电平，第一 MOS 管 M1 为断开状态，差分模式下，调节信号 SeEnN 为高电平，第一 MOS 管 M1 导通；在实际应用中，第一 MOS 管 M1 也可以为 PMOS 管，则单端模式下，调节信号 SeEnN 为高电平，第一 MOS 管 M1 为断开状态，差分模式下，调节信号 SeEnN 为低电平，第一 MOS 管 M1 导通。

其中，继续参考图 11，第二可调负载 1136 可以包括：第四电阻 1138，连接在第五节点 net5 与地端之间；第二 MOS 管 M2，第二 MOS 管 M2 的第一端连接第五节点 net5，第二 MOS 管 M2 的第二端连接地端，第二 MOS 管 M2 的控制端接收调节信号 SeEnN，其中，在单端模式下，第二 MOS 管 M2 响应于调节信号 SeEnN 截止，在差分模式下，第二 MOS 管 M2 响应于调节信号 SeEnN 导通。

可以理解的是，第四电阻 1138 与第二 MOS 管 M2 为并联关系，在单端模式下，第二 MOS 管 M2 响应于调节信号 SeEnN 截止时，第二可调负载 1136 由第四电阻 1138 构成，在差分模式下，第二 MOS 管 M2 响应于调节信号 SeEnN 导通时，第二可调负载 1136 由第四电阻 1138 和第二 MOS 管 M2 并联构成，第四电阻 1138 的阻值大于并联的第四电阻 1138 和第二 MOS 管 M2 的总阻值，从而实现单端模式下第二可调负载 1136 的等效电阻值大于差分模式下第二可调负载 1136 的等效电阻值。

需要说明的是，图 11 中以第四电阻 1138 包括 4 个依次串联的第十三子电阻 R13、第十四子电阻 R14、第十五子电阻 R15 及第十六子电阻 R16 为示例，在实际应用中，可以根据接收电路中对第四电阻 1138 的阻值的实际需求，合理设计相串联的子电阻的数量，或者设计若干个相并联的子电阻构成第四电阻 1138，或者设计若干个已经形成并联电路的子电阻组构成第四电阻 1138，或者设计既存在串联的子电阻也存在并联的子电阻的第四电阻 1138。此外，图 11 中以第二 MOS 管 M2 为 NMOS 管为示例，则单端模式下，调节信号 SeEnN 为低电平，第二 MOS 管 M2 为断开状态，差分模式下，调节信号 SeEnN 为高电

平, 第二 MOS 管 M2 导通; 在实际应用中, 第二 MOS 管 M2 也可以为 PMOS 管, 则单端模式下, 调节信号 SeEnN 为高电平, 第二 MOS 管 M2 为断开状态, 差分模式下, 调节信号 SeEnN 为低电平, 第二 MOS 管 M2 导通。

继续参考图 11, 在一些实施例中, 第一电阻 1133 可以包括: 相串联的第一子电阻 R1 和第二子电阻 R2, 以及相并联的第三子电阻 R3 和第四子电阻 R4, 其中, 第一子电阻 R1 的一端与第二节点 net2 连接, 第一子电阻 R1 的另一端与第二子电阻 R2 的一端连接, 第二子电阻 R2 的另一端同时与第三子电阻 R3 的一端和第四子电阻 R4 的一端连接, 第三子电阻 R3 的另一端与第四子电阻 R4 的另一端连接。

第二电阻 1135 可以包括相串联的第五子电阻 R5 和第六子电阻 R6, 以及相并联的第七子电阻 R7 和第八子电阻 R8, 其中, 第五子电阻 R5 的一端与第三节点 net3 连接, 第五子电阻 R5 的另一端与第六子电阻 R6 的一端连接, 第六子电阻 R6 的另一端同时与第七子电阻 R7 的一端和第八子电阻 R8 的一端连接, 第七子电阻 R7 的另一端与第八子电阻 R8 的另一端连接。

在一些实施例中, 参考图 3, 接收电路还可以包括: 选择模块 103, 接收原始第一信号 In1、原始第二信号 In2 以及原始参考电压信号 vref, 被配置为, 响应于模式选择信号 mode select, 向输入缓冲器 101 提供第一输入信号 input1 以及第二输入信号 input2, 其中, 模式选择信号 mode select 用于表征单端模式或者差分模式, 第一信号 In1 与原始第一信号 In1 对应, 第二信号 In2 与原始第二信号 In2 对应, 原始参考电压信号 vref 与参考电压信号 vref 对应。

如此, 接收电路可以借由选择模块 103 来控制接收电路接收的信号是原始第一信号 In1 和原始第二信号 In2, 从而使得输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2 以工作于差分模式, 还是控制接收电路接收的信号是原始第一信号 In1 和原始第二信号 In2 中的一者以及原始参考电压信号 vref, 从而使得输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2 中的一者以及参考电压信号 vref, 以工作于单端模式。

在一些实施例中, 模式选择信号 mode select 可以包括: 用于表征单端模式的第一模式选择信号 (图中未示出), 用于表征差分模式的第二模式选择信号 (图中未示出)。譬如, 选择模块 103 接收的模式选择信号 mode select 为第一模式选择信号时, 选择模块 103 控制接收电路接收的信号是原始第一信号 In1 和原始第二信号 In2, 使得输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2; 选择模块 103 接收的模式选择信号 mode select 为第二模式选择信号时, 选择模块 103 控制接收电路接收的信号是原始第一信号 In1 和原始第二信号 In2 中的一者以及原始参考电压信号 vref, 使得输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2 中的一者以及参考电压信号 vref。

在另一些实施例中, 选择模块 103 也可以基于模式选择信号 mode select 的两种状态来控制接收电路工作于差分模式还是单端模式。譬如, 在选择模块 103 接收的模式选择信号 mode select 为高电平时, 控制选择模块 103 接收的信号是原始第一信号 In1 和原始第二信号 In2, 使得输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2; 在选择模块 103 接收的模式选择信号 mode select 为低电平时, 控制选择模块 103 接收的信号是原始第一信号 In1 和原始第二信号 In2 中的一者以及原始参考电压信号 vref, 使得输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2 中的一者以及参考电压信号 vref。

在一些实施例中, 参考图 4, 选择模块 103 可以包括: 第一选择单元 123 以及第二选择单元 133, 第一选择单元 123 与第二选择单元 133 中的一者接收原始第一信号 In1 以及原始参考电压信号 vref, 另一者接收原始第二信号 In2 以及原始参考电压信号 vref; 在单端模式下, 第一选择单元 123 与第二选择单元 133 中的一者响应于模式选择信号 mode select 输出第一信号 In1 或者第二信号 In2, 另一者响应于模式选择信号 mode select 输出参考电压信号 vref; 在差分模式下, 第一选择单元 123 与第二选择单元 133 中的一者响应于

模式选择信号 mode select 输出第一信号 In1, 另一者响应于模式选择信号 mode select 输出第二信号 In2。

在一个例子中, 继续参考图 4, 第一选择单元 123 接收原始第一信号 In1 以及原始参考电压信号 vref, 第二选择单元 133 接收原始第二信号 In2 以及原始参考电压信号 vref。

在单端模式下, 第一选择单元 123 响应于模式选择信号 mode select 输出第一信号 In1, 第二选择单元 133 中响应于模式选择信号 mode select 输出参考电压信号 vref, 或者, 第一选择单元 123 响应于模式选择信号 mode select 输出参考电压信号 vref, 第二选择单元 133 中响应于模式选择信号 mode select 输出第二信号 In2, 以实现输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2 中的一者以及参考电压信号 vref。

在差分模式下, 第一选择单元 123 响应于模式选择信号 mode select 输出第一信号 In1, 第二选择单元 133 响应于模式选择信号 mode select 输出第二信号 In2, 以实现输入缓冲器 101 接收的信号是第一信号 In1 和第二信号 In2。

在一些实施例中, 参考图 6, 转换模块 102 可以包括: 放大单元 122, 被配置为, 对第一输出信号 out1_p 与第二输出信号 out1_n 的电压差进行放大; 转换单元 132, 被配置为, 对经放大单元 122 放大后的第一输出信号以及第二输出信号进行电平逻辑转换, 并输出第一内部信号 out2_p 以及第二内部信号 out2_n。

需要说明的是, 对经放大单元 122 放大后的第一输出信号以及第二输出信号进行电平逻辑转换指的是: 将第二节点 net2 输出的第一输出信号 out1_p 和第三节点 net3 输出的第二输出信号 out1_n 从模拟电平转换为数字电平, 即使得转换模块 102 输出的第一内部信号 out2_p 和/或第二内部信号 out2_n 的高电平状态无限接近于电源电压, 第一内部信号 out2_p 和/或第二内部信号 out2_n 的低电平状态无限接近于地端电压, 以便于后续逻辑电路的处理。

在一些实施例中, 继续参考图 6, 放大单元 122 还可以被配置为, 响应于第一偏置信号 Bias1 以调整放大单元 122 的第一工作电流, 以使单端模式下的第一工作电流小于差分模式下的第一工作电流。如此, 有利于进一步保证接收电路在单端模式下的工作电流小于差分模式下的工作电流, 从而有利于降低接收电路整体的功耗。

在一些实施例中, 继续参考图 6, 转换单元 132 还可以被配置为, 响应于第二偏置信号 Bias2 以调整转换单元 132 的第二工作电流, 以使单端模式下的第二工作电流小于差分模式下的第二工作电流。如此, 有利于进一步保证接收电路在单端模式下的工作电流小于差分模式下的工作电流, 从而有利于降低接收电路整体的功耗。

需要说明的是, 第一偏置信号 bias1 和第二偏置信号 bias2 可以是同一偏置信号, 有利于降低接收电路的复杂度。

以下以图 8 所示的接收电路为示例对本公开一实施例提供的接收电路的工作原理进行说明。需要说明的是, 前述已对第一控制单元 1111、第二控制单元 1112、输入模块 112 以及负载模块 113 的工作原理进行过简要描述, 以下结合图 8 对接收电路整体的工作原理进行简要描述。

参考图 8, 单端模式下, 使能信号 EnN 为低电平, 第一 PMOS 管 MP1 导通, 偏置电压信号 bias0 处于使得第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 导通的电平值, 且通过调节偏置电压信号 bias0 的电平值大小可以控制第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 的导通程度; 控制信号 SeEn 为高电平, 使得第四 PMOS 管 MP4 处于断开状态, 第五 PMOS 管 MP5 以及第六 PMOS 管 MP6 中没有电流通过, 即第二控制单元 1112 不导通。

差分模式下, 使能信号 EnN 为低电平, 第一 PMOS 管 MP1 导通, 偏置电压信号 bias0 处于使得第二 PMOS 管 MP2 以及第三 PMOS 管 MP3 导通的电平值, 且控制信号 SeEn 也为低电平, 第四 PMOS 管 MP4 导通, 偏置电压信号 bias0 也处于使得第五 PMOS 管 MP5 以及第六 PMOS 管 MP6 导通的电平值, 且通过调节偏置电压信号 bias0 的电平值大小控

制第五 PMOS 管 MP5 以及第六 PMOS 管 MP6 的导通程度。

上述两种模式下,第一输入信号 input1 的电平值高于第二输入信号 input2 的电平值时,会使第三节点 net3 输出的第二输出信号 out1_n 电平值高,第二节点 net2 输出的第一输出信号 out1_p 电平值低。第一输入信号 input1 的电平值低于第二输入信号 input2 的电平值时,会使第三节点 net3 输出的第二输出信号 out1_n 电平值低,第二节点 net2 输出的第一输出信号 out1_p 电平值高。而且,单端模式下负载模块 113 的等效电阻值大于在差分模式下负载模块 113 的等效电阻值,使得单端模式下第二节点 net2 处的电流和第三节点 net3 处的电流之差较小的情况下,第二节点 net2 处的电压和第三节点 net3 处的电压之差可以较大,即使得单端模式下第二节点 net2 处和第三节点 net3 处依然有较大的电压摆幅。

综上所述,设计一个既可以运用于差分模式又可以运用于单端模式的输入缓冲器 101,一方面,有利于降低接收电路的复杂度以及降低接收电路的布局面积,另一方面,输入缓冲器 101 在差分模式和单端模式下通过同一传输路径接收第一输入信号 input1 和第二输入信号 input2,有利于降低接收电路在差分模式和单端模式之间切换时第一输入信号 input1 和第二输入信号 input2 受到的干扰,以提高转换模块 102 输出的第一内部信号 out2_p 以及第二内部信号 out2_n 的准确性,再一方面,有利于使得单端模式下接收电路的工作电流小于差分模式下接收电路的工作电流,以降低接收电路在单端模式下的功耗。

本公开另一实施例还提供一种存储器,包括前述的接收电路。如此,存储器可以选择性接收第一信号 In1、第二信号 In2 以及参考电压信号 vref 以选择性的工作于差分模式或单端模式下。在差分模式下,存储器接收的第一信号 In1 和第二信号 In2 可以为互补的两个时钟信号,且第一信号 In1 和第二信号 In2 的频率较高,有利于提高存储器的处理速度和工作性能;在单端模式下,存储器仅接收第一信号 In1 和第二信号 In2 中的一者,即仅接收一个时钟信号以较低的频率进行工作,有利于节省功耗。此外,存储器接收的第一信号 In1 和第二信号 In2 可以在差分模式和单端模式下共享,而且可以通过调整使能信号 EnN、偏置电压信号 bias0、控制信号 SeEn 以及负载模块 113 等,降低存储器在单端模式下的工作电流,以降低存储器整体的功耗。

在一些实施例中,存储器可以为 DDR 存储器,例如为 DDR5 存储器。

本说明书中各实施例或实施方式采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中,参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中,对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且,描述的具体特征、结构、材料或者特点可以在任何一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中,需要说明的是,术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本公开和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本公开的限制。

可以理解的是,本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构,但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的多个部分没有按比例绘制。此外,可能未示出某些公知的部分。为了简明起见,可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公

开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所提供的一种接收电路以及存储器中，输入缓冲器可以利用第一信号和第二信号两者以运用在差分模式下，也可以利用参考电压信号以及第一信号和第二信号中的一者以运用在单端模式下，即同一输入缓冲器既可以运用在差分模式中，也可以运用在单端模式中，有利于降低接收电路的复杂度，以及降低接收电路的布局面积。此外，在单端模式下，输入缓冲器仅接收第一信号和第二信号中的一者，另外接收的信号为参考电压信号，可以降低接收电路中的工作电流，从而有利于降低接收电路的功耗。

权利要求

1、一种接收电路，包括：

输入缓冲器，被配置为，接收第一输入信号和第二输入信号并比较所述第一输入信号与所述第二输入信号，输出第一输出信号和第二输出信号，其中，在差分模式下所述第一输入信号和所述第二输入信号分别为第一信号和第二信号，在单端模式下所述第一输入信号为所述第一信号与所述第二信号中的一者，所述第二输入信号为参考电压信号，所述第一信号和所述第二信号互补；

转换模块，被配置为，接收所述第一输出信号以及所述第二输出信号并对所述第一输出信号与所述第二输出信号的电压差进行放大，以输出第一内部信号以及第二内部信号。

2、如权利要求1所述的接收电路，其中，还包括：

选择模块，接收原始第一信号、原始第二信号以及原始参考电压信号，被配置为，

响应于模式选择信号，向所述输入缓冲器提供所述第一输入信号以及所述第二输入信号，其中，所述模式选择信号用于表征所述单端模式或者所述差分模式，所述第一信号与所述原始第一信号对应，所述第二信号与所述原始第二信号对应，所述原始参考电压信号与所述参考电压信号对应。

3、如权利要求2所述的接收电路，其中，所述选择模块包括：

第一选择单元以及第二选择单元，所述第一选择单元与所述第二选择单元中的一者接收所述原始第一信号以及所述原始参考电压信号，另一者接收所述原始第二信号以及所述原始参考电压信号；

在所述单端模式下，所述第一选择单元与所述第二选择单元中的一者响应于所述模式选择信号输出所述第一信号或者所述第二信号，另一者响应于所述模式选择信号输出所述参考电压信号；

在所述差分模式下，所述第一选择单元与所述第二选择单元中的一者响应于所述模式选择信号输出所述第一信号，另一者响应于所述模式选择信号输出所述第二信号。

4、如权利要求1所述的接收电路，其中，所述输入缓冲器包括：

电流控制模块，被配置为，响应于偏置电压信号向第一节点提供电流；

输入模块以及与所述输入模块连接的负载模块，所述输入模块与所述第一节点连接，所述输入模块经由第二节点和第三节点与所述负载模块连接；

其中，所述输入模块接收所述第一输入信号以及所述第二输入信号，所述第二节点输出所述第一输出信号，所述第三节点输出所述第二输出信号。

5、如权利要求4所述的接收电路，其中，所述电流控制模块被配置为，响应于所述偏置电压信号以调整提供给所述第一节点的电流，以使所述单端模式下提供给所述第一节点的电流小于所述差分模式下提供给所述第一节点的电流。

6、如权利要求4所述的接收电路，其中，所述电流控制模块包括：

第一控制单元，与所述第一节点连接，被配置为，响应于所述偏置电压信号导通以向所述第一节点提供第一电流；

第二控制单元，与所述第一节点连接，被配置为，响应于控制信号以及所述偏置电压

信号导通以向所述第一节点提供第二电流；

其中，在所述单端模式下所述第一控制单元导通且所述第二控制单元不导通，在所述差分模式下所述第一控制单元以及所述第二控制单元均导通。

7、如权利要求6所述的接收电路，其中，所述第一控制单元包括：

第一PMOS管，所述第一PMOS管的栅极接收使能信号，所述第一PMOS管的源极连接电源电压；

第二PMOS管以及第三PMOS管，所述第二PMOS管的源极以及所述第三PMOS管的源极均与所述第一PMOS管的漏极连接，所述第二PMOS管的漏极以及所述第三PMOS管的漏极均连接所述第一节点，所述第二PMOS管的栅极以及所述第三PMOS管的栅极均接收所述偏置电压信号。

8、如权利要求6所述的接收电路，其中，所述第二控制单元包括：

第四PMOS管，所述第四PMOS管的栅极接收所述控制信号，所述第四PMOS管的源极连接电源电压；

第五PMOS管以及第六PMOS管，所述第五PMOS管的源极以及所述第六PMOS管的源极均与所述第四PMOS管的漏极连接，所述第五PMOS管的漏极以及所述第六PMOS管的漏极均连接所述第一节点，所述第五PMOS管的栅极与所述第六PMOS管的栅极均接收所述偏置电压信号。

9、如权利要求4所述的接收电路，其中，所述输入模块包括：

第七PMOS管，所述第七PMOS管的栅极接收所述第一输入信号，所述第七PMOS管的源极连接所述第一节点，所述第七PMOS管的漏极连接所述第二节点；

第八PMOS管，所述第八PMOS管的栅极接收所述第二输入信号，所述第八PMOS管的源极连接所述第一节点，所述第八PMOS管的漏极连接所述第三节点。

10、如权利要求4所述的接收电路，其中，所述负载模块包括：

第一负载单元，连接在所述第二节点与地端之间，被配置为，在所述单端模式下所述第一负载单元的等效电阻值大于在所述差分模式下所述第一负载单元的等效电阻值；

第二负载单元，连接在所述第三节点与地端之间，被配置为，在所述单端模式下所述第二负载单元的等效电阻值大于在所述差分模式下所述第二负载单元的等效电阻值。

11、如权利要求10所述的接收电路，其中，所述第一负载单元包括：

第一电阻，连接在所述第二节点与第四节点之间；

第一可调负载，连接在所述第四节点与所述地端之间，被配置为，响应于调节信号调整所述第一可调负载的等效电阻值，且所述单端模式下所述第一可调负载的等效电阻值大于所述差分模式下所述第一可调负载的等效电阻值；

所述第二负载单元包括：

第二电阻，连接在所述第三节点与第五节点之间；

第二可调负载，连接在所述第五节点与所述地端之间，被配置为，响应于所述调节信号调整所述第二可调负载的等效电阻值，且在所述单端模式下所述第二可调负载的等效电阻值大于所述差分模式下所述第二可调负载的等效电阻值。

12、如权利要求 11 所述的接收电路，其中，所述第一可调负载包括：

第三电阻，连接在所述第四节点与地端之间；

第一 MOS 管，所述第一 MOS 管的第一端连接所述第四节点，所述第一 MOS 管的第二端连接所述地端，所述第一 MOS 管的控制端接收所述调节信号，其中，在所述单端模式下，所述第一 MOS 管响应于所述调节信号截止，在所述差分模式下，所述第一 MOS 管响应于所述调节信号导通。

13、如权利要求 11 所述的接收电路，其中，所述第二可调负载包括：

第四电阻，连接在所述第五节点与所述地端之间；

第二 MOS 管，所述第二 MOS 管的第一端连接所述第五节点，所述第二 MOS 管的第二端连接所述地端，所述第二 MOS 管的控制端接收所述调节信号，其中，在所述单端模式下，所述第二 MOS 管响应于所述调节信号截止，在所述差分模式下，所述第二 MOS 管响应于所述调节信号导通。

14、如权利要求 1 所述的接收电路，其中，所述转换模块包括：

放大单元，被配置为，对所述第一输出信号与所述第二输出信号的电压差进行放大；

转换单元，被配置为，对经所述放大单元放大后的所述第一输出信号以及所述第二输出信号进行电平逻辑转换，并输出所述第一内部信号以及所述第二内部信号。

15、如权利要求 14 所述的接收电路，其中，所述放大单元还被配置为，响应于第一偏置信号以调整所述放大单元的第一工作电流，以使所述单端模式下的所述第一工作电流小于所述差分模式下的第一工作电流。

16、如权利要求 14 所述的接收电路，其中，所述转换单元还被配置为，响应于第二偏置信号以调整所述转换单元的第二工作电流，以使所述单端模式下的所述第二工作电流小于所述差分模式下的第二工作电流。

17、一种存储器，包括如权利要求 1-16 任一项所述的接收电路。