

## 明 細 書

発明の名称： プラズマ処理装置及び基板支持器

### 技術分野

[0001] 本開示は、プラズマ処理装置及び基板支持器に関する。

### 背景技術

[0002] 特許文献1には、プラズマ処理装置が、チャンバと、電気バイアスを発生するように構成されたバイアス電源と、チャンバ内で基板及びエッジリングを支持するように構成された基板支持器であって、基板を保持するように構成された第1の領域と、第1の領域を囲むように設けられており、エッジリングを保持するように構成された第2の領域と、電気バイアスを受けるために第1の領域内に設けられた第1のバイアス電極と、第1の領域内に設けられ接地される第1のインピーダンス調整電極と、電気バイアスを受けるために第2の領域内に設けられた第2のバイアス電極と、第2の領域内に設けられ接地される第2のインピーダンス調整電極と、を有する基板支持器と、第1のインピーダンス調整電極と、第2のインピーダンス調整電極との少なくとも一方に接続されるインピーダンス調整機構と、バイアス電源と、第1のバイアス電極と、第2のバイアス電極とを接続する電氣的パスと、を備えることが開示されている。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2023-87396号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] 本開示は、パルス化されたDC信号を供給しても基台電位の変動を抑制することができるプラズマ処理装置及び基板支持器を提供する。

#### 課題を解決するための手段

[0005] 本開示の一態様によるプラズマ処理装置は、チャンバと、パルス化された

バイアスDC信号を供給するように構成されるバイアス電源と、チャンバ内で基板及びエッジリングを支持するように構成される基板支持器と、電気的パスと、を備える。基板支持器は、基板を保持する第1領域、及び、第1領域の周囲に設けられ、エッジリングを保持する第2領域を含み、誘電体で形成される静電チャックと、第1領域の内部に設けられる第1バイアス電極と、第2領域の内部に設けられる第2バイアス電極と、静電チャックを支持する基台と、第2バイアス電極と基台との間に接続される第1可変コンデンサを有するように構成される第1インピーダンス調整機構と、を有するように構成される。電気的パスは、バイアス電源、基台及び第1バイアス電極を接続する第1電気的パスと、バイアス電源、基台、第1インピーダンス調整機構及び第2バイアス電極を接続する第2電気的パスとを有する。

### 発明の効果

[0006] 本開示によれば、パルス化されたDC信号を供給しても基台電位の変動を抑制することができる。

### 図面の簡単な説明

[0007] [図1]図1は、本開示の一実施形態におけるプラズマ処理装置の構成の一例を示す図である。

[図2]図2は、本実施形態における基板支持部及びプラズマの電気的な接続の一例を示す図である。

[図3]図3は、本実施形態における基板支持部及びプラズマの等価回路の一例を示す図である。

[図4]図4は、参考例における基板支持部及びプラズマの電気的な接続の一例を示す図である。

[図5]図5は、参考例における基板支持部及びプラズマの等価回路の一例を示す図である。

[図6]図6は、本実施形態におけるプラズマ処理チャンバのインピーダンスと可変コンデンサの静電容量との関係の一例を示すグラフである。

[図7]図7は、本実施形態におけるリングアセンブリ側のインピーダンスと可

変コンデンサの静電容量との関係の一例を示すグラフである。

[図8]図8は、参考例におけるプラズマ処理チャンバのインピーダンスと可変コンデンサの静電容量との関係の一例を示すグラフである。

[図9]図9は、参考例におけるリングアセンブリ側のインピーダンスと可変コンデンサの静電容量との関係の一例を示すグラフである。

[図10]図10は、本実施形態における電位と可変コンデンサの静電容量との関係の一例を示すグラフである。

[図11]図11は、本実施形態におけるエッチングレートの変化の一例を示すグラフである。

[図12]図12は、参考例における電位と可変コンデンサの静電容量との関係の一例を示すグラフである。

[図13]図13は、参考例におけるエッチングレートの変化の一例を示すグラフである。

[図14]図14は、本実施形態における基板端部のチルト制御の一例を示す図である。

[図15]図15は、本実施形態における基板端部のチルト制御の一例を示す図である。

[図16]図16は、変形例1におけるインピーダンス調整機構の一例を示す図である。

[図17]図17は、変形例2におけるインピーダンス調整機構の一例を示す図である。

[図18]図18は、変形例3における静電チャック及び基台の一例を示す図である。

[図19]図19は、変形例4における静電チャック及び基台の一例を示す図である。

[図20]図20は、環状導体を配置する場合のプラズマ処理装置の構成例を説明するための図である。

[図21]図21は、環状導体を有する第2の導体の構成例を説明するための図

である。

[図22]図22は、複数の第2の接続導体の接続位置を説明するための環状導体の平面図である。

[図23]図23は、コネクタを配置する場合のプラズマ処理装置の構成例を説明するための図である。

[図24]図24は、コネクタが嵌合構造を有する場合のプラズマ処理装置の構成例を説明するための図である。

[図25]図25は、コネクタがタッチ構造を有する場合のプラズマ処理装置の構成例を説明するための図である。

[図26]図26は、環状導体が有する複数の導体領域の一例を説明するための環状導体の平面図である。

[図27]図27は、環状導体が有する複数の導体領域の一例を説明するための環状導体の側面図である。

[図28]図28は、断面積が異なる複数の導体領域を有する環状導体の一例を示す側面図である。

[図29]図29は、断面積が異なる複数の導体領域を有する環状導体の一例を示す側面図である。

[図30]図30は、複数の第2の接続導体の各々に可変コンデンサを配置する場合のプラズマ処理装置の構成例を説明するための図である。

[図31]図31は、複数の接続導体の各々に可変コンデンサを配置する場合のプラズマ処理装置の構成例を説明するための図である。

[図32]図32は、センサを配置する場合のプラズマ処理装置の構成例を説明するための図である。

[図33]図33は、センサを配置する場合のプラズマ処理装置の他の構成例を説明するための図である。

[図34]図34は、プラズマ処理装置の基板支持部の他の構成例を説明するための図である。

[図35]図35は、インピーダンス調整機構が追加のコンデンサを有する場合

の基板支持部の構成例を説明するための図である。

[図36]図36は、第1可変コンデンサと追加のコンデンサの配置例を説明するための基板支持部の平面図である。

[図37]図37は、エッジリングのプラズマシース及び基板支持部に形成される電気的な回路を説明するための図である。

[図38]図38は、追加のコンデンサが接続される導電体に追加のコイルが接続される場合の基板支持部の構成例を説明するための図である。

[図39]図39は、第1可変コンデンサが接続される導電体に追加のコイルが接続される場合の基板支持部の構成例を説明するための図である。

[図40]図40は、第1可変コンデンサが接続される導電体のノードにLC直列回路が接続される場合の基板支持部の構成例を説明するための図である。

[図41]図41は、第1可変コンデンサが接続される導電体を囲む接地ケースを有する基板支持部の構成例を説明するための図である。

[図42]図42は、第1可変コンデンサと第2バイアス電極とを電気的に並列接続する複数の接続導体を含み、当該複数の接続導体の経路長さが揃えられている基板支持部の構成例を説明するための図である。

[図43]図43は、複数の接続導体と第2バイアス電極との接続点の配置例を説明するための第2バイアス電極の平明図である。

[図44]図44は、複数の接続導体の少なくとも一つにインピーダンス素子が接続されている基板支持部の構成例を説明するための図である。

[図45]図45は、第1インピーダンス調整機構を有するプラズマ処理装置の他の構成例を説明するための図である。

[図46]図46は、第1インピーダンス調整機構を有するプラズマ処理装置の他の構成例を説明するための図である。

[図47]図47は、バイアス電源がRF電源とDC電源とを有する場合のプラズマ処理装置の構成例を説明するための図である。

### 発明を実施するための形態

[0008] 以下に、開示するプラズマ処理装置及び基板支持器の実施形態について、

図面に基づいて詳細に説明する。なお、以下の実施形態により開示技術が限定されるものではない。

[0009] プラズマ処理装置では、処理対象の基板端部のチルト制御のために、エッジリングの電位が制御される場合がある。例えば、基板支持器における静電チャック内のエッジリングに対応する位置に電極を設け、電極とグランドとの間に設けた可変コンデンサの容量を制御することが提案されている。また、プラズマ処理装置では、イオンエネルギーの単色化やイオンアングルの垂直化のために、例えば、基盤支持器に接続される電源として、パルス化されたDC (Direct Current) 信号を供給する直流 (DC) パルス電源を用いることが提案されている。しかしながら、直流パルス電源を用いた場合、静電チャック内の電極とグランド (接地) との間に設けた可変コンデンサの容量を変化させると、直流パルス電源側から見たチャンバのインピーダンスが変動する。チャンバのインピーダンスが変動するので、直流パルス電源の出力電流も変動することになる。このため、直流パルス電源が接続される基盤支持器の基台電位も変動し、プロセスシフトが生じる場合がある。すなわち、基台電位とほぼ等しい基板の電位が変動することになる。そこで、パルス化されたDC信号を供給しても基台電位の変動を抑制することが期待されている。

[0010] [プラズマ処理装置1の構成]

以下に、プラズマ処理システムの構成例について説明する。図1は、本開示の一実施形態におけるプラズマ処理装置の構成の一例を示す図である。プラズマ処理システムは、容量結合型のプラズマ処理装置1及び制御部2を含む。容量結合型のプラズマ処理装置1は、プラズマ処理チャンバ10、ガス供給部20、電源30及び排気システム40を含む。また、プラズマ処理装置1は、基板支持部11及びガス導入部を含む。ガス導入部は、少なくとも1つの処理ガスをプラズマ処理チャンバ10内に導入するように構成される。ガス導入部は、シャワーヘッド13を含む。基板支持部11は、プラズマ処理チャンバ10内に配置される。シャワーヘッド13は、基板支持部11

の上方に配置される。一実施形態において、シャワーヘッド13は、プラズマ処理チャンバ10の天部（ceiling）の少なくとも一部を構成する。プラズマ処理チャンバ10は、シャワーヘッド13、プラズマ処理チャンバ10の側壁10a及び基板支持部11により規定されたプラズマ処理空間10sを有する。プラズマ処理チャンバ10は、少なくとも1つの処理ガスをプラズマ処理空間10sに供給するための少なくとも1つのガス供給口と、プラズマ処理空間10sからガスを排出するための少なくとも1つのガス排出口とを有する。プラズマ処理チャンバ10は接地される。シャワーヘッド13及び基板支持部11は、プラズマ処理チャンバ10の筐体とは電氣的に絶縁される。

[0011] 基板支持部11は、本体部111及びリングアセンブリ112を含む。本体部111は、基板Wを支持するための中央領域111aと、リングアセンブリ112を支持するための環状領域111bとを有する。ウェハは基板Wの一例である。本体部111の環状領域111bは、平面視で本体部111の中央領域111aを囲んでいる。基板Wは、本体部111の中央領域111a上に配置され、リングアセンブリ112は、本体部111の中央領域111a上の基板Wを囲むように本体部111の環状領域111b上に配置される。従って、中央領域111aは、基板Wを支持するための基板支持面とも呼ばれ、環状領域111bは、リングアセンブリ112を支持するためのリング支持面とも呼ばれる。なお、基板支持部11は、基板支持器の一例であり、中央領域111aは、第1領域の一例であり、環状領域111bは、第2領域の一例である。また、以下の説明では、中央領域111aは、基板支持面111aと表す場合があり、環状領域111bは、リング支持面111bと表す場合がある。

[0012] 一実施形態において、本体部111は、基台1110及び静電チャック1111を含む。基台1110は、導電性部材を含む。基台1110の導電性部材は、下部電極として機能し得る。つまり、基台1110の導電性部材は、後述する第1バイアス電極34及び第2バイアス電極35と接続される電

氣的パス38の一部として機能し得る。基台1110の底部には、給電ライン33aが接続される。なお、電氣的パス38には給電ライン33aも含まれる。静電チャック1111は、基台1110の上に配置される。静電チャック1111は、セラミック部材1111aとセラミック部材1111a内に配置される静電電極1111bとを含む。セラミック部材1111aは、中央領域111aを有する。一実施形態において、セラミック部材1111aは、環状領域111bも有する。なお、環状静電チャックや環状絶縁部材のような、静電チャック1111を囲む他の部材が環状領域111bを有してもよい。この場合、リングアセンブリ112は、環状静電チャック又は環状絶縁部材の上に配置されてもよく、静電チャック1111と環状絶縁部材の両方の上に配置されてもよい。また、後述するRF (Radio Frequency) 電源31及び／又はDC (Direct Current) 電源32に結合される少なくとも1つのRF／DC電極がセラミック部材1111a内に配置されてもよい。この場合、少なくとも1つのRF／DC電極が下部電極として機能する。つまり、RF／DC電極の一例である、後述する第1バイアス電極34及び第2バイアス電極35は、電氣的パス38を介してRF電源31及び／又はDC電源32に電氣的に接続される。後述するバイアスRF信号及び／又はDC信号が少なくとも1つのRF／DC電極に供給される場合、RF／DC電極はバイアス電極とも呼ばれる。なお、基台1110の導電性部材と少なくとも1つのRF／DC電極とが複数の下部電極として機能してもよい。また、静電電極1111bが下部電極として機能してもよいし、第1バイアス電極34が静電電極として機能してもよい。従って、基板支持部11は、少なくとも1つの下部電極を含む。

[0013] リングアセンブリ112は、1又は複数の環状部材を含む。一実施形態において、1又は複数の環状部材は、1又は複数のエッジリングと少なくとも1つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。

[0014] また、基板支持部11は、静電チャック1111、リングアセンブリ11

2及び基板Wのうち少なくとも1つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路1110a、又はこれらの組み合わせを含んでもよい。流路1110aには、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路1110aが基台1110内に形成され、1又は複数のヒータが静電チャック1111のセラミック部材1111a内に配置される。また、基板支持部11は、基板Wの裏面と中央領域111aとの間の間隙に伝熱ガスを供給するように構成された伝熱ガス供給部を含んでもよい。

[0015] 静電チャック1111は、基板支持面111aの下部において、基板支持面111a側から順に、静電電極1111bと第1バイアス電極34とを内部に備え、誘電体であるセラミック部材1111aで形成される。また、静電チャック1111は、リング支持面111bの下部において、第2バイアス電極35を内部に備える。第1バイアス電極34は、基台1110の貫通孔36a内を通る導電体36bを介して、例えば基台1110の底部と接続される。なお、貫通孔36aの内部には、図示しない絶縁スリーブが設けられ、貫通孔36a内において、基台1110と導電体36bとは電氣的に絶縁されている。第2バイアス電極35は、基台1110の貫通孔37a内を通る導電体37b及びインピーダンス調整機構50を介して、例えば基台1110の底部と接続される。なお、貫通孔37aの内部には、図示しない絶縁スリーブが設けられ、貫通孔37a内において、基台1110と導電体37bとは電氣的に絶縁されている。

[0016] すなわち、第1バイアス電極34は、導電体36b、基台1110及び給電ライン33aを介して、後述する整合回路33に接続され、電氣的パス38（第1電氣的パス）が形成される。また、第2バイアス電極35は、導電体37b、インピーダンス調整機構50、基台1110及び給電ライン33aを介して、後述する整合回路33に接続され、電氣的パス38（第2電氣的パス）が形成される。なお、第1バイアス電極34及び第2バイアス電極35と、基台1110との接続は、導電性部材に限定されず、例えば、磁気

共鳴、容量結合及び誘導結合等のバイアスRF/DC信号を供給可能な手法であればよい。つまり、電氣的パス38は、バイアス電源（例えば、後述する第2のRF生成部31b及び／又は第1のDC生成部32a）と、第1バイアス電極34と、第2バイアス電極35とを接続するように構成される。また、電氣的パス38は、後述する第2のRF生成部31b及び／又は第1のDC生成部32aが基台1110に接続されず、第2のRF生成部31b及び／又は第1のDC生成部32aと、第1バイアス電極34とが直接接続されるようにしてもよい。同様に、電氣的パス38は、第2のRF生成部31b及び／又は第1のDC生成部32aと、第2バイアス電極35とがインピーダンス調整機構50を介して直接接続されるようにしてもよい。

[0017] インピーダンス調整機構50は、第2バイアス電極35からプラズマ側に供給されるRF/DC信号（電氣バイアス）の量を調整する。つまり、インピーダンス調整機構50は、基板W及びリングアセンブリ112のうち、リングアセンブリ112を介してプラズマに供給される電力を調整する。すなわち、インピーダンス調整機構50によって、RF/DC信号のうちリングアセンブリ112側に流す量を調整することで、リングアセンブリ112の電位を調整し、チルト角の制御、及び／又は、エッチングレートの調整に利用する。なお、インピーダンス調整機構50を含む電氣的パス38を構成する要素は、バイアスRF/DC信号を基板W及びリングアセンブリ112に分配するので、以下の説明では、バイアススプリット機構とも表すことができる。

[0018] 第1バイアス電極34及び第2バイアス電極35は、基板W及びリングアセンブリ112に可能な限り近付けることで、基板W及びリングアセンブリ112とセラミック部材1111aと当該電極とで構成されるコンデンサのインピーダンスを小さくする。これにより、第1バイアス電極34及び第2バイアス電極35と、基板W及びリングアセンブリ112との間のそれぞれの電位差を小さくすることができる。同様に、第1バイアス電極34及び静電電極1111bでそれぞれ構成されるコンデンサのインピーダンスも小さく

くすることができる。また、静電電極1111b及び基板Wと、第2バイアス電極35及びリングアセンブリ112とでそれぞれ構成されるコンデンサのインピーダンスも小さくすることができる。

[0019] なお、基板支持面111a側の電氣的パス38（第1電氣的パス）について、導電体36bにインピーダンス調整機構を設けてもよい。この場合、第1バイアス電極34は、導電体36b、当該インピーダンス調整機構、基台1110及び給電ライン33aを介して、後述する整合回路33に接続され、電氣的パス38が形成される。

[0020] 上述のように、基板支持部11は、静電チャック1111と、第1バイアス電極34と、第2バイアス電極35と、基台1110と、インピーダンス調整機構（第1インピーダンス調整機構）50とを有するように構成される。静電チャック1111は、基板Wを保持する第1領域、及び、第1領域の周囲に設けられ、エッジリングを保持する第2領域を含み、誘電体で形成される。第1バイアス電極34は、第1領域の内部に設けられる。第2バイアス電極35は、第2領域の内部に設けられる。基台1110は、静電チャック1111を支持する。インピーダンス調整機構50は、第2バイアス電極35と基台1110との間に接続される後述する可変コンデンサ51（第1可変コンデンサ）を有するように構成される。また、リングアセンブリ112（エッジリング）、第2領域及び第2バイアス電極35は、環状に形成される。また、基板支持部11は、静電チャック1111の第1領域及び第2領域が一体となるように形成される。

[0021] シャワーヘッド13は、ガス供給部20からの少なくとも1つの処理ガスをプラズマ処理空間10s内に導入するように構成される。シャワーヘッド13は、少なくとも1つのガス供給口13a、少なくとも1つのガス拡散室13b、及び複数のガス導入口13cを有する。ガス供給口13aに供給された処理ガスは、ガス拡散室13bを通過して複数のガス導入口13cからプラズマ処理空間10s内に導入される。また、シャワーヘッド13は、少なくとも1つの上部電極を含む。なお、ガス導入部は、シャワーヘッド13

に加えて、側壁10aに形成された1又は複数の開口部に取り付けられる1又は複数のサイドガス注入部(SGI: Side Gas Injector)を含んでもよい。

[0022] ガス供給部20は、少なくとも1つのガスソース21及び少なくとも1つの流量制御器22を含んでもよい。一実施形態において、ガス供給部20は、少なくとも1つの処理ガスを、それぞれに対応のガスソース21からそれぞれに対応の流量制御器22を介してシャワーヘッド13に供給するように構成される。各流量制御器22は、例えばマスフローコントローラ又は圧力制御式の流量制御器を含んでもよい。さらに、ガス供給部20は、少なくとも1つの処理ガスの流量を変調又はパルス化する1又はそれ以上の流量変調デバイスを含んでもよい。

[0023] 電源30は、少なくとも1つのインピーダンス整合回路を介してプラズマ処理チャンバ10に結合されるRF電源31を含む。RF電源31は、少なくとも1つのRF信号(RF電力)を少なくとも1つの下部電極(第1バイアス電極34、第2バイアス電極35)及び／又は少なくとも1つの上部電極に供給するように構成される。これにより、プラズマ処理空間10sに供給された少なくとも1つの処理ガスからプラズマが形成される。従って、RF電源31は、プラズマ処理チャンバ10において1又はそれ以上の処理ガスからプラズマを生成するように構成されるプラズマ生成部の少なくとも一部として機能し得る。また、バイアスRF／DC信号を少なくとも1つの下部電極に供給することにより、基板Wにバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板Wに引き込むことができる。

[0024] 一実施形態において、RF電源31は、第1のRF生成部31a及び第2のRF生成部31bを含む。第1のRF生成部31aは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に結合され、プラズマ生成用のソースRF信号(ソースRF電力)を生成するように構成される。第1のRF生成部31aは、例えば、下部電極に結合される場合、整合回路33、給電ライン33a、基台

1110及び導電体36bを介して、第1バイアス電極34に結合される。また、第1のRF生成部31aは、整合回路33、給電ライン33a、基台1110、導電体37b及びインピーダンス調整機構50を介して、第2バイアス電極35に結合される。一実施形態において、ソースRF信号は、10MHz～150MHzの範囲内の周波数を有する。一実施形態において、第1のRF生成部31aは、異なる周波数を有する複数のソースRF信号を生成するように構成されてもよい。生成された1又は複数のソースRF信号は、少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給される。つまり、ソースRF信号は、容量結合プラズマを生成するように、プラズマ処理チャンバ10内の少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給される。

[0025] 第2のRF生成部31bは、整合回路33、給電ライン33a、基台1110及び導電体36bを介して、第1バイアス電極34、に結合される。また、第2のRF生成部31bは、整合回路33、給電ライン33a、基台1110、導電体37b及びインピーダンス調整機構50を介して、第2バイアス電極35に結合される。第2のRF生成部31bは、バイアスRF信号（バイアスRF電力）を生成するように構成される。バイアスRF信号の周波数は、ソースRF信号の周波数と同じであっても異なってもよい。一実施形態において、バイアスRF信号は、ソースRF信号の周波数よりも低い周波数を有する。一実施形態において、バイアスRF信号は、100kHz～60MHzの範囲内の周波数を有する。一実施形態において、第2のRF生成部31bは、異なる周波数を有する複数のバイアスRF信号を生成するように構成されてもよい。生成された1又は複数のバイアスRF信号は、少なくとも1つの下部電極に供給される。また、種々の実施形態において、ソースRF信号及びバイアスRF信号のうち少なくとも1つがパルス化されてもよい。

[0026] また、電源30は、プラズマ処理チャンバ10に結合されるDC電源32を含んでもよい。DC電源32は、第1のDC生成部32a及び第2のDC

生成部 3 2 b を含む。一実施形態において、第 1 の DC 生成部 3 2 a は、少なくとも 1 つの下部電極に接続され、第 1 の DC 信号を生成するように構成される。生成された第 1 の DC 信号（バイアス DC 信号）は、少なくとも 1 つの下部電極に印加される。一実施形態において、第 2 の DC 生成部 3 2 b は、少なくとも 1 つの上部電極に接続され、第 2 の DC 信号を生成するように構成される。生成された第 2 の DC 信号は、少なくとも 1 つの上部電極に印加される。

[0027] 種々の実施形態において、第 1 及び第 2 の DC 信号のうち少なくとも 1 つがパルス化されてもよい。この場合、電圧パルスのシーケンスが少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、DC 信号から電圧パルスのシーケンスを生成するための波形生成部が第 1 の DC 生成部 3 2 a と少なくとも 1 つの下部電極との間に接続される。従って、第 1 の DC 生成部 3 2 a 及び波形生成部は、電圧パルス生成部を構成する。すなわち、第 1 の DC 生成部 3 2 a 及び波形生成部は、パルス化されたバイアス DC 信号を供給するように構成されるバイアス電源（DC パルス電源）の一例である。この場合、第 1 の DC 信号（バイアス DC 信号）は、生成された電圧パルスのシーケンスを含むものとして表す場合がある。つまり、第 1 の DC 信号は、パルス化されたバイアス DC 信号の一例である。また、一実施形態において、第 1 の DC 生成部 3 2 a は、波形生成部を含んでもよい。第 2 の DC 生成部 3 2 b 及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも 1 つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、1 周期内に 1 又は複数の正極性電圧パルスと 1 又は複数の負極性電圧パルスとを含んでもよい。なお、第 1 及び第 2 の DC 生成部 3 2 a, 3 2 b は、RF 電源 3 1 に加えて設けられてもよく、第 1 の DC 生成部 3 2 a が第 2 の RF 生成部 3 1 b に代えて設けられてもよい。

- [0028] 整合回路33は、第1のRF生成部31a、第2のRF生成部31b及び第1のDC生成部32aと、基板支持部11（基台1110）との間に設けられ、これらと接続される。整合回路33は、ソースRF信号及び／又はバイアスRF信号が第1のRF生成部31a及び／又は第2のRF生成部31bから整合回路33を介して基板支持部11に供給されるのを可能にする。また、整合回路33は、第1のDC信号（バイアスDC信号）が第1のDC生成部32aから整合回路33を介して基板支持部11に供給されるのを可能にする。
- [0029] 排気システム40は、例えばプラズマ処理チャンバ10の底部に設けられたガス排出口10eに接続され得る。排気システム40は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、プラズマ処理空間10s内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。
- [0030] 制御部2は、本開示において述べられる種々の工程をプラズマ処理装置1に実行させるコンピュータ実行可能な命令を処理する。制御部2は、ここで述べられる種々の工程を実行するようにプラズマ処理装置1の各要素を制御するように構成され得る。一実施形態において、制御部2の一部又は全てがプラズマ処理装置1に含まれてもよい。制御部2は、処理部2a1、記憶部2a2及び通信インターフェース2a3を含んでもよい。制御部2は、例えばコンピュータ2aにより実現される。処理部2a1は、記憶部2a2からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部2a2に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。取得されたプログラムは、記憶部2a2に格納され、処理部2a1によって記憶部2a2から読み出されて実行される。媒体は、コンピュータ2aに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース2a3に接続されている通信回線であってもよい。処理部2a1は、CPU（Central Processing Unit）であってもよい。記憶部

2 a 2は、RAM (Random Access Memory)、ROM (Read Only Memory)、HDD (Hard Disk Drive)、SSD (Solid State Drive)、又はこれらの組み合わせを含んでもよい。通信インターフェース2 a 3は、LAN (Local Area Network)等の通信回線を介してプラズマ処理装置1との間で通信してもよい。

[0031] [バイアススプリット機構]

次に、図2及び図3を用いてバイアスRF/DC信号を分配するバイアススプリット機構について説明する。図2は、本実施形態における基板支持部及びプラズマの電氣的な接続の一例を示す図である。図3は、本実施形態における基板支持部及びプラズマの等価回路の一例を示す図である。

[0032] 図2に示すように、本実施形態では、電源30から整合回路33を介して基台1110にバイアスRF/DC信号が供給されるように接続される。なお、電源30には、バイアスRF/DC信号を供給する第1のRF生成部31a、第2のRF生成部31b及び第1のDC生成部32aが含まれる。基台1110には、電氣的パス38の一部として、導電体36bを介して第1バイアス電極34が接続される。また、第1バイアス電極34は、静電チャック1111のセラミック部材1111aにより基板Wとの間で形成されるコンデンサC4を介して、基板Wと電氣的に接続される。さらに、基板Wは、プラズマ処理チャンバ10内で生成されるプラズマPとの間で形成されるコンデンサC5を介して、プラズマPと電氣的に接続され、プラズマ処理チャンバ10を介して電氣的に接地される。

[0033] また、基台1110には、電氣的パス38の一部として、導電体37b、及び、可変コンデンサ51を介して第2バイアス電極35が接続される。ここで、可変コンデンサ51は、インピーダンス調整機構50の一例である。また、可変コンデンサ51の静電容量の可変範囲は、例えば、10 pF~2000 pFとすることができる。可変コンデンサ51の静電容量の可変範囲は、さらに、10 pF未満、及び、2000 pFを超える範囲のうち、少な

くとも1つを含むように広げてよい。なお、インピーダンス調整機構50は、コイル、コンデンサ及び抵抗等の他の素子を含んでもよい。また、第2バイアス電極35は、静電チャック1111のセラミック部材1111aにより基台1110との間で形成されるコンデンサC1を介して基台1110と電氣的に接続される。つまり、第2バイアス電極35と基台1110との間は、可変コンデンサ51及びコンデンサC1が並列に接続された状態である。また、第2バイアス電極35は、静電チャック1111のセラミック部材1111aによりリングアセンブリ112（エッジリング）との間で形成されるコンデンサC2を介して、リングアセンブリ112と電氣的に接続される。さらに、リングアセンブリ112は、プラズマPとの間で形成されるコンデンサC3を介して、プラズマPと電氣的に接続され、プラズマ処理チャンバ10を介して電氣的に接地される。

[0034] 図2に示す基板支持部11及びプラズマPの電氣的な接続を等価回路で表すと図3の等価回路10bとなる。図3に示すように、等価回路10bは、電源30側から順に、コイルL1が直列に接続され、リングアセンブリ112側の回路と基板W側の回路とが並列接続される。つまり、バイアスRF/DC信号が、リングアセンブリ112側と基板W側とに分配される。なお、図3では、整合回路33は省略しており、コイルL1は、寄生インダクタンスを表している。リングアセンブリ112側の回路は、可変コンデンサ51及びコンデンサC1の並列接続と、コンデンサC2と、コンデンサC3とが直列接続され、電氣的に接地される。なお、可変コンデンサ51及びコンデンサC1の合成容量は、静電容量C11として表している。一方、基板W側（基板支持面111a側）の回路は、コンデンサC4と、コンデンサC5とが直列接続され、電氣的に接地される。なお、等価回路10bでは、プラズマPは省略している。

[0035] 上述のように、電氣的パス38は、第1電氣的パスと、第2電氣的パスとを有する。第1電氣的パスは、電源30（バイアス電源）、基台1110及び第1バイアス電極34を接続する。第2電氣的パスは、電源30（バイア

ス電源)、基台1110、インピーダンス調整機構50(第1インピーダンス調整機構)及び第2バイアス電極35を接続する。また、プラズマ処理装置1は、基板支持面111a側の電氣的パス38(第1電氣的パス)について、第1バイアス電極34と基台1110との間に接続される第2可変コンデンサを有する第2インピーダンス調整機構をさらに有してもよい。この場合、第1電氣的パスは、電源30(バイアス電源)、基台1110、第2インピーダンス調整機構及び第1バイアス電極34を接続する。

[0036] 図2及び図3では、可変コンデンサ51の静電容量を変化させた場合であっても、プラズマ処理チャンバ10のインピーダンスが一定となる。このため、第1のDC生成部32aからパルス化されたバイアスDC信号が供給される場合において、可変コンデンサ51の静電容量を変化させることで、基台1110の電位(基板Wの電位)を一定に保ちつつ、リングアセンブリ112の電位を制御できる。

[0037] さらに、本実施形態では、基台1110に対して、第1のDC生成部32aから第1のDC信号(バイアスDC信号)が供給される場合、電氣的パス38の各部の電圧又は電位を測定し、第1のDC生成部32aに対してフィードバック制御を行ってもよい。なお、第1のDC生成部32aは、制御部2により出力電圧を設定及び制御することができる。この場合、プラズマ処理装置1は、例えば、電圧センサ45、電位センサ46及び電位センサ47を有する(図2参照)。電圧センサ45は、第1のDC生成部32aの出力電圧を測定する。電位センサ46は、基台1110の電位を測定する。電位センサ47は、可変コンデンサ51と第2バイアス電極35との間の電位を測定する。電圧センサ45、電位センサ46及び電位センサ47は、それぞれの測定値を制御部2に出力する。

[0038] 制御部2は、可変コンデンサ51の静電容量を変化させた場合に、電圧センサ45又は電位センサ46の測定値が一定となるように、第1のDC生成部32aを制御する。つまり、制御部2は、電圧センサ45又は電位センサ46の測定値に基づいて、電圧センサ45又は電位センサ46の測定値が一

定となるように、第1のDC生成部32aの出力電圧を調整するフィードバック制御を行う。また、制御部2は、電位センサ46及び電位センサ47の測定値に基づいて電位の比を算出し、算出した電位の比が目標値となるように、第1のDC生成部32aの出力電圧を調整するようにしてもよい。

[0039] 第1のDC生成部32aの制御パラメータは、例えば、第1のDC信号（バイアスDC信号）に含まれる電圧パルス（DCパルス）の周波数及びデューティ比のうち少なくとも1つが挙げられる。例えば、電圧パルスの周波数は、400kHzとすることができる。電圧パルスの周波数は、200Hz～3MHzの範囲の任意の周波数であってもよい。また、例えば、電圧パルスのデューティ比は、20%とすることができる。電圧パルスのデューティ比は、20%以上の任意のデューティ比であってもよい。第1のDC生成部32aは、電圧パルスのデューティ比を変更できるので、可変コンデンサ51の静電容量の変更と合わせることで、基板W及びリングアセンブリ112の電位制御に加えて、電子のチャージに要する時間を変更することができる。すなわち、プラズマ処理装置1では、第1のDC生成部32aの電圧パルスのデューティ比と、可変コンデンサ51の静電容量とに基づいて、電子のチャージに要する時間を変更することで、プロセスのチューニングを行うことができる。

[0040] 続いて、図4及び図5を用いて、参考例のバイアススプリット機構について説明する。図4は、参考例における基板支持部及びプラズマの電氣的な接続の一例を示す図である。図5は、参考例における基板支持部及びプラズマの等価回路の一例を示す図である。

[0041] 図4に示すように、参考例では、電源30から整合回路33を介して基台1110にバイアスRF/DC信号が供給されるように接続される。なお、電源30には、バイアスRF/DC信号を供給する第1のRF生成部31a、第2のRF生成部31b及び第1のDC生成部32aが含まれる。基台1110には、電氣的パス38の一部として、導電体36bを介して第1バイアス電極34が接続される。また、第1バイアス電極34は、静電チャック

1111のセラミック部材1111aにより基板Wとの間で形成されるコンデンサC4を介して、基板Wと電氣的に接続される。さらに、基板Wは、プラズマPとの間で形成されるコンデンサC5を介して、プラズマPと電氣的に接続され、プラズマ処理チャンバ10を介して電氣的に接地される。

[0042] また、基台1110には、電氣的パス38の一部として、導電体37bを介して第2バイアス電極35aが接続される。つまり、参考例では、電氣的パス38に可変コンデンサ51が含まれない。参考例では、静電チャック1111内において、第2バイアス電極35aよりもリングアセンブリ112側に、インピーダンス調整電極60が設けられている。インピーダンス調整電極60は、貫通孔61a内を通る導電体61b、及び、可変コンデンサ62を介して接地されている。ここで、可変コンデンサ62は、リングアセンブリ112側のインピーダンスを調整するために設けられている。なお、貫通孔61aは、貫通孔36aと同様に、貫通孔61aの内部に図示しない絶縁スリーブが設けられ、貫通孔61a内において、基台1110と導電体61bとは電氣的に絶縁されている。

[0043] 第2バイアス電極35aは、静電チャック1111のセラミック部材1111aによりインピーダンス調整電極60との間で形成されるコンデンサC6を介してインピーダンス調整電極60と電氣的に接続される。また、インピーダンス調整電極60は、静電チャック1111のセラミック部材1111aによりリングアセンブリ112との間で形成されるコンデンサC7を介して、リングアセンブリ112と電氣的に接続される。さらに、リングアセンブリ112は、プラズマPとの間で形成されるコンデンサC8を介して、プラズマPと電氣的に接続され、プラズマ処理チャンバ10を介して電氣的に接地される。つまり、インピーダンス調整電極60とグラウンドとの間は、直列接続されたコンデンサC7及びコンデンサC8と、可変コンデンサ62とが並列に接続された状態である。

[0044] 図4に示す基板支持部11及びプラズマPの電氣的な接続を等価回路で表すと図5の等価回路10cとなる。図5に示すように、等価回路10cは、

電源 30 側から順に、コイル L1 が直列に接続され、リングアセンブリ 112 側の回路と基板 W 側の回路とが並列接続される。つまり、バイアス RF / DC 信号が、リングアセンブリ 112 側と基板 W 側とに分配される。なお、図 5 では、整合回路 33 は省略しており、コイル L1 は、寄生インダクタンスを表している。リングアセンブリ 112 側の回路は、コンデンサ C6 に、直列接続されたコンデンサ C7 及びコンデンサ C8 と、可変コンデンサ 62 との並列接続が直列接続され、コンデンサ C8 及び可変コンデンサ 62 が電氣的に接地される。なお、直列接続されたコンデンサ C7 及びコンデンサ C8 と、可変コンデンサ 62 との並列接続の合成容量は、静電容量 C81 として表している。一方、基板 W 側（基板支持面 111a 側）の回路は、コンデンサ C4 と、コンデンサ C5 とが直列接続され、電氣的に接地される。なお、等価回路 10c では、プラズマ P は省略している。

[0045] 図 4 及び図 5 では、可変コンデンサ 62 の静電容量を変化させた場合、プラズマ P を経由せず、可変コンデンサ 62 からグラウンドに流れるバイアス DC 信号が変化するため、プラズマ処理チャンバ 10 のインピーダンスが変動する。このため、電源 30 の第 1 の DC 生成部 32a からパルス化されたバイアス DC 信号（第 1 の DC 信号）が供給される場合、第 1 の DC 生成部 32a の出力電流が変化し、基台 1110 の電位（基板 W の電位にほぼ等しい）が変動することになる。基台 1110 の電位は、下記の式（1）で表される。

[0046] 
$$V_{pp} = V_{out} + (X_L \times I_{out}) \cdots (1)$$

[0047] ここで、 $V_{pp}$  は、基台 1110 の電位（基板 W の電位にほぼ等しい）を示し、 $V_{out}$  は、可変コンデンサ 62 の静電容量を変化させる前の第 1 の DC 生成部 32a の出力電圧を示す。また、 $X_L$  は、整合回路 33 も含めた回路上のリアクタンスを示し、 $I_{out}$  は、可変コンデンサ 62 の静電容量を変化させた場合に変動する出力電流を示す。なお、式（1）の  $(X_L \times I_{out})$  は、第 1 の DC 生成部 32a の出力電圧のうち、可変コンデンサ 62 の静電容量を変化させた場合における変動分を示す。つまり、参考例では

、基台 1 1 1 0 にかかる電圧が昇圧される。

[0048] 次に、図 6 から図 9 を用いて、本実施形態及び参考例におけるプラズマ処理チャンバ 1 0 のインピーダンスと、リングアセンブリ 1 1 2 側のインピーダンスとを比較する。図 6 は、本実施形態におけるプラズマ処理チャンバのインピーダンスと可変コンデンサの静電容量との関係の一例を示すグラフである。図 7 は、本実施形態におけるリングアセンブリ側のインピーダンスと可変コンデンサの静電容量との関係の一例を示すグラフである。なお、図 6 から図 9 の各グラフでは、インピーダンス及び静電容量について、静電容量の変化に対するインピーダンスの変化を表せばよいので、それぞれ所定の範囲内で正規化して表している。

[0049] 本実施形態では、可変コンデンサ 5 1 の静電容量  $C$  を変更した場合において、図 6 のグラフ 7 0 に示すように、プラズマ処理チャンバ 1 0 全体（等価回路 1 0 b 全体）のインピーダンス  $Z_1$  はほぼ一定となる。また、図 7 のグラフ 7 1 に示すように、リングアセンブリ 1 1 2 側（等価回路 1 0 b の静電容量  $C_{11}$  側）のインピーダンス  $Z_2$  は、可変コンデンサ 5 1 の静電容量  $C$  に応じて変化する。すなわち、本実施形態では、第 1 の DC 信号（パルス化された DC 信号）が供給された場合に、可変コンデンサ 5 1 の静電容量  $C$  を変更しても、インピーダンス  $Z_1$  の変動を抑制しつつ、リングアセンブリ 1 1 2 側のインピーダンス  $Z_2$  を制御することができる。

[0050] 図 8 は、参考例におけるプラズマ処理チャンバのインピーダンスと可変コンデンサの静電容量との関係の一例を示すグラフである。図 9 は、参考例におけるリングアセンブリ側のインピーダンスと可変コンデンサの静電容量との関係の一例を示すグラフである。参考例では、可変コンデンサ 6 2 の静電容量  $C'$  を変更した場合において、図 8 のグラフ 7 2 に示すように、プラズマ処理チャンバ 1 0 全体（等価回路 1 0 c 全体）のインピーダンス  $Z_3$  は、可変コンデンサ 6 2 の静電容量  $C'$  に応じて変化する。また、図 9 のグラフ 7 3 に示すように、リングアセンブリ 1 1 2 側（等価回路 1 0 c の静電容量  $C_{81}$  側）のインピーダンス  $Z_4$  は、可変コンデンサ 6 2 の静電容量  $C'$  に応じて

変化する。すなわち、参考例では、第1のDC信号（パルス化されたDC信号）が供給された場合に、可変コンデンサ62の静電容量 $C'$ を変更すると、インピーダンス $Z_4$ だけでなく、インピーダンス $Z_3$ も変化することになる。

[0051] 続いて、図10から図13を用いて、本実施形態及び参考例における基台1110及びリングアセンブリ112の電位と、エッチングレートの変動について説明する。図10は、本実施形態における電位と可変コンデンサの静電容量との関係の一例を示すグラフである。図11は、本実施形態におけるエッチングレートの変化の一例を示すグラフである。なお、図10から図13の各グラフでは、電位、静電容量及びエッチングレートについて、それぞれの相対的な変化を表せばよいので、それぞれ所定の範囲内で正規化して表している。

[0052] 図10のグラフ74は、可変コンデンサ51の静電容量 $C$ を変更した場合における基台1110の電位を示している。また、グラフ75は、可変コンデンサ51の静電容量 $C$ を変更した場合におけるリングアセンブリ112の電位を示している。グラフ74、75に示すように、本実施形態では、可変コンデンサ51の静電容量 $C$ を変更しても、基台1110の電位（基板Wの電位にほぼ等しい）は、ほぼ一定となっている。これに対し、リングアセンブリ112の電位は、可変コンデンサ51の静電容量 $C$ が大きくなると、電位も大きくなるように変化している。つまり、リングアセンブリ112の電位は、可変コンデンサ51の静電容量 $C$ の変化に応じて変化している。このように、本実施形態では、第1のDC信号（パルス化されたDC信号）が供給された場合に、可変コンデンサ51の静電容量 $C$ を変更しても、基台1110の電位の変動を抑制しつつ、リングアセンブリ112の電位を制御することができる。

[0053] 図11のグラフ76～78は、可変コンデンサ51の静電容量 $C$ を図10のグラフ74、75の最小値、中間値及び最大値とした場合における基板Wの半径方向の酸化膜のエッチングレートの一例を示している。グラフ76～

78に示すように、本実施形態では、可変コンデンサ51の静電容量Cを変更しても、エッチングレートの変動を、例えば2%未満とすることができる。

[0054] 図12は、参考例における電位と可変コンデンサの静電容量との関係の一例を示すグラフである。図12のグラフ80は、可変コンデンサ62の静電容量C'を変更した場合における基台1110の電位を示している。また、グラフ81は、可変コンデンサ62の静電容量C'を変更した場合におけるリングアセンブリ112の電位を示している。グラフ80、81に示すように、参考例では、可変コンデンサ62の静電容量C'を変更した場合において、基台1110の電位（基板Wの電位にほぼ等しい）は、静電容量C'が大きくなるのに応じて、大きくなるように変化している。これに対し、リングアセンブリ112の電位は、可変コンデンサ62の静電容量C'を変更しても、ほぼ一定となっている。つまり、基台1110の電位は、可変コンデンサ62の静電容量C'に応じて変化している。

[0055] 図13は、参考例におけるエッチングレートの変化の一例を示すグラフである。図13のグラフ82、83は、可変コンデンサ62の静電容量C'を図12のグラフ80、81の最小値及び最大値とした場合における基板Wの半径方向の酸化膜のエッチングレートの一例を示している。グラフ82、83に示すように、参考例では、可変コンデンサ62の静電容量C'を変更すると、エッチングレートの変動が、例えば約13%となる。図11のグラフ76～78及び図13のグラフ82、83から、本実施形態では、エッチングレートの変動を抑制出来ていることがわかる。

[0056] [基板端部のチルト制御]

次に、図14及び図15を用いて、本実施形態を用いた基板端部のチルト制御について説明する。図14及び図15は、本実施形態における基板端部のチルト制御の一例を示す図である。図14及び図15の例では、インピーダンス調整機構50として、可変コンデンサ51と、コンデンサ52と、コイル53とを含む。コンデンサ52は、可変コンデンサ51と並列接続され

、インピーダンス調整機構50における静電容量の可変範囲をシフトさせる。例えば、可変コンデンサ51の静電容量の可変範囲が10 pF～2000 pFである場合に、500 pFのコンデンサ52を並列接続することで、可変コンデンサ51の静電容量の可変範囲を510 pF～2500 pFとすることができる。なお、コイル53は、寄生インダクタンスを表している。また、基台1110には、第1のDC生成部32aから整合回路33を介して第1のDC信号が供給される。

[0057] 図14の例は、可変コンデンサ51の静電容量を小さくした場合、つまり、可変コンデンサ51のリアクタンスを大きくした場合である。この場合、第1バイアス電極34側の第1のDC信号の電力90と、第2バイアス電極35側の第1のDC信号の電力91とを比較すると、例えば、電力90が電力91よりも多く流れるものとする。なお、図14及び図15の例では、第2バイアス電極35が内周側と外周側との2つ設けられ、それぞれに導電体37bが接続されている。また、プラズマシース92は、リングアセンブリ112の上部の高さが基板Wの上部よりも低くなるとする。なお、プラズマシース92は、所定の電位をイメージする線である。このとき、プラズマPで生成されたイオン93は、電界の向き94で示すように、基板Wの内側に向かって傾いて引き込まれる。つまり、基板Wの端部では、電界の向き94が基板Wの内側に向かって傾いており、例えば、エッチングにより形成される穴の底部が、基板Wの内側に向かって傾くインナーチルトが発生する。

[0058] 図15の例は、可変コンデンサ51の静電容量を大きくした場合、つまり、可変コンデンサ51のリアクタンスを小さくした場合である。この場合、第1バイアス電極34側の第1のDC信号の電力90と、第2バイアス電極35側の第1のDC信号の電力91aとを比較すると、例えば、電力90と電力91aとが同程度流れるものとする。このとき、プラズマシース92aは、基板Wの上部と、リングアセンブリ112の上部とで略同一の高さであったとする。このとき、プラズマPで生成されたイオン93は、電界の向き94aで示すように、基板Wに対して垂直に引き込まれ、チルティングは発

生しない。なお、図15の例は、リングアセンブリ112側の電力91aを変化させることでチルト制御が可能であることを示すものである。可変コンデンサ51の静電容量を大きくする場合としては、例えば、リングアセンブリ112が消耗した場合が挙げられる。この場合、リングアセンブリ112自体の高さが低くなってプラズマシースもリングアセンブリ112の上部で基板Wの上部よりも低くなる。従って、可変コンデンサ51の静電容量を大きくすることで、基板Wの上部と、リングアセンブリ112の上部とで、プラズマシースの高さを略同一の高さとすることができる。なお、チルト制御は、リングアセンブリ112が消耗した場合に限定されないので、図14ではリングアセンブリ112自体の高さの変化は図示していない。このように、本実施形態では、インピーダンス調整機構50の静電容量を変更することで、基板Wの端部におけるチルト制御を行うことができる。

[0059] (変形例1)

続いて、図16を用いて変形例1について説明する。図16は、変形例1におけるインピーダンス調整機構の一例を示す図である。図16に示すように、変形例1では、インピーダンス調整機構50にスイッチ54を設ける。スイッチ54は、可変コンデンサ51をバイパスするか否かを切り替える。スイッチ54が可変コンデンサ51をバイパスするように切り替えられると、基台1110と第2バイアス電極35とが接続される。つまり、リングアセンブリ112側の回路（電氣的パス38のうち第2電氣的パス）として、第1のDC生成部32a、整合回路33、基台1110、スイッチ54及び第2バイアス電極35が接続される。言い換えると、インピーダンス調整機構50（第1インピーダンス調整機構）は、可変コンデンサ51（第1可変コンデンサ）をバイパスし、基台1110と第2バイアス電極35とを接続するスイッチ54を有する。これにより、変形例1では、リングアセンブリ112側の回路における静電容量の可変範囲を増加させることができる。

[0060] (変形例2)

次に、図17を用いて変形例2について説明する。図17は、変形例2に

におけるインピーダンス調整機構の一例を示す図である。図17に示すように、変形例2では、インピーダンス調整機構50にコンデンサ55を設ける。コンデンサ55は、リングアセンブリ112側の電位制御量を増加させるために、プラズマ負荷と並列接続になるように設けられる。なお、コンデンサ55は、固定値のコンデンサでもよいし、可変コンデンサでもよい。また、コンデンサ55の静電容量は、リングアセンブリ112側の電位に大きく影響しない範囲の値、つまり、参考例ほどの電位の変動が発生しない範囲の値とする。変形例2では、リングアセンブリ112側の回路（電氣的パス38のうち第2電氣的パス）として、第1のDC生成部32a、整合回路33、基台1110及び可変コンデンサ51が直列接続され、さらに、並列接続された第2バイアス電極35及びコンデンサ55と接続される。言い換えると、インピーダンス調整機構50（第1インピーダンス調整機構）は、可変コンデンサ51（第1可変コンデンサ）の第2バイアス電極35側に、プラズマ処理チャンバ10内で生成されるプラズマ負荷と並列接続となるコンデンサ55を有する。これにより、変形例2では、リングアセンブリ112側の負荷（プラズマ負荷及びコンデンサ55）の静電容量が調整可能となる。すなわち、変形例2では、コンデンサ55の静電容量に応じて、リングアセンブリ112側の電位制御量を増加させることができる。

[0061]（変形例3）

続いて、図18を用いて変形例3について説明する。図18は、変形例3における静電チャック及び基台の一例を示す図である。図18に示すように、変形例3では、基板支持部11の本体部111は、静電チャック1111に代えて、静電チャック1111c、1111dを備える。静電チャック1111c、1111dは、静電チャック1111の中央領域111a及び環状領域111bを、それぞれ別部材として構成したものである。つまり、変形例3の基板支持部11は、静電チャック（静電チャック1111c及び静電チャック1111d）について、中央領域111a（第1領域）及び環状領域111b（第2領域）が別体となるように形成される。すなわち、静電

チャック１１１１ｃは、中央領域１１１ａを有し、内部に第１バイアス電極３４及び静電電極１１１１ｂ（図示略）を有する。静電チャック１１１１ｃと静電チャック１１１１ｄとの境界は、隙間を設けてもよいし、接触していてもよい。また、静電チャック１１１１ｄは、環状領域１１１ｂを有し、内部に第２バイアス電極３５を有する。なお、静電チャック１１１１ｄは、内部に静電電極を有してもよい。さらに、基台１１１０は、下部部材１１１０ｂと、上部部材１１１０ｃとに分割された基台１１１０ｄとしてもよい。下部部材１１１０ｂ及び上部部材１１１０ｃは、例えば、いずれも導電体で形成され、導通可能に接続されている。

[0062] 変形例３では、図１及び図２に示す本実施形態と同様に、第１バイアス電極３４は、導電体３６ｂ、基台１１１０（下部部材１１１０ｂ）及び整合回路３３を介して、例えば、第１のＤＣ生成部３２ａに接続される。また、第２バイアス電極３５は、導電体３７ｂ、可変コンデンサ５１、基台１１１０（下部部材１１１０ｂ）及び整合回路３３を介して、例えば、第１のＤＣ生成部３２ａに接続される。変形例３では、静電チャック１１１１ｃ、１１１１ｄをそれぞれ別部材として構成しているので、熱膨張による変形を吸収できるとともに、静電チャック１１１１ｃ、１１１１ｄの製造を容易化することができる。

[0063] （変形例４）

次に、図１９を用いて変形例４について説明する。図１９は、変形例４における静電チャック及び基台の一例を示す図である。図１９に示すように、変形例４では、変形例３と同様に、基板支持部１１の本体部１１１は、静電チャック１１１１に代えて、静電チャック１１１１ｃ、１１１１ｄを備える。さらに、変形例４では、基台１１１０に代えて、下部部材１１１０ｂと、第１上部部材１１１０ｅと、第２上部部材１１１０ｆとに分割された基台１１１０ｇを備える。第１上部部材１１１０ｅと第２上部部材１１１０ｆとの境界は、隙間を設けてもよいし、接触していてもよい。第１上部部材１１１０ｅ及び第２上部部材１１１０ｆは、例えば、いずれも導電体で形成され、

それぞれ下部部材1110bと導通可能に接続されている。つまり、変形例4の基台1110gは、静電チャックの第1領域を支持する第1上部部材1110eと、静電チャックの第2領域を支持する第2上部部材1110fと、第1上部部材1110e及び第2上部部材1110fを支持する下部部材1110bとを有する。すなわち、第1上部部材1110eは、静電チャック1111cを支持し、第2上部部材1110fは、静電チャック1111dを支持する。また、基台1110gは、第1上部部材1110eと、第2上部部材1110fと、下部部材1110bとが、それぞれ別体となるように形成される。なお、実施形態及び変形例1～3について、基台1110は、第1上部部材1110eと、第2上部部材1110fと、下部部材1110bとが一体となるように形成されているともいえる。

[0064] 変形例4では、図1及び図2に示す本実施形態と同様に、第1バイアス電極34は、導電体36b、基台1110g（下部部材1110b）及び整合回路33を介して、例えば、第1のDC生成部32aに接続される。また、第2バイアス電極35は、導電体37b、可変コンデンサ51、基台1110g（下部部材1110b）及び整合回路33を介して、例えば、第1のDC生成部32aに接続される。また、第1上部部材1110e及び第2上部部材1110fは、それぞれ温度制御が行われてもよい。変形例4では、静電チャック1111c、1111d及び第1上部部材1110e及び第2上部部材1110fをそれぞれ別部材として構成しているので、中央領域1111a及び環状領域1111bそれぞれの温度を制御することができる。また、静電チャック1111c、1111d及び基台1110gの製造を容易化することができる。

[0065] なお、上記した実施形態では、プラズマ源として容量結合型プラズマを用いて基板Wに対してエッチング等の処理を行うプラズマ処理装置1を例に説明したが、開示の技術はこれに限られない。プラズマを用いて基板Wに対して処理を行う装置であれば、プラズマ源は容量結合プラズマに限られず、例えば、誘導結合プラズマ、マイクロ波プラズマ、マグネトロンプラズマ等、

任意のプラズマ源を用いることができる。例えば、誘導結合プラズマを用いる場合、RF電源から出力されるソースRF信号は、誘導結合プラズマを生成するように、プラズマ処理チャンバ上又はその上方に配置されるアンテナに供給される。

[0066] 以上、本実施形態によれば、プラズマ処理装置1は、チャンバ（プラズマ処理チャンバ10）と、パルス化されたバイアスDC信号を供給するように構成されるバイアス電源（第1のDC生成部32a）と、チャンバ内で基板W及びエッジリング（リングアセンブリ112）を支持するように構成される基板支持器（基板支持部11）と、電氣的パス38と、を備える。基板支持器は、基板Wを保持する第1領域（中央領域111a）、及び、第1領域の周囲に設けられ、エッジリングを保持する第2領域（環状領域111b）を含み、誘電体で形成される静電チャック1111と、第1領域の内部に設けられる第1バイアス電極34と、第2領域の内部に設けられる第2バイアス電極35と、静電チャック1111を支持する基台1110と、第2バイアス電極35と基台1110との間に接続される第1可変コンデンサ（可変コンデンサ51）を有するように構成される第1インピーダンス調整機構（インピーダンス調整機構50）と、を有するように構成される。電氣的パス38は、バイアス電源、基台1110及び第1バイアス電極34を接続する第1電氣的パスと、バイアス電源、基台1110、第1インピーダンス調整機構及び第2バイアス電極35を接続する第2電氣的パスとを有する。その結果、パルス化されたDC信号を供給しても基台電位の変動を抑制することができる。

[0067] また、本実施形態によれば、エッジリング、第2領域及び第2バイアス電極35は、環状に形成される。その結果、基台1110の全周に渡って基台電位の変動を抑制することができる。

[0068] また、変形例1によれば、第1インピーダンス調整機構は、第1可変コンデンサをバイパスし、基台1110と第2バイアス電極35とを接続するスイッチ54を有するように構成される。その結果、リングアセンブリ112

側の回路における静電容量の可変範囲を増加させることができる。

- [0069] また、変形例2によれば、第1インピーダンス調整機構は、第1可変コンデンサの第2バイアス電極35側に、チャンバ内で生成されるプラズマ負荷と並列接続となるコンデンサ55を有するように構成される。その結果、コンデンサ55の静電容量に応じて、リングアセンブリ112側の電位制御量を増加させることができる。
- [0070] また、本実施形態によれば、プラズマ処理装置1は、第1バイアス電極34と基台1110との間に接続される第2可変コンデンサを有するように構成される第2インピーダンス調整機構をさらに有する。また、第1電気的パスは、バイアス電源、基台1110、第2インピーダンス調整機構及び第1バイアス電極34を接続する。その結果、基板W側の電位を制御することができる。
- [0071] また、本実施形態及び変形例1, 2によれば、基板支持器は、静電チャック1111の第1領域及び第2領域が一体となるように形成される。その結果、第1領域及び第2領域に跨る電極や配線を静電チャック1111の内部に形成することができる。
- [0072] また、変形例3, 4によれば、基板支持器は、静電チャックの第1領域及び第2領域が別体（静電チャック1111c, 1111d）となるように形成される。その結果、熱膨張による変形を吸収できるとともに、静電チャック1111c, 1111dの製造を容易化することができる。
- [0073] また、変形例4によれば、基台1110gは、静電チャックの第1領域を支持する第1上部部材1110eと、静電チャックの第2領域を支持する第2上部部材1110fと、第1上部部材1110e及び第2上部部材1110fを支持する下部部材1110bとを有する。その結果、中央領域111a及び環状領域111bそれぞれの温度を制御することができる。
- [0074] また、本実施形態及び変形例1～3によれば、基台1110は、第1上部部材1110eと、第2上部部材1110fと、下部部材1110bとが一体となるように形成される。その結果、基台1110の内部における配線及

び配管の配置の自由度を向上させることができる。

[0075] また、変形例4によれば、基台1110gは、第1上部部材1110eと、第2上部部材1110fと、下部部材1110bとが別体となるように形成される。その結果、中央領域111a及び環状領域111bそれぞれの温度を制御することができるとともに、基台1110の製造を容易化することができる。

[0076] また、本実施形態によれば、プラズマ処理装置1は、さらに、ソースRF信号を供給するように構成されるRF電源（第1のRF生成部31a）を備える。その結果、プラズマ処理チャンバ10内にプラズマを生成することができる。

[0077] また、本実施形態によれば、ソースRF信号は、容量結合プラズマを生成するように、チャンバ内の少なくとも1つの下部電極（基台1110、第1バイアス電極34）及び／又は少なくとも1つの上部電極（シャワーヘッド13）に供給される。その結果、プラズマ処理チャンバ10内に容量結合プラズマを生成することができる。また、上部電極にソースRF信号を供給する場合、下部電極に上部電極側のソースRF信号よりも低い周波数のソースRF信号を供給することで、プラズマ処理空間10sのラジカルとイオンの比率を調整することができる。

[0078] また、本実施形態によれば、ソースRF信号は、誘導結合プラズマを生成するように、チャンバ上又はその上方に配置されるアンテナに供給される。その結果、チャンバ内に誘導結合プラズマを生成することができる。

[0079] <上記実施形態における他の態様例>

<環状導体を配置する例>

以上の実施の形態において、図20及び図21に示すように、電氣的パス38の第2電氣的パス590は、基台1110の下方に配置される環状導体600と、環状導体600と基台1110とを第1可変コンデンサ51（インピーダンス調整機構50）を介して電氣的に接続する第1の接続導体601と、環状導体600と第2バイアス電極35とを電氣的に並列接続する複

数の第2の接続導体602と、を含んでよい。

- [0080] 環状導体600は、基台1110の下方に水平に配置される。環状導体600は、平面視で、その中心が基台1110の中心と一致するように配置される。環状導体600は、第2バイアス電極35と平行に配置される。
- [0081] 複数の第2の接続導体602は、環状導体600に対し環状導体600の周方向に沿った等間隔で並列接続されている。一実施形態において、図22に示すように、複数の第2の接続導体602は、平面視で、第1の接続導体601と環状導体600との接続位置P1と環状導体600の中心P2とを通る仮想直線L1に対し線対称となるように配置される。
- [0082] 図21に示すように、複数の第2の接続導体602は、第2バイアス電極35に対し第2バイアス電極35の周方向に沿った等間隔で並列接続されている。複数の第2の接続導体602の各々は、環状導体600から第2バイアス電極35に向かって上下方向に延設されてよい。複数の第2の接続導体602の各々は、基台1110の貫通孔1110hを通じて第2バイアス電極35に接続されてよい。
- [0083] プラズマ処理装置1は、図23に示すように、第2の接続導体602の各々と環状導体600とを接続するためのコネクタ650をさらに備えてよい。一実施形態において、コネクタ650は、第2の接続導体602の各々と環状導体600との位置ずれを吸収できるように構成される。コネクタ650は、第2の接続導体602の各々と環状導体600とを脱着するように構成される。
- [0084] 図24に示すように、コネクタ650は、嵌合構造を有してよい。一実施形態において、コネクタ650は、環状導体600上に立設されるソケット660と、第2の接続導体602に配置されるプラグ661を有する。プラグ661は、上下方向に延設され、プラグ661の下端部は、基台1110の下方に突出している。ソケット660は、絶縁性の本体670と、本体670の内部に配置される導体部671を有する。導体部671は、プラグ661が挿入される挿入穴672を有する。挿入穴672は、上下方向に延設

されている。導体部671は、プラグ661が挿入穴672に挿入された時にプラグ661と嵌合し電氣的に接続される。

[0085] ソケット660の本体670は、環状導体600に対し水平方向に動くように配置されている。ソケット660の導体部671は、導線673によって環状導体600に電氣的に接続されている。これにより、ソケット660が環状導体600に対し水平方向にずれても、ソケット660とプラグ661との電氣的及び物理的な接続が維持される。

[0086] 図25に示すように、コネクタ650は、タッチ構造を有してよい。一実施形態において、コネクタ650は、押し当て部680と、押し当て部680が押し当てられる受け部681とを有する。押し当て部680は、環状導体600上に立設されている。押し当て部680の少なくとも上端部は、導体であり、環状導体600と電氣的に接続されている。押し当て部680の上端部は、上下方向に伸縮する弾性を有してよい。受け部681は、基台1110の下面に固定されている。受け部681の少なくとも下端部は、導体であり、第2の接続導体602に電氣的に接続されている。押し当て部680の上端部を受け部681の下端部に押し当てることで環状導体600と第2の接続導体602の各々とを電氣的及び物理的に接続することができる。受け部681の下端部は、押し当て部680の上端部より面積が広い。これにより、押し当て部680を水平方向にずれても、押し当て部680と受け部681との電氣的及び物理的な接続が維持される。

[0087] 図26及び図27に示すように、第1の接続導体601は、環状導体600の第1の接続位置P1に接続される。環状導体600は、第1の接続位置P1からの距離が異なる複数、例えば4つの導体領域600a、600b、600c、600dを有する。すなわち、環状導体600は、第1の接続位置P1に最も近い第1の導体領域600aと、第1の接続位置P1に2番目に近い第2の導体領域600bと、第1の接続位置P1に3番目に近い第3の導体領域600cと、第1の接続位置P1から最も遠い第4の導体領域600dを有する。4つの導体領域600a、600b、600c、600d

は、複数の第2の接続導体602が環状導体600に接続されている接続位置P3を境に分割されてよい。

[0088] 4つの導体領域600a、600b、600c、600dは、第1の接続位置P1からの距離が大きくなるほど電気抵抗が小さくなるように構成される。すなわち、第2の導体領域600bの電気抵抗は、第1の導体領域600aの電気抵抗より小さく、第3の導体領域600cの電気抵抗は、第2の導体領域600bの電気抵抗より小さく、第4の導体領域600dの電気抵抗は、第3の導体領域600cの電気抵抗より小さい。4つの導体領域600a、600b、600c、600dの電気抵抗は、4つの導体領域600a、600b、600c、600dの素材を変えることで変えてよい。図28に示すように、4つの導体領域600a、600b、600c、600dの電気抵抗は、4つの導体領域600a、600b、600c、600dの断面積（環状導体の太さ）を変えることで変えてよい。4つの導体領域600a、600b、600c、600dの断面積は、段階的（非連続的）に変えられてよい。図29に示すように、4つの導体領域600a、600b、600c、600dの断面積は、連続的に変えられてよい。さらに4つの導体領域600a、600b、600c、600dの各々の電気抵抗は、同じ導体領域内で変動し、第1の接続位置P1から遠くなるにつれて次第に小さくなってよい。本例示的实施態様によれば、第1の接続導体601から環状導体600及び複数の第2の接続導体602の各々を介して第2バイアス電極35に至るまでの複数の電氣的パスの長さが異なることにより第2バイアス電極35の周方向に電圧の偏りが生じることを抑制することができる。

[0089] <複数の第2の接続導体の各々に可変コンデンサを配置する例>

上記実施の形態において、図30に示すように、第1の接続導体601が複数配置され、複数の第1の接続導体601の各々に第1可変コンデンサ51（インピーダンス調整機構50）が配置されてよい。すなわち、第2の導体221は、基台1110の下方に配置される環状導体600と、環状導体600と基台1110とを電氣的に並列接続する複数の第1の接続導体60

１と、環状導体６００と第２バイアス電極３５とを電氣的に並列接続する複数の第２の接続導体６０２と、を含み、第１可変コンデンサ５１は、複数の第１の接続導体６０１の各々に配置されてよい。複数の第１の接続導体６０１は、環状導体６００に対し環状導体６００の周方向に沿った等間隔で並列接続されてよい。複数の第１の接続導体６０１は、基台１１１０に対し基台１１１０の外周部の周方向に沿った等間隔で並列接続されてよい。環状導体６００、第２の接続導体６０２を含む第２電氣的パス５９０の他の構成は、図２０～図２９で示した上記実施の形態と同様であってよい。本例示的实施形態によれば、リングアセンブリ１１２の周方向の各部分の電位を個別に調整し、リングアセンブリ１１２の周方向の電位の偏りを低減することができる。

[0090] <複数の接続導体の各々に可変コンデンサを配置する例>

以上の実施の形態において、図３１に示すように、第２の導体２２１は、基台１１１０と第２バイアス電極３５とを電氣的に並列接続する複数の接続導体７００を含み、第１可変コンデンサ５１（インピーダンス調整機構５０）は、複数の接続導体７００の各々に配置されてよい。複数の接続導体７００は、基台１１１０に対し基台１１１０の外周部の円周方向に沿った等間隔で並列接続されてよい。複数の接続導体７００は、第２バイアス電極３５に対し第２バイアス電極３５の周方向に沿った等間隔で並列接続されてよい。本例示的实施形態によれば、リングアセンブリ１１２の周方向の各部分の電位を個別に調整し、リングアセンブリ１１２の周方向の電位の偏りを低減することができる。

[0091] <センサを配置する場合のプラズマ処理装置の構成例>

以上の実施の形態において、図３２に示すように、電氣的パス３８は、電源３０を基台１１１０に電氣的に接続するバイアス電送ライン２２２を有し、プラズマ処理装置１は、バイアス電送ライン２２２上の所与の位置における電圧を検出するように構成されるセンサ２８０を有してよい。制御部２は、センサ２８０により検出される電圧が一定になるように電源３０によるバ

イアス信号の供給を制御するように構成されてよい。

- [0092] 整合回路33は、センサ280を含んでよい。センサ280は、バイアス電送ライン222上の整合回路33の位置における電圧を検出するように構成されてよい。
- [0093] 一実施形態において、センサ280により検出された電圧信号は、制御部2に出力され、格納部に格納される。制御部2では、プログラムが実行され、格納部の電圧データに基づいて、センサ280により検出される電圧（V<sub>pp</sub>（Voltage peak to peak）の電圧）が一定になるように電源30によるバイアス信号の供給がフィードバック制御される。本例示的实施形態によれば、基台1110に供給されるバイアス信号の電圧が一定に制御されるので、第1バイアス電極34の電圧が安定して、基板Wの電位が変動することが抑制される。この結果、基板Wのプロセス変動が抑制され、プラズマ処理が適切に行われる。
- [0094] 以上の実施の形態において、図33に示すように、プラズマ処理装置1は、バイアス電送ライン222上の所与の位置における電圧及び電流を検出するように構成されるセンサ300を有してよい。制御部2は、センサ300により検出される電圧及び電流に基づいて基板支持部11上の基板Wの電位を決定し、当該基板Wの電位が一定になるように電源30によるバイアス信号の供給を制御するように構成されてよい。
- [0095] センサ300は、バイアス電送ライン222上の整合回路33と基台1110との間のノードに電気的に接続されてよい。センサ300は、バイアス電送ライン222上の整合回路33と基台1110との間のノードにおける電流及び電圧を検出するように構成されてよい。
- [0096] 一実施形態において、センサ300により検出された電圧信号及び電流信号は、制御部2に出力され、格納部に格納される。制御部2では、プログラムが実行され、センサ300により検出されたバイアス信号の電圧及び電流と、変換係数に基づいて、基板支持部11上の基板Wの電位が推測され決定される。そして、制御部2では、プログラムが実行され、決定された基板W

の電位 ( $V_{pp}$  (Voltage peak to peak) の電圧) が一定になるように、電源30によるバイアス信号の供給がフィードバック制御される。変換係数は、予め求められたもので、制御部2の格納部に格納されているものが用いられてよい。本例示的实施形態によれば、基板Wの電位が一定になるように電源30によるバイアス信号の供給が制御されるので、基板Wのプロセス変動が抑制され、プラズマ処理が適切に行われる。

[0097] <プラズマ処理装置におけるクリーニング方法の例>

以上の実施の形態において、制御部2は、(a) チャンバ10内で基板支持部11上の基板をプラズマ処理することと、(b) 可変インピーダンス素子(第1可変コンデンサ51)のインピーダンスを(a)におけるインピーダンスより大きいインピーダンスに調整して、チャンバ10内をプラズマクリーニングすることと、を実行するように構成されてよい。(b)は、基板支持部11上に基板を支持した状態で行われる第1のプラズマクリーニングと、基板支持部11上に基板を支持しない状態で行われる第2のプラズマクリーニングとの少なくともいずれかを含んでよい。インピーダンス調整機構50は、可変インピーダンス素子として、コンデンサ及びスイッチを含んでよく、またスイッチのみを含んでよい。

[0098] 本例示的实施形態によれば、(a)においては、例えば、第1可変コンデンサ51によりリングアセンブリ112の電位を調整して、リングアセンブリ112側と基板W側のプラズマシース92を水平に近づけることができる。これにより、プラズマ中のイオンが基板Wの外周部に対し略垂直に入り、エッチングレートやエッチング形状を向上することができる。また、(b)においては、第1可変コンデンサ51のインピーダンスを(a)におけるインピーダンスより大きいインピーダンスに調整して、リングアセンブリ112の電位を基板Wや基板支持面210の電位より下げ、リングアセンブリ112側のプラズマシース92を基板W側より下げることができる。これにより、リングアセンブリ112上方のプラズマ中のイオンを基板Wの外周部側に斜めに入射させ、リングアセンブリ112へのイオンの衝突を抑制し、リ

ングアセンブリ 1 1 2 の消耗を抑制することができる。また、リングアセンブリ 1 1 2 の上方のプラズマ中のイオンを、基板支持部 1 1 の中央領域 1 1 1 a の外周縁付近に衝突させ、中央領域 1 1 1 a の外周縁付近に堆積した堆積物を除去することができる。

[0099] 以上の実施の形態において、インピーダンス調整機構 5 0 は、コイル、抵抗、スイッチなどの他の素子を有してよい。インピーダンス調整機構 5 0 は、一つに限られず複数の可変インピーダンス素子を有してよい。インピーダンス調整機構 5 0 の可変インピーダンス素子は、可変コンデンサ、可変抵抗及び可変インダクタの中から選択される少なくとも一種を含んでよい。

[0100] <導電性基台の他の構成例>

上記変更例 4 において、図 3 4 に示すように、第 2 上部部材 1 1 1 0 f の上面 9 0 0 b の高さ位置は、第 1 上部部材 1 1 1 0 e の上面 9 0 0 a の高さ位置と同じか、それより高くてよい。環状領域 1 1 1 b の下面の高さ位置は、第 1 上部部材 1 1 1 0 e の上面の高さ位置より高くてよい。環状領域 1 1 1 b の下面の高さ位置は、中央領域 1 1 1 a の下面の高さ位置より高くてよい。第 1 上部部材 1 1 1 0 e と第 2 上部部材 1 1 1 0 f の各々には、伝熱流体（冷媒）が流れる流路 1 1 1 0 a が配置されてよい。

[0101] <コンデンサ 5 5 を有する回路の構成例>

以上の実施の形態において、上記変形例 2 のように、図 3 5 に示すように、インピーダンス調整機構 5 0 が、導電体 1 5 0 0 を介して導電体 3 7 b （第 2 電氣的パス 5 9 0）上のノードに電氣的に接続されるコンデンサ 5 5 を有する場合において、第 1 可変コンデンサ 5 1 とコンデンサ 5 5 とを接続する導電体区間 1 5 0 1 を短くしてよい。一実施形態において、図 3 6 に示すように、基板支持部 1 1 の平面視で、第 1 可変コンデンサ 5 1 と基板支持部 1 1 の中心 O 1 とを通る仮想直線 L 2 0 と、コンデンサ 5 5 と中心 O 1 とを通る仮想直線 L 2 1 とが形成する内角  $\alpha 1$  が  $90^\circ$  以下になるように第 1 可変コンデンサ 5 1 とコンデンサ 5 5 が配置されてよい。

[0102] 図 3 7 は、プラズマ生成時に、リングアセンブリ 1 1 2 のプラズマシース

P Sと基板支持部11に形成される電氣的な回路を説明するための図である。基板支持部11の回路では、電源30に対し、静電チャック1111が有する静電容量成分C10及び抵抗成分R10と、第1可変コンデンサ51（静電容量V C）とが並列的に接続される。リングアセンブリ112のプラズマシースP Sでは、基板支持部11の回路に対し、プラズマシースP Sの静電容量成分C12とコンデンサ55（静電容量C13）とが並列的に接続される。ここで、第1可変コンデンサ51とコンデンサ55を近づけることで、第1可変コンデンサ51とコンデンサ55とを接続する導電体区間1501が短くなり、導電体区間1501におけるリアクタンス成分L10が小さくなる。これにより、第1可変コンデンサ51からプラズマシースの静電容量成分C12に向かう導電体区間1502のリアクタンス成分L11が大きくなり、いわゆるブリッジ回路が形成される。この結果、静電チャック1111の静電容量成分C10と、第1可変コンデンサ51と、導電体区間1501のリアクタンス成分L10とで並列共振が発生することが抑制される。この結果、並列共振の発生により電力が損失したり過電流が生じることが抑制される。

[0103] <コンデンサ55を有する回路の他の構成例>

以上の実施の形態において、図38に示すように、導電体37b（第2電氣的パス590）のノードとコンデンサ55を接続する導電体1500には、コイル1600が接続されてよい。これにより、プラズマ生成のためのソースR F信号が上部電極に供給された際に、ソースR F信号が、リングアセンブリ112及び第2バイアス電極35に進入しインピーダンス調整機構50の導電体37b及び導電体1500を通じてコンデンサ55に流れることが抑制される。これにより、リングアセンブリ112の周方向におけるコンデンサ55が配置される部分（コンデンサ55の上方の部分）に局所的にソースR F信号が流れて基板面内のプラズマ分布が偏ることを抑制することができる。なお、この例において、ソースR F信号は、1MH~400MHの範囲であってよい。

[0104] <第1可変コンデンサ51を含む回路の構成例>

図39に示すように、導電体37b（第2電氣的パス590）における第1可変コンデンサ51と第2バイアス電極35との間にコイル1650が接続されてよい。これにより、これにより、プラズマ生成のためのソースRF信号が上部電極に供給された際に、ソースRF信号が、リングアセンブリ112及び第2バイアス電極35に進入しインピーダンス調整機構50の導電体37bを通じて第1可変コンデンサ51に流れることが抑制される。これにより、リングアセンブリ112の周方向における第1可変コンデンサ51が配置される部分（第1可変コンデンサ51の上方の部分）に局所的にソースRF信号が流れて基板面内のプラズマ分布が偏ることを抑制することができる。

[0105] <第1可変コンデンサ51を含む回路の他の構成例>

図40に示すように、導電体1700を介して導電体37b上のノードに電氣的に接続されるコイル1750を配置してよい。導電体1700は、導電体37bにおける第1可変コンデンサ51と第2バイアス電極35との間のノードに接続される。コイル175022は、接地電位に接続されている。こうすることで、第1可変コンデンサ51が有する浮遊容量と、コイル1750とで並列共振回路が構成され、ソースRF信号が、リングアセンブリ112及び第2バイアス電極35に進入しインピーダンス調整機構50の導電体37bを通じて第1可変コンデンサ51に流れることが抑制される。さらに、導電体1700には、コイル1750に加えてコンデンサ1751を直列接続される。コンデンサ1751は、接地電位に接続される。これにより、導電体1700にLC直列回路が形成され、下部電極に供給されるバイアス信号が導電体1700を通じて接地電位に流れることが抑制される。

[0106] 図41に示すように、導電体37bと、導電体37bを囲む接地ケース1800との間の浮遊容量を小さくしてよい。すなわち、導電体37bと接地ケース1800との距離を可能な限り離すようにしてよい。一実施形態において、導電体37bと接地ケース1800とを2cm以上離すようにしてよ

い。こうすることで、ソースRF信号が、リングアセンブリ112及び第2バイアス電極35に進入しインピーダンス調整機構50の導電体37bを通じて第1可変コンデンサ51に流れることが抑制される。

[0107] <第1可変コンデンサ51と第2バイアス電極35との間の回路の構成例>

図42に示すように、導電体37b（第2電氣的パス590）は、第1可変コンデンサ51と第2バイアス電極35とを電氣的に並列接続する複数の接続導体1900を含む。図43に示すように、第2バイアス電極35において複数の接続導体1900の各々が接続される接続点1950は、第2バイアス電極35の周方向に沿って等間隔に配置されている。複数の接続導体1900は、略等しいインピーダンスを有するように調整される。一実施形態において、図42に示すように、複数の接続導体1900のインピーダンスは、第1可変コンデンサ51から第2バイアス電極35までの経路長さを等しくすることで調整されてよい。この場合、複数の接続導体1900は、プリント基板1960に形成され、経路長さが揃えられてよい。プリント基板1960は、基台1110の下方に配置されてよい。一実施形態において、図44に示すように、複数の接続導体1900のインピーダンスは、複数の接続導体1900の少なくとも一つにインピーダンス素子1970を追加することで調整されてよい。インピーダンス素子1970は、コイル、コンデンサ又は抵抗や、それらの組み合わせであってよい。複数の接続導体1900のインピーダンスは、複数の接続導体1900の少なくとも一つの材質を変更することで調整されてよい。複数の接続導体1900のインピーダンスは、その他の方法で揃えられてよい。

[0108] これにより、プラズマ生成のためのソースRF信号が上部電極に供給され、ソースRF信号が、リングアセンブリ112及び第2バイアス電極35の接続点1950を介して複数の接続導体1900に進入したときに、複数の接続導体1900を流れる電流が揃えられる。この結果、特定の接続導体1900に相対的に大きい電流が流れて基板面内のプラズマ分布が偏ることを抑制することができる。

## [0109] &lt;電氣的パスの他の構成例&gt;

一実施の形態において、図45に示すように、基板支持部11は、基板Wを保持する第1領域（中央領域111a）、及び、第1領域の周囲に設けられ、エッジリングを保持する第2領域（環状領域111b）を含み、誘電体で形成される静電チャック1111と、第1領域の内部に設けられる第1バイアス電極34と、第2領域の内部に設けられる第2バイアス電極35と、静電チャック1111を支持する基台1110と、第2バイアス電極35と第1バイアス電極34との間に接続される第1可変コンデンサ（可変コンデンサ51）を有するように構成される第1インピーダンス調整機構（インピーダンス調整機構50）と、を有するように構成されてよい。電氣的パス38は、バイアス電源及び第1バイアス電極34を接続する第1電氣的パス580と、バイアス電源、第1バイアス電極34、第1インピーダンス調整機構及び第2バイアス電極35を接続する第2電氣的パス590とを有してよい。すなわち、バイアス電源は、基台1110ではなく第1バイアス電極34に直接接続され、第2バイアス電極35は、基台1110ではなく第1バイアス電極34に接続されている。第1インピーダンス調整機構は、第2バイアス電極35と第1バイアス電極34との間の電氣的パスに接続されている。本実施形態の他の構成は、以上の実施の形態と同様であってよい。本実施の形態によれば、パルス化されたDC信号を供給しても基台電位の変動を抑制することができる。なお、本実施形態には、以上の実施の形態で記載したすべての態様を適用してよい。

## [0110] &lt;電氣的パスの他の構成例&gt;

一実施の形態において、図46に示すように、基板支持部11は、基板Wを保持する第1領域（中央領域111a）、及び、第1領域の周囲に設けられ、エッジリングを保持する第2領域（環状領域111b）を含み、誘電体で形成される静電チャック1111と、静電チャック1111を支持する基台1110と、基台1110とリングアセンブリ112との間に接続される第1可変コンデンサ（可変コンデンサ51）を有するように構成される第1

インピーダンス調整機構（インピーダンス調整機構 50）と、を有するように構成されてよい。電氣的パス 38 は、バイアス電源及び基台 1110 を接続する第 1 電氣的パスと、バイアス電源、基台 1110、第 1 インピーダンス調整機構及びリングアセンブリ 112 を接続する第 2 電氣的パスとを有してよい。すなわち、第 1 バイアス電極 34 はなく、バイアス電源は、基台 1110 に接続される。第 1 インピーダンス調整機構は、第 2 バイアス電極 35 ではなく、エッジリングに接続されている。本実施形態の他の構成は、以上の実施の形態と同様であってよい。本実施形態によれば、パルス化された DC 信号を供給しても基台電位の変動を抑制することができる。なお、本実施形態には、以上の実施の形態で記載したすべての態様を適用してよい。

[0111] 以上の実施の形態において、電源 30 は、バイアス信号として、RF 信号及びパルス化電圧信号の両方を基台 1110 に供給できるように構成されてよい。すなわち、以上の実施の形態において、図 47 に示すように、電源 30 は、バイアス RF 信号を供給するように構成される RF 電源 31 と、バイアス DC 信号を供給するように構成される DC 電源 32 とを有してよい。電源 30 が供給する RF 信号の周波数は、100 kHz ~ 60 MHz の範囲内の周波数を有してよい。電源 30 が供給するパルス化電圧信号は、複数の電圧パルスのシーケンスを有してよい。電圧パルスの周波数は、400 kHz であってよい。電圧パルスの周波数は、200 kHz ~ 3 MHz の範囲の任意の周波数であってよい。また、電圧パルスのデューティ比は、20%、または 20% を超えるものであってよい。

[0112] 以上の実施の形態において、プラズマ生成部のソース電源は、ソース RF 信号を上部電極（例えばシャワーヘッド）又は下部電極（例えば導電性基台）のいずれかに供給するものであってよい。

[0113] なお、本開示は以下のような構成も取ることができる。

(1)

チャンバと、

パルス化されたバイアス DC 信号を供給するように構成されるバイアス電

源と、

前記チャンバ内で基板及びエッジリングを支持するように構成される基板支持器と、

電氣的パスと、

を備え、

前記基板支持器は、

前記基板を保持する第1領域、及び、前記第1領域の周囲に設けられ、前記エッジリングを保持する第2領域を含み、誘電体で形成される静電チャックと、

前記第1領域の内部に設けられる第1バイアス電極と、前記第2領域の内部に設けられる第2バイアス電極と、前記静電チャックを支持する基台と、

前記第2バイアス電極と前記基台との間に接続される第1可変コンデンサを有するように構成される第1インピーダンス調整機構と、  
を有するように構成され、

前記電氣的パスは、前記バイアス電源、前記基台及び前記第1バイアス電極を接続する第1電氣的パスと、前記バイアス電源、前記基台、前記第1インピーダンス調整機構及び前記第2バイアス電極を接続する第2電氣的パスとを有する、

プラズマ処理装置。

(2)

前記エッジリング、前記第2領域及び前記第2バイアス電極は、環状に形成される、前記(1)に記載のプラズマ処理装置。

(3)

前記第1インピーダンス調整機構は、前記第1可変コンデンサをバイパスし、前記基台と前記第2バイアス電極とを接続するスイッチを有するように構成される、

前記(1)又は(2)に記載のプラズマ処理装置。

(4)

前記第1インピーダンス調整機構は、前記第1可変コンデンサの前記第2バイアス電極側に、前記チャンバ内で生成されるプラズマ負荷と並列接続となるコンデンサを有するように構成される、

前記(1)又は(2)に記載のプラズマ処理装置。

(5)

前記第1バイアス電極と前記基台との間に接続される第2可変コンデンサを有するように構成される第2インピーダンス調整機構をさらに有し、

前記第1電気的パスは、前記バイアス電源、前記基台、前記第2インピーダンス調整機構及び前記第1バイアス電極を接続する、

前記(1)～(4)のいずれか1つに記載のプラズマ処理装置。

(6)

前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が一体となるように形成される、

前記(1)～(5)のいずれか1つに記載のプラズマ処理装置。

(7)

前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が別体となるように形成される、

前記(1)～(5)のいずれか1つに記載のプラズマ処理装置。

(8)

前記基台は、前記静電チャックの前記第1領域を支持する第1上部部材と、前記静電チャックの前記第2領域を支持する第2上部部材と、前記第1上部部材及び前記第2上部部材を支持する下部部材とを有する、

前記(7)に記載のプラズマ処理装置。

(9)

前記基台は、前記第1上部部材と、前記第2上部部材と、前記下部部材とが一体となるように形成される、

前記(8)に記載のプラズマ処理装置。

(10)

前記基台は、前記第 1 上部部材と、前記第 2 上部部材と、前記下部部材とが別体となるように形成される、

前記 (9) に記載のプラズマ処理装置。

(11)

さらに、ソース RF 信号を供給するように構成される RF 電源を備える、前記 (1) ~ (10) のいずれか 1 つに記載のプラズマ処理装置。

(12)

前記ソース RF 信号は、容量結合プラズマを生成するように、前記チャンバ内の少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に供給される、

前記 (11) に記載のプラズマ処理装置。

(13)

前記ソース RF 信号は、誘導結合プラズマを生成するように、前記チャンバ上又はその上方に配置されるアンテナに供給される、

前記 (11) に記載のプラズマ処理装置。

(14)

前記第 2 電氣的パスは、

前記基台の下方に配置される環状導体と、

前記環状導体と前記基台とを前記第 1 可変コンデンサを介して電氣的に接続する第 1 の接続導体と、

前記環状導体と前記第 2 バイアス電極とを電氣的に並列接続する複数の第 2 の接続導体と、を含む、

(1) ~ (13) のいずれか一項に記載のプラズマ処理装置。

(15)

前記複数の第 2 の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、

(14) に記載のプラズマ処理装置。

(16)

前記複数の第2の接続導体は、前記第2バイアス電極に対し前記第2バイアス電極の周方向に沿った等間隔で並列接続されている、

(14) 又は (15) に記載のプラズマ処理装置。

(17)

前記第2の接続導体の各々と前記環状導体とを接続するためのコネクタをさらに備える、

(14) ~ (16) のいずれか一項に記載のプラズマ処理装置。

(18)

前記コネクタは、前記第2の接続導体の各々と前記環状導体との位置ずれを吸収できるように構成される、

(17) に記載のプラズマ処理装置。

(19)

前記第1の接続導体は、前記環状導体の第1の接続位置に接続され、

前記環状導体は、前記第1の接続位置からの距離が異なる複数の導体領域を含み、

前記複数の導体領域は、前記第1の接続位置からの距離が大きくなるほど電気抵抗が小さくなるように構成される、

(14) ~ (18) のいずれか一項に記載のプラズマ処理装置。

(20)

前記第2電氣的パスは、

前記基台の下方に配置される環状導体と、

前記環状導体と前記基台とを電氣的に並列接続する複数の第1の接続導体と、

前記環状導体と前記第2バイアス電極とを電氣的に並列接続する複数の第2の接続導体と、を含み、

前記第1インピーダンス調整機構は、前記複数の第1の接続導体の各々に配置される、

(1) ~ (13) のいずれか一項に記載のプラズマ処理装置。

(21)

前記複数の第1の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、

(20)に記載のプラズマ処理装置。

(22)

前記第2電氣的パスは、前記基台と前記第2バイアス電極とを電氣的に並列接続する複数の接続導体を含み、

前記第1インピーダンス調整機構は、前記複数の接続導体の各々に配置される、

(1)～(13)のいずれか一項に記載のプラズマ処理装置。

(23)

前記複数の接続導体は、前記第2バイアス電極に対し前記第2バイアス電極の周方向に沿った等間隔で並列接続されている、

(22)に記載のプラズマ処理装置。

(24)

RFバイアス信号を前記基台に供給するように構成されるRF電源をさらに備える、

(1)～(23)のいずれか一項に記載のプラズマ処理装置。

(25)

プラズマ処理装置のチャンバ内で基板及びエッジリングを支持する基板支持器であって、前記基板を保持する第1領域、及び、前記第1領域の周囲に設けられ、前記エッジリングを保持する第2領域を含み、誘電体で形成される静電チャックと、

前記第1領域の内部に設けられる第1バイアス電極と、前記第2領域の内部に設けられる第2バイアス電極と、前記静電チャックを支持する基台と、

前記第2バイアス電極と前記基台との間に接続される可変コンデンサを有するように構成されるインピーダンス調整機構と、

を備えるように構成され、

パルス化されたバイアスDC信号を供給するバイアス電源に接続される前記基台、及び、前記第1バイアス電極を接続する第1電氣的パスと、前記バイアス電源に接続される前記基台、前記インピーダンス調整機構、及び、前記第2バイアス電極を接続する第2電氣的パスとを有する、

基板支持器。

(26)

チャンバと、

パルス化されたバイアスDC信号を供給するように構成されるバイアス電源と、

前記チャンバ内で基板及びエッジリングを支持するように構成される基板支持器と、

電氣的パスと、

を備え、

前記基板支持器は、

前記基板を保持する第1領域、及び、前記第1領域の周囲に設けられ、前記エッジリングを保持する第2領域を含み、誘電体で形成される静電チャックと、

前記第1領域の内部に設けられる第1バイアス電極と、前記第2領域の内部に設けられる第2バイアス電極と、前記静電チャックを支持する基台と、

前記第2バイアス電極と前記基台との間に接続される第1可変コンデンサを有するように構成される第1インピーダンス調整機構と、  
を有するように構成され、

前記電氣的パスは、前記バイアス電源、前記基台及び前記第1バイアス電極を接続する第1電氣的パスと、前記バイアス電源、前記基台、前記第1インピーダンス調整機構及び前記第2バイアス電極を接続する第2電氣的パスとを有する、

プラズマ処理装置。

(27)

前記エッジリング、前記第2領域及び前記第2バイアス電極は、環状に形成される、前記(26)に記載のプラズマ処理装置。

(28)

前記第1インピーダンス調整機構は、前記第1可変コンデンサをバイパスし、前記第1バイアス電極と前記第2バイアス電極とを接続するスイッチを有するように構成される、

前記(26)又は(27)に記載のプラズマ処理装置。

(29)

前記第1インピーダンス調整機構は、前記第1可変コンデンサの前記第2バイアス電極側に、前記チャンバ内で生成されるプラズマ負荷と並列接続となるコンデンサを有するように構成される、

前記(26)又は(27)に記載のプラズマ処理装置。

(30)

前記バイアス電源と前記第1バイアス電極との間に接続される第2可変コンデンサを有するように構成される第2インピーダンス調整機構をさらに有し、

前記第1電氣的パスは、前記バイアス電源、前記第2インピーダンス調整機構及び前記第1バイアス電極を接続する、

前記(26)～(29)のいずれか1つに記載のプラズマ処理装置。

(31)

前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が一体となるように形成される、

前記(26)～(30)のいずれか1つに記載のプラズマ処理装置。

(32)

前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が別体となるように形成される、

前記(26)～(30)のいずれか1つに記載のプラズマ処理装置。

(33)

前記基台は、前記静電チャックの前記第 1 領域を支持する第 1 上部部材と、前記静電チャックの前記第 2 領域を支持する第 2 上部部材と、前記第 1 上部部材及び前記第 2 上部部材を支持する下部部材とを有する、

前記（32）に記載のプラズマ処理装置。

（34）

前記基台は、前記第 1 上部部材と、前記第 2 上部部材と、前記下部部材とが一体となるように形成される、

前記（33）に記載のプラズマ処理装置。

（35）

前記基台は、前記第 1 上部部材と、前記第 2 上部部材と、前記下部部材とが別体となるように形成される、

前記（34）に記載のプラズマ処理装置。

（36）

さらに、ソース RF 信号を供給するように構成される RF 電源を備える、前記（26）～（35）のいずれか 1 つに記載のプラズマ処理装置。

（37）

前記ソース RF 信号は、容量結合プラズマを生成するように、前記チャンバ内の少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に供給される、

前記（36）に記載のプラズマ処理装置。

（38）

前記ソース RF 信号は、誘導結合プラズマを生成するように、前記チャンバ上又はその上方に配置されるアンテナに供給される、

前記（36）に記載のプラズマ処理装置。

（39）

前記第 2 電氣的パスは、

前記基台の下方に配置される環状導体と、

前記環状導体と前記第 1 バイアス電極とを前記第 1 可変コンデンサを介し

て電氣的に接続する第 1 の接続導体と、

前記環状導体と前記第 2 バイアス電極とを電氣的に並列接続する複数の第 2 の接続導体と、を含む、

(26) ~ (38) のいずれか一項に記載のプラズマ処理装置。

(40)

前記複数の第 2 の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、

(39) に記載のプラズマ処理装置。

(41)

前記複数の第 2 の接続導体は、前記第 2 バイアス電極に対し前記第 2 バイアス電極の周方向に沿った等間隔で並列接続されている、

(39) 又は (40) に記載のプラズマ処理装置。

(42)

前記第 2 の接続導体の各々と前記環状導体とを接続するためのコネクタをさらに備える、

(39) ~ (41) のいずれか一項に記載のプラズマ処理装置。

(43)

前記コネクタは、前記第 2 の接続導体の各々と前記環状導体との位置ずれを吸収できるように構成される、

(42) に記載のプラズマ処理装置。

(44)

前記第 1 の接続導体は、前記環状導体の第 1 の接続位置に接続され、

前記環状導体は、前記第 1 の接続位置からの距離が異なる複数の導体領域を含み、

前記複数の導体領域は、前記第 1 の接続位置からの距離が大きくなるほど電気抵抗が小さくなるように構成される、

(39) ~ (43) のいずれか一項に記載のプラズマ処理装置。

(45)

前記第 2 電氣的パスは、  
前記基台の下方に配置される環状導体と、  
前記環状導体と前記第 1 バイアス電極とを電氣的に並列接続する複数の第 1 の接続導体と、  
前記環状導体と前記第 2 バイアス電極とを電氣的に並列接続する複数の第 2 の接続導体と、を含み、  
前記第 1 インピーダンス調整機構は、前記複数の第 1 の接続導体の各々に配置される、

(26) ~ (38) のいずれか一項に記載のプラズマ処理装置。

(46)

前記複数の第 1 の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、

(45) に記載のプラズマ処理装置。

(47)

前記第 2 電氣的パスは、前記第 1 バイアス電極と前記第 2 バイアス電極とを電氣的に並列接続する複数の接続導体を含み、

前記第 1 インピーダンス調整機構は、前記複数の接続導体の各々に配置される、

(26) ~ (38) のいずれか一項に記載のプラズマ処理装置。

(48)

前記複数の接続導体は、前記第 2 バイアス電極に対し前記第 2 バイアス電極の周方向に沿った等間隔で並列接続されている、

(47) に記載のプラズマ処理装置。

(49)

RF バイアス信号を前記第 1 バイアス電極に供給するように構成される RF 電源をさらに備える、

(26) ~ (48) のいずれか一項に記載のプラズマ処理装置。

(50)

チャンバと、  
パルス化されたバイアスDC信号を供給するように構成されるバイアス電源と、  
前記チャンバ内で基板及びエッジリングを支持するように構成される基板支持器と、  
電氣的パスと、  
を備え、  
前記基板支持器は、  
前記基板を保持する第1領域、及び、前記第1領域の周囲に設けられ、前記エッジリングを保持する第2領域を含み、誘電体で形成される静電チャックと、  
前記静電チャックを支持する基台と、  
前記基台と前記エッジリングとの間に接続される第1可変コンデンサを有するように構成される第1インピーダンス調整機構と、を有するように構成され、  
前記電氣的パスは、前記バイアス電源及び前記基台を接続する第1電氣的パスと、前記バイアス電源、前記基台、前記第1インピーダンス調整機構及び前記エッジリングを接続する第2電氣的パスとを有する、プラズマ処理装置。

(51)

前記エッジリング及び前記第2領域は、環状に形成される、前記(50)に記載のプラズマ処理装置。

(52)

前記第1インピーダンス調整機構は、前記第1可変コンデンサをバイパスし、前記基台と前記エッジリングとを接続するスイッチを有するように構成される、

前記(50)又は(51)に記載のプラズマ処理装置。

(53)

前記第1インピーダンス調整機構は、前記第1可変コンデンサの前記前記エッジリング側に、前記チャンバ内で生成されるプラズマ負荷と並列接続となるコンデンサを有するように構成される、

前記(50)又は(51)に記載のプラズマ処理装置。

(54)

前記バイアス電源と前記基台との間に接続される第2可変コンデンサを有するように構成される第2インピーダンス調整機構をさらに有し、

前記第1電気的パスは、前記バイアス電源、前記第2インピーダンス調整機構及び前記基台を接続する、

前記(50)～(53)のいずれか1つに記載のプラズマ処理装置。

(55)

前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が一体となるように形成される、

前記(50)～(54)のいずれか1つに記載のプラズマ処理装置。

(56)

前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が別体となるように形成される、

前記(50)～(54)のいずれか1つに記載のプラズマ処理装置。

(57)

前記基台は、前記静電チャックの前記第1領域を支持する第1上部部材と、前記静電チャックの前記第2領域を支持する第2上部部材と、前記第1上部部材及び前記第2上部部材を支持する下部部材とを有する、

前記(56)に記載のプラズマ処理装置。

(58)

前記基台は、前記第1上部部材と、前記第2上部部材と、前記下部部材とが一体となるように形成される、

前記(57)に記載のプラズマ処理装置。

(59)

前記基台は、前記第 1 上部部材と、前記第 2 上部部材と、前記下部部材とが別体となるように形成される、

前記 (58) に記載のプラズマ処理装置。

(60)

さらに、ソース RF 信号を供給するように構成される RF 電源を備える、前記 (50) ~ (59) のいずれか 1 つに記載のプラズマ処理装置。

(61)

前記ソース RF 信号は、容量結合プラズマを生成するように、前記チャンバ内の少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に供給される、

前記 (60) に記載のプラズマ処理装置。

(62)

前記ソース RF 信号は、誘導結合プラズマを生成するように、前記チャンバ上又はその上方に配置されるアンテナに供給される、

前記 (60) に記載のプラズマ処理装置。

(63)

前記第 2 電氣的パスは、

前記基台の下方に配置される環状導体と、

前記環状導体と前記基台とを前記第 1 可変コンデンサを介して電氣的に接続する第 1 の接続導体と、

前記環状導体と前記エッジリングとを電氣的に並列接続する複数の第 2 の接続導体と、を含む、

(50) ~ (52) のいずれか一項に記載のプラズマ処理装置。

(64)

前記複数の第 2 の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、

(63) に記載のプラズマ処理装置。

(65)

前記複数の第2の接続導体は、前記エッジリングに対し前記エッジリングの周方向に沿った等間隔で並列接続されている、

(63) 又は(64)に記載のプラズマ処理装置。

(66)

前記第2の接続導体の各々と前記環状導体とを接続するためのコネクタをさらに備える、

(63)～(65)のいずれか一項に記載のプラズマ処理装置。

(67)

前記コネクタは、前記第2の接続導体の各々と前記環状導体との位置ずれを吸収できるように構成される、

(66)に記載のプラズマ処理装置。

(68)

前記第1の接続導体は、前記環状導体の第1の接続位置に接続され、

前記環状導体は、前記第1の接続位置からの距離が異なる複数の導体領域を含み、

前記複数の導体領域は、前記第1の接続位置からの距離が大きくなるほど電気抵抗が小さくなるように構成される、

(63)～(67)のいずれか一項に記載のプラズマ処理装置。

(69)

前記第2電気的パスは、

前記基台の下方に配置される環状導体と、

前記環状導体と前記基台とを電氣的に並列接続する複数の第1の接続導体と、

前記環状導体と前記エッジリングとを電氣的に並列接続する複数の第2の接続導体と、を含み、

前記第1インピーダンス調整機構は、前記複数の第1の接続導体の各々に配置される、

(50)～(62)のいずれか一項に記載のプラズマ処理装置。

(70)

前記複数の第1の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、

(69)に記載のプラズマ処理装置。

(71)

前記第2電氣的パスは、前記基台と前記エッジリングとを電氣的に並列接続する複数の接続導体を含み、

前記第1インピーダンス調整機構は、前記複数の接続導体の各々に配置される、

(50)～(62)のいずれか一項に記載のプラズマ処理装置。

(72)

前記複数の接続導体は、前記エッジリングに対し前記エッジリングの周方向に沿った等間隔で並列接続されている、

(71)に記載のプラズマ処理装置。

(73)

RFバイアス信号を前記基台に供給するように構成されるRF電源をさらに備える、

(50)～(72)のいずれか一項に記載のプラズマ処理装置。

[0114] 以上の各実施形態は、説明の目的で記載されており、本開示の範囲を限定することを意図するものではない。以上の各実施形態は、本開示の範囲及び趣旨から逸脱することなく種々の変形をなし得る。例えば、ある実施形態における一部の構成要素を、他の実施形態に追加することができる。また、ある実施形態における一部の構成要素を、他の実施形態の対応する構成要素と置換することができる。

## 符号の説明

[0115] 1 プラズマ処理装置

10 プラズマ処理チャンバ

11 基板支持部

- 1 3 シャワーヘッド
- 3 1 R F 電源
  - 3 1 a 第 1 の R F 生成部
  - 3 1 b 第 2 の R F 生成部
- 3 2 D C 電源
  - 3 2 a 第 1 の D C 生成部
  - 3 2 b 第 2 の D C 生成部
- 3 3 整合回路
- 3 4 第 1 バイアス電極
- 3 5 第 2 バイアス電極
- 3 8 電氣的パス
- 5 0 インピーダンス調整機構
- 5 1 可変コンデンサ
- 5 2, 5 5 コンデンサ
- 5 4 スイッチ
- 1 1 2 リングアセンブリ
  - 1 1 1 a 中央領域
  - 1 1 1 b 環状領域
  - 1 1 1 0, 1 1 1 0 g 基台
  - 1 1 1 0 b 下部部材
  - 1 1 1 0 e 第 1 上部部材
  - 1 1 1 0 f 第 2 上部部材
  - 1 1 1 1, 1 1 1 1 c, 1 1 1 1 d 静電チャック
- W 基板

### 請求の範囲

#### [請求項1]

チャンバと、  
パルス化されたバイアスDC信号を供給するように構成されるバイアス電源と、  
前記チャンバ内で基板及びエッジリングを支持するように構成される基板支持器と、  
電氣的パスと、  
を備え、  
前記基板支持器は、  
前記基板を保持する第1領域、及び、前記第1領域の周囲に設けられ、前記エッジリングを保持する第2領域を含み、誘電体で形成される静電チャックと、  
前記第1領域の内部に設けられる第1バイアス電極と、前記第2領域の内部に設けられる第2バイアス電極と、前記静電チャックを支持する基台と、  
前記第2バイアス電極と前記基台との間に接続される第1可変コンデンサを有するように構成される第1インピーダンス調整機構と、を有するように構成され、  
前記電氣的パスは、前記バイアス電源、前記基台及び前記第1バイアス電極を接続する第1電氣的パスと、前記バイアス電源、前記基台、前記第1インピーダンス調整機構及び前記第2バイアス電極を接続する第2電氣的パスとを有する、プラズマ処理装置。

#### [請求項2]

前記エッジリング、前記第2領域及び前記第2バイアス電極は、環状に形成される、請求項1に記載のプラズマ処理装置。

#### [請求項3]

前記第1インピーダンス調整機構は、前記第1可変コンデンサをバイパスし、前記基台と前記第2バイアス電極とを接続するスイッチを有するように構成される、請求項1又は2に記載のプラズマ処理装置。  
。

- [請求項4] 前記第1インピーダンス調整機構は、前記第1可変コンデンサの前記第2バイアス電極側に、前記チャンバ内で生成されるプラズマ負荷と並列接続となるコンデンサを有するように構成される、請求項1又は2に記載のプラズマ処理装置。
- [請求項5] 前記第1バイアス電極と前記基台との間に接続される第2可変コンデンサを有するように構成される第2インピーダンス調整機構をさらに有し、  
前記第1電気的パスは、前記バイアス電源、前記基台、前記第2インピーダンス調整機構及び前記第1バイアス電極を接続する、請求項1又は2に記載のプラズマ処理装置。
- [請求項6] 前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が一体となるように形成される、請求項1又は2に記載のプラズマ処理装置。
- [請求項7] 前記基板支持器は、前記静電チャックの前記第1領域及び前記第2領域が別体となるように形成される、請求項1又は2に記載のプラズマ処理装置。
- [請求項8] 前記基台は、前記静電チャックの前記第1領域を支持する第1上部部材と、前記静電チャックの前記第2領域を支持する第2上部部材と、前記第1上部部材及び前記第2上部部材を支持する下部部材とを有する、請求項7に記載のプラズマ処理装置。
- [請求項9] 前記基台は、前記第1上部部材と、前記第2上部部材と、前記下部部材とが一体となるように形成される、請求項8に記載のプラズマ処理装置。
- [請求項10] 前記基台は、前記第1上部部材と、前記第2上部部材と、前記下部部材とが別体となるように形成される、請求項9に記載のプラズマ処理装置。
- [請求項11] さらに、ソースRF信号を供給するように構成されるRF電源を備える、請求項1又は2に記載のプラズマ処理装置。

- [請求項12] 前記ソース R F 信号は、容量結合プラズマを生成するように、前記チャンバ内の少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に供給される、請求項 11 に記載のプラズマ処理装置。
- [請求項13] 前記ソース R F 信号は、誘導結合プラズマを生成するように、前記チャンバ上又はその上方に配置されるアンテナに供給される、請求項 11 に記載のプラズマ処理装置。
- [請求項14] 前記第 2 電氣的パスは、  
前記基台の下方に配置される環状導体と、  
前記環状導体と前記基台とを前記第 1 可変コンデンサを介して電氣的に接続する第 1 の接続導体と、  
前記環状導体と前記第 2 バイアス電極とを電氣的に並列接続する複数の第 2 の接続導体と、を含む、請求項 1 に記載のプラズマ処理装置。
- [請求項15] 前記複数の第 2 の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、請求項 14 に記載のプラズマ処理装置。
- [請求項16] 前記複数の第 2 の接続導体は、前記第 2 バイアス電極に対し前記第 2 バイアス電極の周方向に沿った等間隔で並列接続されている、請求項 14 に記載のプラズマ処理装置。
- [請求項17] 前記第 2 の接続導体の各々と前記環状導体とを接続するためのコネクタをさらに備える、請求項 14 に記載のプラズマ処理装置。
- [請求項18] 前記コネクタは、前記第 2 の接続導体の各々と前記環状導体との位置ずれを吸収できるように構成される、請求項 17 に記載のプラズマ処理装置。
- [請求項19] 前記第 1 の接続導体は、前記環状導体の第 1 の接続位置に接続され、  
前記環状導体は、前記第 1 の接続位置からの距離が異なる複数の導体領域を含み、

前記複数の導体領域は、前記第 1 の接続位置からの距離が大きくなるほど電気抵抗が小さくなるように構成される、請求項 14 に記載のプラズマ処理装置。

[請求項20] 前記第 2 電氣的パスは、  
前記基台の下方に配置される環状導体と、  
前記環状導体と前記基台とを電氣的に並列接続する複数の第 1 の接続導体と、  
前記環状導体と前記第 2 バイアス電極とを電氣的に並列接続する複数の第 2 の接続導体と、を含み、  
前記第 1 インピーダンス調整機構は、前記複数の第 1 の接続導体の各々に配置される、請求項 1 に記載のプラズマ処理装置。

[請求項21] 前記複数の第 1 の接続導体は、前記環状導体に対し前記環状導体の周方向に沿った等間隔で並列接続されている、請求項 20 に記載のプラズマ処理装置。

[請求項22] 前記第 2 電氣的パスは、前記基台と前記第 2 バイアス電極とを電氣的に並列接続する複数の接続導体を含み、  
前記第 1 インピーダンス調整機構は、前記複数の接続導体の各々に配置される、請求項 1 に記載のプラズマ処理装置。

[請求項23] 前記複数の接続導体は、前記第 2 バイアス電極に対し前記第 2 バイアス電極の周方向に沿った等間隔で並列接続されている、請求項 22 に記載のプラズマ処理装置。

[請求項24] R F バイアス信号を前記基台に供給するように構成される R F 電源をさらに備える、請求項 1 に記載のプラズマ処理装置。

[請求項25] プラズマ処理装置のチャンバ内で基板及びエッジリングを支持する基板支持器であって、  
前記基板を保持する第 1 領域、及び、前記第 1 領域の周囲に設けられ、前記エッジリングを保持する第 2 領域を含み、誘電体で形成される静電チャックと、

前記第1領域の内部に設けられる第1バイアス電極と、前記第2領域の内部に設けられる第2バイアス電極と、前記静電チャックを支持する基台と、

前記第2バイアス電極と前記基台との間に接続される可変コンデンサを有するように構成されるインピーダンス調整機構と、を備えるように構成され、

パルス化されたバイアスDC信号を供給するバイアス電源に接続される前記基台、及び、前記第1バイアス電極を接続する第1電気的パスと、前記バイアス電源に接続される前記基台、前記インピーダンス調整機構、及び、前記第2バイアス電極を接続する第2電気的パスとを有する、基板支持器。

[請求項26]

チャンバと、

パルス化されたバイアスDC信号を供給するように構成されるバイアス電源と、

前記チャンバ内で基板及びエッジリングを支持するように構成される基板支持器と、

電気的パスと、

を備え、

前記基板支持器は、

前記基板を保持する第1領域、及び、前記第1領域の周囲に設けられ、前記エッジリングを保持する第2領域を含み、誘電体で形成される静電チャックと、

前記第1領域の内部に設けられる第1バイアス電極と、前記第2領域の内部に設けられる第2バイアス電極と、前記静電チャックを支持する基台と、

前記第2バイアス電極と前記第1バイアス電極との間に接続される第1可変コンデンサを有するように構成される第1インピーダンス調整機構と、を有するように構成され、

前記電氣的パスは、前記バイアス電源及び前記第 1 バイアス電極を接続する第 1 電氣的パスと、前記バイアス電源、前記第 1 バイアス電極、前記第 1 インピーダンス調整機構及び前記第 2 バイアス電極を接続する第 2 電氣的パスとを有する、プラズマ処理装置。

[請求項27]

チャンバと、

パルス化されたバイアス DC 信号を供給するように構成されるバイアス電源と、

前記チャンバ内で基板及びエッジリングを支持するように構成される基板支持器と、

電氣的パスと、

を備え、

前記基板支持器は、

前記基板を保持する第 1 領域、及び、前記第 1 領域の周囲に設けられ、前記エッジリングを保持する第 2 領域を含み、誘電体で形成される静電チャックと、

前記静電チャックを支持する基台と、

前記基台と前記エッジリングとの間に接続される第 1 可変コンデンサを有するように構成される第 1 インピーダンス調整機構と、を有するように構成され、

前記電氣的パスは、前記バイアス電源及び前記基台を接続する第 1 電氣的パスと、前記バイアス電源、前記基台、前記第 1 インピーダンス調整機構及び前記エッジリングを接続する第 2 電氣的パスとを有する、プラズマ処理装置。