

半导体结构及其制作方法、存储器

相关申请的交叉引用

本公开基于申请号为 202210708966.5、申请日为 2022 年 06 月 21 日、发明名称为“半导体结构及其制作方法、存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，具体地，涉及一种半导体结构及其制作方法、存储器。

背景技术

动态随机存取存储器（DRAM，Dynamic Random Access Memory）的存储阵列架构是由包括一个晶体管和一个作为存储单元的电容（即 1T1C 的存储单元）组成的阵列。晶体管的栅极与字线相连，漏极与位线相连，源极与电容相连。

随着动态随机存取存储器的尺寸不断缩小，电容的尺寸也随之缩小。如何保证动态随机存取存储器中电容的性能，成为亟待解决的问题。

公开内容

有鉴于此，本公开实施例提出一种半导体结构及其制作方法、存储器。

根据本公开的一个方面，提供了一种半导体结构，包括：

衬底、多个氧化柱、多个有源柱、第一绝缘层、存储结构；

所述多个氧化柱位于所述衬底上，且沿第一方向和第二方向呈阵列排布；所述第一方向和所述第二方向均与所述衬底表面平行，且所述第一方向和所述第二方向相交；

所述第一绝缘层位于多个所述氧化柱的间隙中；

每一所述有源柱均位于相应的一个所述氧化柱的顶面上；

所述存储结构，至少覆盖所述有源柱的部分侧壁。

上述方案中，所述氧化柱的材料与所述第一绝缘层的材料相同或不同。

上述方案中，每一所述有源柱包括第一子有源柱，以及位于所述第一子有源柱上的第二子有源柱；所述第一子有源柱在所述衬底上的正投影位于所述第二子有源柱在所述衬底上的正投影内。

上述方案中，所述存储结构包括：

第一导电层，所述第一导电层覆盖所述第一子有源柱的侧壁；

介质层，覆盖所述第一导电层的表面及所述第一绝缘层的顶面；

第二导电层，位于所述介质层中。

上述方案中，所述半导体结构还包括：多个晶体管，每个所述晶体管的沟道结构位于所述第二子有源柱内，所述沟道结构的延伸方向垂直于所述衬底的表面。

5 上述方案中，所述晶体管包括：

环绕所述第二子有源柱设置的栅极结构，以及

分别设置在所述第二子有源柱相对的两个端部的源极和漏极。

上述方案中，所述半导体结构还包括：

多条位线，位于所述晶体管上，与所述第二子有源柱的顶部电接触。

10 根据本公开的另一个方面，提供了一种存储器，包括：一个或多个如本公开上述实施例中任一项所述的半导体结构。

根据本公开的再一个方面，提供了一种半导体结构的制作方法，所述方法包括：

15 在衬底上形成沿第一方向和第二方向呈阵列排布的多个半导体柱；每一所述半导体柱包括第一部分和位于所述第一部分上的第二部分；其中，所述第一部分的最大径宽小于所述第二部分的最小径宽；所述第一方向和所述第二方向均与所述衬底表面平行，且所述第一方向和所述第二方向相交；

在所述半导体柱的顶部形成支撑层，所述支撑层覆盖所述第二部分的顶部侧壁；

20 对所述半导体柱进行氧化处理，以使所述第一部分被完全氧化成氧化柱，暴露的所述第二部分的表面被氧化成氧化层；

在多个所述氧化柱的间隙中填充第一绝缘材料，在所述衬底表面形成第一绝缘层；

去除所述氧化层，得到第一子有源柱；

25 至少在所述第一子有源柱的侧壁形成存储结构。

上述方案中，所述在衬底上形成沿第一方向和第二方向呈阵列排布的多个半导体柱，包括：

提供半导体基底；

30 在所述基底中形成多条沿第一方向间隔排布的第一沟槽，以及多条沿第二方向间隔排布的第二沟槽；

对每一所述第一沟槽和/或所述第二沟槽底部进行扩大处理，形成所述多个半导体柱。

35 上述方案中，所述形成支撑层，包括：在多个所述半导体柱之间填充所述第一绝缘材料，刻蚀去除部分所述第一绝缘材料，暴露出所述半导体柱的顶部，得到第二子有源柱；

沉积第二绝缘材料，所述第二绝缘材料覆盖所述第二子有源柱的表面，在所述半导体柱的顶部形成第二绝缘层。

40 上述方案中，沿所述第二方向去除部分所述第二绝缘层形成第一浅沟槽，所述第一浅沟槽的底面与所述第二子有源柱的底面齐平，在所述第一浅沟槽内填充所述第一绝缘材料；

沿所述第一方向去除部分所述第二绝缘层形成第二浅沟槽，所述第二浅沟槽

的底面与所述第二子有源柱的顶面齐平，在所述第二浅沟槽内填充所述第二绝缘材料；

去除所述半导体柱之间填充的所有第一绝缘材料，在所述半导体柱的顶部形成网格状的支撑层。

- 5 上述方案中，形成所述支撑层之后，氧化所述半导体柱，所述半导体柱的所述第一部分被完全氧化成氧化柱，暴露的所述半导体柱的所述第二部分的表面被氧化成氧化层；

- 再在所述半导体柱之间填充第一绝缘材料，刻蚀去除部分所述第一绝缘材料以及所述氧化层，剩余的所述第一绝缘材料与所述氧化柱形成位于所述衬底表面的第一绝缘层。

上述方案中，所述至少在所述第一子有源柱的侧壁形成存储结构，包括：
形成覆盖所述第一子有源柱侧壁的第一导电层；
形成覆盖所述第一导电层的表面及所述第一绝缘层顶面的介质层；
在所述介质层中形成第二导电层。

- 15 上述方案中，所述形成覆盖所述第一子有源柱侧壁的第一导电层，包括：
通过选择性沉积工艺，形成覆盖所述第一子有源柱侧壁的第一导电层。

上述方案中，所述方法还包括：

- 去除所述支撑层，以暴露出所述第二子有源柱；
形成覆盖所述第二子有源柱的至少一侧的栅极结构；
20 在所述第二子有源柱相对的两端分别形成源极、漏极。

上述方案中，所述第一部分沿所述第一方向的最大径宽小于所述第二部分沿所述第一方向的最小径宽；

和/或，

- 所述第一部分沿所述第二方向的最大径宽小于所述第二部分沿所述第二方向的最小径宽。

- 25 本公开实施例中，通过在衬底上形成多个半导体柱，每一所述半导体柱包括第一部分和位于所述第一部分上的第二部分，使得所述第一部分的最大径宽小于所述第二部分的最小径宽；然后通过氧化处理，将多个半导体柱的第一部分全部氧化成氧化柱，并在多个氧化柱的间隙填充第一绝缘材料；最后在每一氧化柱的顶面上形成相应的有源柱，使得有源柱与衬底之间绝缘；进而使得在有源柱的部分侧壁上形成的存储结构与衬底之间绝缘，从而改善存储结构的漏电问题，进而提高存储器的可靠性。

附图说明

- 35 图 1a 为本公开实施例中提供的一种 DRAM 晶体管的电路连接示意图；
图 1b 为本公开实施例中提供的一种存储器的结构示意图；
图 2 为本公开实施例提供的半导体结构的制造方法的流程示意图；
图 3a-图 3q 为本公开实施例提供的一种半导体结构的制造过程的剖面示意图。

附图标记说明：

300-半导体基底；301-第一沟槽；302-第一绝缘材料；303-第二沟槽；304-衬底；305-半导体柱；3051-半导体柱的第一部分；3052-半导体柱的第二部分；3052a-第一子有源柱；3052b-第二子有源柱；306-第一间隙；308-第二绝缘层；309-第一浅沟槽；310-第二浅沟槽；311-支撑层；312-氧化柱；313-氧化层；314-第一绝缘层；315-存储结构；3151-第一导电层；3152-介质层；3153-第二导电层。

在上述附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

具体实施方式

为使本公开实施例的技术方案和优点更加清楚，下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

可以理解的是，本公开中的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层（即直接在某物上）的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

此外，为了便于描述，可以在本文中使用诸如“在……上”、“在……之上”、“在……上方”、“上”“上部”等的空间相对术语来描述如图所示的一个元件或特征与另一个元件或特征的关系。除了在附图中所描绘的取向之外，空间相对术语旨在涵盖设备在使用或操作中的不同取向。装置可以以其它方式定向（旋转 90 度或处于其它取向）并且同样可以相应地解释本文使用的空间相对描述词。

在本公开实施例中，术语“衬底”是指在其上添加后续材料层的材料。衬底本身可以被图案化。被添加在衬底顶部的材料可以被图案化或者可以保持未被图案化。此外，衬底可以包括多种半导体材料，例如硅、硅锗、锗、砷化镓、磷化铟等。替代地，衬底可以由非导电材料制成，例如玻璃、塑料或蓝宝石晶圆。

在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。例如，互连层可包括一个或多个导体和接触子层（其中形成互连线

和/或过孔触点）、以及一个或多个电介质子层。

在本公开实施例中，术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

本公开实施例涉及的半导体结构是将被用于后续制程以形成最终的器件结构的至少一部分。这里，所述最终的器件可以包括存储器，所述存储器包括但不限于动态随机存取存储器，以下仅以动态随机存取存储器为例进行说明。

但需要说明的是，以下实施例关于动态随机存取存储器的描述仅用来说明本公开，并不用来限制本公开的范围。

随着动态随机存取存储器技术的发展，存储单元的尺寸越来越小，其阵列架构由 $8F^2$ 到 $6F^2$ 再到 $4F^2$ ；另外，基于动态随机存取存储器中对离子和漏电流的需求，存储器的架构从平面阵列晶体管（Planar Array Transistor）到凹栅阵列晶体管（Recess Gate Array Transistor），又从凹栅阵列晶体管到掩埋式沟道阵列晶体管（Buried Channel Array Transistor），再从掩埋式沟道阵列晶体管到垂直沟道阵列晶体管（Vertical Channel Array Transistor）。

本公开的一些实施例中，不论是平面阵列晶体管还是垂直沟道阵列晶体管，动态随机存取存储器均由多个存储单元结构构成，每一个存储单元结构主要是由一个晶体管与一个由晶体管所操控的存储单元（电容）构成，即动态随机存取存储器包括 1 个晶体管（T，Transistor）和 1 个电容（C，Capacitor）（1T1C）的架构；其主要的作用原理是利用电容内存储电荷的多寡来代表一个二进制比特是 1 还是 0。

图 1a 为本公开实施例中提供的一种采用 1T1C 的架构的控制电路示意图，图 1b 为本公开实施例中提供的一种采用 1T1C 架构的晶体管形成 DRAM 存储阵列的结构示意图；如图 1a、图 1b 所示，晶体管 T 的漏极与位线（BL，Bit Line）电连接，晶体管 T 的源区与电容 C 的其中一个电极板电连接，电容 C 的另外一个电极板可以连接参考电压，所述参考电压可以是地电压也可以是其他电压，晶体管 T 的栅极与字线（WL，Word Line）连接；通过字线 WL 施加电压控制晶体管 T 导通或截止，位线 BL 用于在晶体管 T 导通时，对所述晶体管 T 执行读取或写入操作。

然而，为了实现存储器的小型化发展，动态随机存取存储器的尺寸在不断缩小，电容的尺寸也随之缩小，进而使得形成电容的工艺难度越来越大，以致所形成的电容在使用过程中存在漏电问题。

基于此，为解决上述问题中的一个或多个，本公开实施例提供了一种半导体结构的制作方法，可以增大电容高度，提高存储器的存储容量，同时，还可以降低工艺难度。图 2 为本公开实施例提供的半导体结构的制作方法的流程示意图。如图 2 所示，本公开实施例提供的半导体结构的制作方法包括以下步骤：

S100：在衬底上形成沿第一方向和第二方向呈阵列排布的多个半导体柱；每一所述半导体柱包括第一部分和位于所述第一部分上的第二部分；其中，所述第一部分最大径宽小于所述第二部分的最小径宽；所述第一方向和第二方向均与所述衬底表面平行，且所述第一方向和第二方向相交；

S200：在所述半导体柱的顶部形成支撑层，所述支撑层覆盖所述第二部分的顶部侧壁；

S300：对所述半导体柱进行氧化处理，以使所述第一部分被完全氧化成氧化柱，暴露的所述第二部分的表面被氧化成氧化层；

S400: 在多个所述氧化柱的间隙中填充第一绝缘材料, 在所述衬底表面形成第一绝缘层;

S500: 去除所述氧化层, 得到第一子有源柱;

S600: 至少在所述第一子有源柱的侧壁形成存储结构。

5 应当理解, 图 2 中所示的步骤并非排他的, 也可以在所示操作中的任何步骤之前、之后或之间执行其他步骤; 图 2 中所示的各步骤可以根据实际需求进行顺序调整。图 3a 至图 3q 为本公开实施例提供的一种半导体结构的制作过程的剖面示意图。下面结合图 2、图 3a 至图 3q, 对本公开实施例提供的半导体结构的制作方法进行详细地说明。

10 在步骤 S100 中, 参考图 3a、图 3b、图 3c、图 3d, 形成多个半导体柱。

所述多个半导体柱位于衬底上, 且沿第一方向和第二方向呈阵列排布。

在一些实施例中, 在衬底上形成沿第一方向和第二方向呈阵列排布的多个半导体柱, 包括:

提供半导体基底;

15 在所述基底中形成多条沿第一方向间隔排布的第一沟槽, 以及多条沿第二方向间隔排布的第二沟槽;

对每一所述第一沟槽和/或所述第二沟槽底部进行扩大处理, 形成所述多个半导体柱。

20 这里, 如图 3a 所示, 所述半导体基底 300 的材料可以包括硅 (Si)、锗 (Ge)、锗化硅 (SiGe) 等。

参考图 3a, 对所述半导体基底 300 的表面进行第一刻蚀, 在所述半导体基底中形成多个沿第一方向间隔排布的第一沟槽 301; 这里, 每一所述第一沟槽 301 沿第二方向延伸。

25 需要说明的是, 所述第一沟槽 301 位于半导体基底中, 也就是说, 第一沟槽 301 沿第三方向上的深度小于所述半导体基底 300 沿第三方向上的厚度。

所述第一方向与所述半导体基底 300 的表面平行; 所述第二方向与第一方向相交, 且与所述半导体基底 300 的表面平行。所述第三方向垂直于所述半导体基底 300 的表面; 这里的第三方向也可以理解为半导体基底 300 的延伸方向。

30 换言之, 第一方向与第二方向相交, 即所述第一方向与所述第二方向之间的夹角为 0-90 度之间的任一角度。这里, 所述第一方向、第二方向均与所述第三方向垂直。

35 为了清楚的描述本公开, 以下实施例中以第一方向与第二方向垂直为例进行说明。示例性的, 所述第一方向为图 3a 中示出的 X 轴方向; 所述第二方向为图 3a 中示出的 Y 轴方向; 所述第三方向为图 3a 中示出的 Z 轴方向。但需要说明的是, 以下实施例中关于方向的描述仅用于说明本公开, 并不用来限制本公开的范围。

在一些实施例中, 所述第一沟槽 301 包括但不限于浅槽隔离 (STI, Shallow Trench Isolation) 结构。

40 所述第一刻蚀包括但不限于干法等离子体刻蚀工艺。

参考图 3b, 在所述第一沟槽 301 中形成第一绝缘材料 302; 其中, 所述

第一绝缘材料 302 的顶面与所述半导体基底 300 的顶面基本齐平；这里，所述第一绝缘材料 302 用于起支撑作用。

在一些实施例中，所述第一绝缘材料 302 的组成材料包括但不限于氧化硅（ SiO_2 ）。

5 形成所述第一绝缘材料 302 的方法包括但不限于物理气相沉积（PVD，Physical Vapor Deposition）、化学气相沉积（CVD，Chemical Vapor Deposition）等工艺。

参考图 3c，对形成有第一绝缘材料 302 的所述半导体基底 300 进行第二刻蚀，以在所述半导体基底 300 中形成多条第二沟槽 303；其中，多条所述第二沟槽 303 沿第二方向间隔排布，且每一条所述第二沟槽 303 沿第一方向延伸；也就是说，所述第一沟槽 301 和所述第二沟槽 303 相交。

示例性的，在第一方向与第二方向垂直时，所述第一沟槽 301 和所述第二沟槽 303 互相垂直。

15 这里，所述第二沟槽 303 位于半导体基底 300 中，也就是说，第二沟槽 303 沿第三方向上的深度小于所述半导体基底 300 沿第三方向上的厚度。

示例性的，多个所述第二沟槽 303 沿 Y 轴方向间隔排布；且每个所述第二沟槽 303 沿 X 轴方向延伸，以及每一所述第二沟槽 303 在 Z 轴方向上的深度小于半导体层在 Z 轴方向上的厚度。

这里，所述第二刻蚀包括但不限于干法等离子体刻蚀工艺。

20 在一些实施例中，所述第二沟槽 303 包括但不限于浅槽隔离（STI）结构。

在一些实施例中，第一沟槽 301 沿第三方向上的深度与第二沟槽 303 沿第三方向上的深度可以相同，也可以不同。

25 优选地，第一沟槽 301 沿第三方向上的深度与第二沟槽 303 沿第三方向上的深度相同，这样，可以减少制造过程中对工艺参数的调整，降低工艺难度。

这里，第一沟槽 301 和第二沟槽 303 将所述半导体基底分割成多个沿第一方向和第二方向呈阵列排布的立方体柱；并在多个所述立方体柱下方形成衬底 304。

30 在另一些实施例中，还可以通过在半导体基底的表面上形成网格状的掩膜层，将该网格状的掩膜层作为掩膜对半导体基底进行刻蚀，以在半导体基底中形成多个沿第一方向和第二方向呈阵列排布的立方体柱。

接下来，参考图 3c，对每一所述第一沟槽 301 和/或所述第二沟槽 303 底部进行扩大处理；这里，所述扩大处理可以理解为对第一沟槽 301 的底部进行沿第一方向的刻蚀；和/或，对第二沟槽 303 的底部进行沿第二方向的刻蚀，使得第一沟槽 301 和/或第二沟槽 303 的底部沿所述第一方向的径宽大于相应沟槽的顶部沿所述第一方向的径宽；

和/或，

第一沟槽 301 和/或第二沟槽 303 的底部沿所述第二方向的径宽大于相应沟槽的顶部沿所述第二方向的径宽。

40 这里，所采用的刻蚀工艺可以包括湿法刻蚀工艺、干法刻蚀工艺等。

示例性的，所述湿法刻蚀工艺中，将刻蚀剂通入第一沟槽 301 和/或第二沟槽

303 的底部,通过刻蚀剂的各向异性刻蚀,增大第一沟槽 301 和/或第二沟槽 303 的底部沿 X 轴方向的径宽;和/或,增大第一沟槽 301 和/或第二沟槽 303 的底部沿 Y 轴方向的径宽。

5 示例性的,所述干法刻蚀工艺中,通过控制等离子体进行横向刻蚀,以在第一沟槽 301 和/或第二沟槽 303 的底部形成径宽扩大的沟槽结构。

本公开实施例中,在对每一所述第一沟槽 301 和/或所述第二沟槽 303 底部进行扩大处理的过程后,刻蚀工艺使得位于衬底上的多个立方体柱的底部区域被刻蚀,立方体柱的底部区域尺寸减小,进而形成所述半导体柱 305,参考图 3c。

换言之,所述半导体柱 305 包括第一部分 3051 (参考图 3c 中虚线框内
10 示图)和位于所述第一部分 3051 上的第二部分 3052;这里,所述半导体柱的第一部分 3051 位于所述半导体柱的第二部分 3052 与所述衬底 304 之间。

在一些实施例中,所述第一部分沿所述第一方向的最大径宽小于所述第二部分沿所述第一方向的最小径宽;

和/或,

15 所述第一部分沿所述第二方向的最大径宽小于所述第二部分沿所述第二方向的最小径宽。

示例性的,在仅对第一沟槽 301 进行扩大处理时,所述半导体柱的第一部分 3051 沿 X 轴方向的最大径宽小于所述半导体柱的第二部分 3052 沿 X 轴方向的最小径宽。

20 示例性的,在仅对第二沟槽 303 进行扩大处理时,所述半导体柱的第一部分 3051 沿 Y 轴方向的最大径宽小于所述半导体柱的第二部分 3052 沿 Y 轴方向的最小径宽。

示例性的,在对第一沟槽 301 和第二沟槽 303 均进行扩大处理时,所述半导体柱的第一部分 3051 沿 X 轴方向的最大径宽小于所述半导体柱的第二部分 3052 沿 X 轴方向的最小径宽;以及所述半导体柱的第一部分 3051 沿 Y 轴方向的最大径宽小于所述半导体柱的第二部分 3052 沿 Y 轴方向的最小径宽。
25

优选地,对第一沟槽 301 和第二沟槽 303 均进行扩大处理,使得所述半导体柱的第一部分的尺寸减小。

示例性的,第一部分的最大径宽可以理解为图 3c 中半导体柱的第一部分 3051 与半导体柱的第二部分 3052 接触位置处的径宽;第二部分的最小径宽可以理解为半导体柱的第二部分 3052 中尺寸最小的区域;参考图 3c,半导体柱的第二部分 3052 的上下部分的尺寸相同,即半导体柱的第二部分的最小径宽和最大径宽相同。
30

参考图 3d,在所述第二沟槽 303 中形成第一绝缘材料 302;所述第一绝缘材料 302 的顶面与所述半导体柱 305 的顶面基本齐平。所述第一绝缘材料用于起支撑作用。
35

示例性的,所述第一绝缘材料 302 的组成材料包括但不限于氧化硅。

这里,形成所述第一绝缘材料 302 的方法包括但不限于 PVD、CVD 等工艺。

40 需要说明的是,形成第一沟槽 301、第二沟槽 303 以及在第一沟槽 301、第二沟槽 303 中填充第一绝缘材料 302 的顺序可以根据实际情况进行选择。

在另一些具体实施例中，可以先形成第一沟槽 301 和第二沟槽 303 后，再在第一沟槽 301 和第二沟槽 303 中填充第一绝缘材料 302；这里，所述第一绝缘材料与多个所述半导体柱的顶面基本齐平。

在步骤 S200 中，参考图 3e 至图 3k，形成支撑层。

- 5 在一些实施例中，所述形成支撑层，包括：刻蚀去除部分所述第一绝缘材料，暴露出所述半导体柱的顶部，得到第二子有源柱；

沉积第二绝缘材料，所述第二绝缘材料覆盖所述第二子有源柱的表面，在所述半导体柱的顶部形成第二绝缘层。

- 10 参考图 3e，对位于第一沟槽 301 和第二沟槽 303 中的部分第一绝缘材料 302 进行刻蚀，以形成第一间隙 306，此时，暴露出所述半导体柱的顶部，即第二子有源柱 3052b。这里，所述第二子有源柱 3052b 为所述半导体柱的第二部分中远离所述第一部分 3051 的一侧端部。

- 15 参考图 3f，通过沉积工艺，在所述第一间隙中形成第二绝缘材料；然后对所述第二绝缘材料进行平坦化处理，以在所述半导体柱的顶部形成第二绝缘层 308；其中，所述第二绝缘层 308 覆盖所述第二子有源柱的表面，且所述第二绝缘层 308 的顶面高于所述半导体柱的顶面。

这里，所述沉积工艺包括但不限于 PVD、CVD 等工艺。

所述平坦化处理工艺包括但不限于化学机械抛光技术（CMP，Chemical Mechanical Polishing）。

- 20 所述第二绝缘层 308 的组成材料包括但不限于氮化物、碳化物等。

在一些实施例中，参考图 3g，沿所述第二方向去除部分所述第二绝缘层 308 形成第一浅沟槽 309，所述第一浅沟槽 309 的底面与所述第二子有源柱的底面齐平，在所述第一浅沟槽 309 内填充所述第一绝缘材料 302；

- 25 沿所述第一方向去除部分所述第二绝缘层 308 形成第二浅沟槽 310，所述第二浅沟槽 310 的底面与所述第二子有源柱的顶面齐平，第二浅沟槽 310 位于第二子有源柱的正上方，且暴露出第二子有源柱的顶面，在所述第二浅沟槽 310 内填充所述第二绝缘材料；

去除所述半导体柱之间填充的所有第一绝缘材料 302，在所述半导体柱的顶部形成网格状的支撑层 311。

- 30 示例性的，参考图 3g，通过刻蚀工艺，对第二绝缘层 308 进行刻蚀，去除部分第二绝缘层 308，暴露出部分所述第一绝缘材料 302 的顶部，并在半导体柱的顶部形成多个第一浅沟槽 309；所述多个第一浅沟槽 309 沿 X 轴方向间隔排布，且每一个第一浅沟槽 309 沿 Y 轴方向延伸。

这里，第一浅沟槽 309 的底面与第二子有源柱 3052b 的底面基本齐平。

- 35 参考图 3h，在所述第一浅沟槽 309 中填充第一绝缘材料 302，使得位于第一浅沟槽 309 中的第一绝缘材料 302 的顶面高于所述半导体柱的顶面。这里位于第一浅沟槽 309 中的第一绝缘材料 302 的顶面与剩余的第二绝缘层 308 的顶面基本齐平。

- 40 参考图 3i，通过刻蚀工艺，对第二绝缘层 308 和位于第一浅沟槽 309 中的第一绝缘材料 302 进行刻蚀，去除部分第二绝缘层 308 和部分第一绝缘材料 302，暴露出部分所述半导体柱的顶面，并在半导体柱的顶面形成多个第二浅沟槽 310；

所述多个第二浅沟槽 310 沿 Y 轴方向间隔排布，且每一个第二浅沟槽 310 沿 X 轴方向延伸。

这里，第二浅沟槽 310 的底面与第二子有源柱 3052b 的顶面基本齐平，第二浅沟槽 310 位于第二子有源柱的正上方，且暴露出第二子有源柱的顶面。

5 需要说明的是，本公开实施例中涉及的基本齐平可以理解为大致平齐；可以理解的是，在存储器的制造过程中，由于工艺误差导致的未对齐或未平齐也包括在基本齐平的范围内。

参考图 3j，在所述第二浅沟槽 310 内填充所述第二绝缘材料；这里，位于第二浅沟槽 310 中的第二绝缘材料的顶面与第二绝缘层 308 的顶面基本齐平。

10 参考图 3k，去除位于半导体柱之间第一绝缘材料 302，在所述半导体柱的顶部形成网格状的支撑层 311。

这里，所述支撑层 311 的组成材料包括但不限于氮化物、碳等。

优选的，所述支撑层 311 的组成材料包括氮化硅。

在步骤 S300 中，参考图 3l、图 3m，对半导体柱 305 进行氧化处理。

15 在一些实施例中，参考图 3l，形成所述支撑层 311 之后，氧化所述半导体柱，所述半导体柱的所述第一部分被完全氧化成氧化柱 312，暴露的所述半导体柱的所述第二部分的表面被氧化成氧化层 313；

参考图 3m，再在所述半导体柱之间填充第一绝缘材料 302，刻蚀去除部分所述第一绝缘材料 302 以及所述氧化层 313，剩余的所述第一绝缘材料 302 与所述氧化柱 312 形成位于所述衬底表面的第一绝缘层 314。

20 示例性的，参考图 3l，通过氧化工艺对所述半导体柱进行氧化，使得半导体柱的第一部分 3051 全部被氧化成氧化柱 312，以及暴露出的半导体柱的第二部分的表面被氧化成氧化层 313，同时，衬底 304 的表面也被氧化形成一层氧化层。

这里，氧化柱 312 和氧化层 313 的材料相同。

25 示例性的，所述氧化柱 312 和所述氧化层 313 的组成材料包括但不限于氧化硅。

在一些实施例中，所述氧化柱 312 的材料与所述第一绝缘层 314 的材料相同或不同。

示例性的，第一绝缘层 314 的组成材料包括但不限于氧化硅。

30 这里，需要说明的是，前述实施例中通过对第一沟槽 301 和/或第二沟槽 303 进行扩大处理后，半导体柱的第一部分的尺寸较小，易于被完全氧化。而且在半导体柱的第一部分被完全氧化时，所述半导体柱的第二部分仅表面被氧化。

还需要说明的是，由于半导体柱的第二部分中第二子有源柱被支撑层 311 包围，因此，在对半导体柱的第一部分和第二部分进行氧化时，支撑层 311 可以用于保护半导体柱的顶部（即第二子有源柱）被支撑层 311 覆盖的部分不被氧化或损坏。

参考图 3m、图 3n，在步骤 S400 中，形成第一绝缘层 314；在步骤 S500 中，得到第一子有源柱。

40 参考图 3m，在形成有氧化层 313 的多个所述半导体柱之间填充第一绝缘材料 302，使得第一绝缘材料 302 与所述支撑层 311 的顶面基本齐平。

这里，填充第一绝缘材料 302 的方法包括但不限于 PVD、CVD 等工艺。

参考图 3n, 通过刻蚀工艺, 去除位于多个所述半导体柱之间的部分所述第一绝缘材料 302 以及位于所述半导体柱的第二部分表面的氧化层 313, 以得到第一子有源柱 3052a。

需要说明的是, 第一子有源柱 3052a 和第二子有源柱 3052b 构成半导体柱的第二部分 3052, 第二子有源柱 3052b 位于第一子有源柱 3052a 上。

这里, 剩余的所述第一绝缘材料 302 与所述氧化柱 312 构成第一绝缘层 314; 其中, 第一绝缘层 314 位于第一子有源柱 3052a 与所述衬底 304 之间。

所述刻蚀工艺包括但不限于干法等离子体刻蚀工艺。

在一些实施例中, 所述第一子有源柱 3052a 在所述衬底上的正投影位于所述第二子有源柱 3052b 在所述衬底上的正投影内。

在步骤 S600 中, 参考图 3o、图 3p、图 3q, 形成存储结构 315。

这里, 所述存储结构 315 用于存储数据。示例性的, 所述存储结构 315 包括电容。

在一些实施例中, 所述至少在所述第一子有源柱 3052a 的侧壁形成存储结构, 包括:

形成覆盖所述第一子有源柱 3052a 侧壁的第一导电层 3151;

形成覆盖所述第一导电层的表面及所述第一绝缘层 314 顶面的介质层 3152;

在所述介质层 3152 中形成第二导电层 3153。

这里, 第一导电层用于作为电容的下电极; 介质层用于作为电容的电介质; 第二导电层用于作为电容的上电极。

在一些具体实施例中, 所述第一导电层 3151 的组成材料可以包括但不限于钌 (Ru)、氧化钌 (RuO)、氮化钛 (TiN)。

本公开实施例中, 可以通过选择性沉积工艺在所述第一子有源柱的侧壁形成第一导电层, 还可以通过其他沉积工艺形成。

所述选择性沉积工艺是指有选择性地第一导电层沉积在第一子有源柱的侧壁。这里, 所述其他沉积工艺包括但不限于 PVD、CVD、原子层沉积 (ALD, Atomic Layer Deposition) 等工艺。

在一些具体实施例中, 所述形成覆盖所述第一子有源柱 3052a 侧壁的第一导电层, 包括:

通过选择性沉积工艺, 形成覆盖所述第一子有源柱 3052a 侧壁的第一导电层。

需要说明的是, 本公开实施例中, 通过选择性沉积工艺形成第一导电层的过程中, 可以使得用于形成第一导电层的材料仅在所述第一子有源柱 3052a 的侧壁, 或形成在其他被选择的材料上, 而不形成在第一绝缘层 314 的顶面, 参考图 3o。这样, 一方面避免了在较高深宽比的间隙中形成第一导电层, 降低了工艺难度, 提高了工艺窗口; 另一方面, 还可以避免采用其他工艺形成第一导电层的过程中出现的空洞问题, 进而提高了半导体结构的可靠性。

参考图 3o, 通过沉积工艺在所述第一导电层的表面及所述第一绝缘层 314 顶面的介质层形成介质层 3152。

所述介质层的组成材料包括高介电常数 (High-K) 材料, 高介电常数材料一般指介电常数高于 3.9 的材料, 且通常显著高于该值。在一些具体示例中, 所述介质层的材料可以包括但不限于氧化铝 (Al_2O_3)、氧化锆 (ZrO)、氧化铪 (HfO_2)、

钛酸锶 (SrTiO₃) 等。

参考图 3o, 在所述介质层中形成第二导电层 3153。

在一些具体实施例中, 所述第二导电层的组成材料可以包括但不限于钨、氧化钨、氮化钛。

5 这里, 形成第二导电层的方法包括但不限于 PVD、CVD 等工艺。

需要说明的是, 上述实施例中形成第一导电层和第二导电层的方法也可以理解为采用选择性沉积工艺形成导电层对导电层 (CoC, Conductive on Conductive); 这里, 选择性沉积工艺包括但不限于 ALD 工艺等。

在一些实施例中, 所述方法还包括:

10 去除所述支撑层 311, 以暴露出所述第二子有源柱 3052b;

形成覆盖所述第二子有源柱的至少一侧的栅极结构;

在所述第二子有源柱相对的两端分别形成源极、漏极。

示例性的, 参考图 3p、图 3q, 通过刻蚀工艺, 去除所述支撑层 311, 以暴露出第二子有源柱 3052b。

15 需要说明的是, 在另一些具体实施例中, 所述介质层还形成在支撑层 311 的底部时, 所述去除支撑层 311 还包括: 去除位于所述支撑层 311 底部的介质层。

这里, 所述支撑层 311 的底部与所述第二子有源柱 3052b 的底面平行。

所述刻蚀工艺包括但不限于干法等离子体刻蚀工艺。

20 接下来, 参考图 3q, 通过工艺, 在所述第二子有源柱的至少一侧形成栅极结构 (图 3q 中未示出)。

这里, 不同类型的晶体管中, 栅极的形状不同; 示例性的, 柱型栅极晶体管中, 栅极以柱状形式形成在沟道区的一侧; 半环绕型栅极晶体管中, 栅极半包围沟道区; 全环绕型 (GAA, Gate All Around) 栅极晶体管中, 栅极全包围沟道区。

25 本公开实施例中的晶体管类型可以包括上述多种类型, 但不限于此。优选地, 所述晶体管的类型为全环绕型栅极晶体管。

需要说明的是, 这里的栅极结构包括栅极 (G, Gate) 和栅氧化层 (Gate oxide layer); 其中, 栅氧化层位于栅极与沟道区之间, 用于电隔离沟道区和栅极, 减小晶体管的热载流子效应。

30 这里, 栅极的材料可以包括金属或多晶硅 (Poly) 等。栅氧化层的材料可以包括但不限于氧化硅。

在一些实施例中, 栅极的形成方法包括但不限于 PVD、CVD、ALD 等。栅氧化层的形成方法包括但不限于原位氧化。

在所述第二子有源柱相对的两端分别形成源极、漏极 (图 3q 中未示出)。

35 在一些具体实施例中, 形成源极、漏极的方法包括但不限于掺杂工艺和扩散工艺等。

需要说明的是, 位于第二子有源柱相对的两端的源极和漏极的位置可以互换; 实际情况可以根据实际需求进行选择设置。

40 可以理解的是, 上述实施例中的存储器为晶体管-电容 (TOC, Transistor on Capacitor) 结构, 所述结构还包括: 多条位线, 位于所述晶体管上, 与所述第二子有源柱的顶部电接触。

因此, 在一些实施例中, 所述方法还包括: 在晶体管上形成位线 BL。

可以理解的是，位线 BL 用于在晶体管导通时，对所述晶体管执行读取或写入操作。

这里，将位线 BL 设置在晶体管的上方，并将位线 BL 作为金属位线（Metal BL），可以减少电阻，降低工艺难度；与存储器的电路设计方案更匹配。

5 基于此，本公开实施例中，通过在衬底上形成多个半导体柱，每一所述半导体柱包括第一部分和位于所述第一部分上的第二部分，使得所述第一部分最大径宽小于所述第二部分的最小径宽；然后通过氧化处理，将多个半导体柱的第一部分全部氧化成氧化柱，并在多个氧化柱的间隙填充第一绝缘材料；最后在每一氧化柱的顶面上形成相应的有源柱，使得有源柱与衬底之间绝缘；进而使得在有源柱的部分侧壁上形成的存储结构与衬底之间绝缘，从而改善存储结构的漏电问题，10 进而提高存储器的可靠性。

根据本公开的另一方面，本公开实施例又提供了一种半导体结构，包括：

衬底、多个氧化柱、多个有源柱、第一绝缘层、存储结构；

15 所述多个氧化柱位于所述衬底上，且沿第一方向和第二方向呈阵列排布；所述第一方向 and 所述第二方向均与所述衬底表面平行，且所述第一方向 and 所述第二方向相交；

所述第一绝缘层位于多个所述氧化柱的间隙中；

每一所述有源柱均位于相应的一个所述氧化柱的顶面上；

所述存储结构，至少覆盖所述有源柱的部分侧壁。

20 在一些实施例中，所述氧化柱的材料与所述第一绝缘层的材料相同或不同。

在一些实施例中，每一所述有源柱包括第一子有源柱，以及位于所述第一子有源柱上的第二子有源柱；所述第一子有源柱在所述衬底上的正投影位于所述第二子有源柱在所述衬底上的正投影内。

在一些实施例中，所述存储结构包括：

25 第一导电层，所述第一导电层覆盖所述第一子有源柱的侧壁；

介质层，覆盖所述第一导电层的表面及所述第一绝缘层的顶面；

第二导电层，位于所述介质层中。

30 在一些实施例中，所述半导体结构还包括：多个晶体管，每个所述晶体管的沟道结构位于所述第二子有源柱内，所述沟道结构的延伸方向垂直于所述衬底的表面。

在一些实施例中，所述晶体管包括：

环绕所述第二子有源柱设置的栅极结构，以及

分别设置在所述第二子有源柱相对的两个端部的源极和漏极。

在一些实施例中，所述半导体结构还包括：

35 多条位线，位于所述晶体管上，与所述第二子有源柱的顶部电接触。

根据本公开的再一方面，本公开实施例还提供了一种存储器，包括：一个或多个如本公开上述实施例中任一项所述的半导体结构。

40 基于此，本公开实施例中，通过在每一个有源柱与衬底之间设置相应的氧化柱，使得在有源柱的部分侧壁上形成的存储结构（如，电容）能够被隔离，进而减少存储结构（如，电容）在使用的过程中漏电问题的存在。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下

可以任意组合，得到新的方法实施例或设备实施例。

本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求要求的保护范围为准。

工业实用性

本公开实施例中，通过在衬底上形成多个半导体柱，每一所述半导体柱包括第一部分和位于所述第一部分上的第二部分，使得所述第一部分的最大径宽小于所述第二部分的最小径宽；然后通过氧化处理，将多个半导体柱的第一部分全部氧化成氧化柱，并在多个氧化柱的间隙填充第一绝缘材料；最后在每一氧化柱的顶面上形成相应的有源柱，使得有源柱与衬底之间绝缘；进而使得在有源柱的部分侧壁上形成的存储结构与衬底之间绝缘，从而改善存储结构的漏电问题，进而提高存储器的可靠性。

权利要求书

- 1.一种半导体结构，包括：
衬底、多个氧化柱、多个有源柱、第一绝缘层、存储结构；
所述多个氧化柱位于所述衬底上，且沿第一方向和第二方向呈阵列排布；所
5 述第一方向 and 所述第二方向均与所述衬底表面平行，且所述第一方向 and 所述第二
方向相交；
所述第一绝缘层位于多个所述氧化柱的间隙中；
每一所述有源柱均位于相应的一个所述氧化柱的顶面上；
所述存储结构，至少覆盖所述有源柱的部分侧壁。
- 10 2.根据权利要求1所述的半导体结构，其中，所述氧化柱的材料与所述第一
绝缘层的材料相同或不同。
- 3.根据权利要求1所述的半导体结构，其中，每一所述有源柱包括第一子有
源柱，以及位于所述第一子有源柱上的第二子有源柱；所述第一子有源柱在所述
衬底上的正投影位于所述第二子有源柱在所述衬底上的正投影内。
- 15 4.根据权利要求3所述的半导体结构，其中，所述存储结构包括：
第一导电层，所述第一导电层覆盖所述第一子有源柱的侧壁；
介质层，覆盖所述第一导电层的表面及所述第一绝缘层的顶面；
第二导电层，位于所述介质层中。
- 5.根据权利要求3所述的半导体结构，其中，所述半导体结构还包括：多个
20 晶体管，每个所述晶体管的沟道结构位于所述第二子有源柱内，所述沟道结构的
延伸方向垂直于所述衬底的表面。
- 6.根据权利要求5所述的半导体结构，其中，所述晶体管包括：
环绕所述第二子有源柱设置的栅极结构，以及
分别设置在所述第二子有源柱相对的两个端部的源极和漏极。
- 25 7.根据权利要求6所述的半导体结构，其中，所述半导体结构还包括：
多条位线，位于所述晶体管上，与所述第二子有源柱的顶部电接触。
- 8.一种存储器，包括：一个或多个如权利要求1至7中任一项所述的半导体
结构。
- 9.一种半导体结构的制作方法，所述方法包括：
30 在衬底上形成沿第一方向和第二方向呈阵列排布的多个半导体柱；每一所述
半导体柱包括第一部分和位于所述第一部分上的第二部分；其中，所述第一部分
的最大径宽小于所述第二部分的最小径宽；所述第一方向 and 所述第二方向均与所
述衬底表面平行，且所述第一方向 and 所述第二方向相交；
在所述半导体柱的顶部形成支撑层，所述支撑层覆盖所述第二部分的顶部侧
35 壁；
对所述半导体柱进行氧化处理，以使所述第一部分被完全氧化成氧化柱，暴
露的所述第二部分的表面被氧化成氧化层；
在多个所述氧化柱的间隙中填充第一绝缘材料，在所述衬底表面形成第一绝
缘层；

去除所述氧化层，得到第一子有源柱；

至少在所述第一子有源柱的侧壁形成存储结构。

10.根据权利要求9所述的半导体结构的制作方法，其中，所述在衬底上形成沿第一方向和第二方向呈阵列排布的多个半导体柱，包括：

5 提供半导体基底；

在所述基底中形成多条沿第一方向间隔排布的第一沟槽，以及多条沿第二方向间隔排布的第二沟槽；

对每一所述第一沟槽和/或所述第二沟槽底部进行扩大处理，形成所述多个半导体柱。

11.根据权利要求9所述的半导体结构的制作方法，其中，所述形成支撑层，包括：在多个所述半导体柱之间填充所述第一绝缘材料，刻蚀去除部分所述第一绝缘材料，暴露出所述半导体柱的顶部，得到第二子有源柱；

沉积第二绝缘材料，所述第二绝缘材料覆盖所述第二子有源柱的表面，在所述半导体柱的顶部形成第二绝缘层。

12.根据权利要求11所述的半导体结构的制作方法，其中，沿所述第二方向去除部分所述第二绝缘层形成第一浅沟槽，所述第一浅沟槽的底面与所述第二子有源柱的底面齐平，在所述第一浅沟槽内填充所述第一绝缘材料；

沿所述第一方向去除部分所述第二绝缘层形成第二浅沟槽，所述第二浅沟槽的底面与所述第二子有源柱的顶面齐平，在所述第二浅沟槽内填充所述第二绝缘材料；

去除所述半导体柱之间填充的所有第一绝缘材料，在所述半导体柱的顶部形成网格状的支撑层。

13.根据权利要求12所述的半导体结构的制作方法，其中，形成所述支撑层之后，氧化所述半导体柱，所述半导体柱的所述第一部分被完全氧化成氧化柱，暴露的所述半导体柱的所述第二部分的表面被氧化成氧化层；

再在所述半导体柱之间填充第一绝缘材料，刻蚀去除部分所述第一绝缘材料以及所述氧化层，剩余的所述第一绝缘材料与所述氧化柱形成位于所述衬底表面的第一绝缘层。

14.根据权利要求11所述的半导体结构的制作方法，其中，所述至少在所述第一子有源柱的侧壁形成存储结构，包括：

形成覆盖所述第一子有源柱侧壁的第一导电层；

形成覆盖所述第一导电层的表面及所述第一绝缘层顶面的介质层；

在所述介质层中形成第二导电层。

15.根据权利要求14所述的半导体结构的制作方法，其中，

所述形成覆盖所述第一子有源柱侧壁的第一导电层，包括：

通过选择性沉积工艺，形成覆盖所述第一子有源柱侧壁的第一导电层。

16.根据权利要求15所述的半导体结构的制作方法，其中，所述方法还包括：

去除所述支撑层，以暴露出所述第二子有源柱；

形成覆盖所述第二子有源柱的至少一侧的栅极结构；

在所述第二子有源柱相对的两端分别形成源极、漏极。

17.根据权利要求10所述的半导体结构的制作方法，其中，所述第一部分沿

所述第一方向的最大径宽小于所述第二部分沿所述第一方向的最小径宽；

和/或，

所述第一部分沿所述第二方向的最大径宽小于所述第二部分沿所述第二方向的最小径宽。