

一种内部错误检查电路和存储器

相关申请的交叉引用

本申请要求于 2024 年 12 月 03 日提交中国专利局、申请号为 202411754887.3、申请名称为“一种内部错误检查电路和存储器”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种内部错误检查电路和存储器。

背景技术

随着半导体技术的不断发展，人们在制造和使用计算机等设备时，对数据的传输速度提出了越来越高的要求。为了获得更快的数据传输速度，应运而生了一系列数据可以双倍速率（Double Data Rate，DDR）传输的动态随机存取存储器件 DRAM。

然而，随着存储器的传输速度越来越快、存储单元工艺尺寸缩小以及行锤击（Row hammer）等原因，DRAM 存储器中存在的电荷泄漏等问题越来越严重，这可能增加存储系统数据的不稳定性和潜在的错误率。因此，需要适当的内部错误检查机制，定期对存储器进行内部错误检查并及时纠正检查到的错误，以确保数据的完整性和系统的可靠性。

发明内容

本公开实施例提供了一种内部错误检查电路和存储器。

第一方面，本公开实施例提供了一种内部错误检查电路，包括：时钟生成电路、内部命令生成电路、地址生成电路、控制逻辑电路和纠错电路；所述时钟生成电路，配置为，响应于自刷新使能信号，生成并输出自刷新时钟信号；所述内部命令生成电路，配置为，接收自刷新时钟信号和错误检查使能信号，在所述错误检查使能信号指示内部错误检查功能开启时对所述自刷新时钟信号进行计数，并在所述自刷新时钟信号的计数值为第一预设值时，生成并输出一个内部错误检查命令信号；所述地址生成电路，配置为，接收所述内部错误检查命令信号，并对所述内部错误检查命令信号进行计数，以生成并输出内部错误检查地址；所述控制逻辑电路，配置为，接收所述内部错误检查命令信号和所述内部错误检查地址，并响应于所述内部错误检查命令信号，控制所述纠错电路依次对多个存储阵列中所述内部错误检查地址对应的目标存储单元执行一次内部读-修改-写操作；其中，所述多个存储阵列共用所述纠错电路。

在一些实施例中，所述控制逻辑电路包括多个存储阵列控制电路，所述多个存储阵列控制电路与所述多个存储阵列一一对应；每个所述存储阵列控制电路，配置为，接收所述内部错误检查命令信号和所述内部错误检查地址，响应于所述内部错误检查命令信号依次生成多组内部信号，并在对应的存储阵列处于使能状态时，根据对应的一组内部信号控制所述纠错电路对对应的存储阵列中的所述目标存储单元执行一次内部读-修改-写操作；其中，每组内部信号包括内部读信号和内部写信号。

在一些实施例中，所述纠错电路，配置为，根据所述内部读信号从所述目标存储单元中读取存储数据，并对所述存储数据进行检错和纠错以生成校正数据；所述纠错电路，还配置

为, 根据内部写信号将所述校正数据写入所述目标存储单元中。

在一些实施例中, 所述内部命令生成电路, 还配置为, 在所述错误检查使能信号指示内部错误检查功能未开启时, 响应于所述自刷新时钟信号上的每个脉冲, 生成并输出一个内部自刷新命令信号; 以及在所述错误检查使能信号指示内部错误检查功能开启且所述自刷新时钟信号的计数值不为第一预设值时, 生成并输出一个内部自刷新命令信号。

在一些实施例中, 所述控制逻辑电路, 还配置为, 在控制所述纠错电路依次对多个存储阵列中所述内部错误检查地址对应的目标存储单元执行一次内部读-修改-写操作后, 控制对所有存储阵列执行一次自刷新操作。

在一些实施例中, 所述地址生成电路包括列地址生成电路、第一译码电路和行地址生成电路; 所述列地址生成电路, 配置为接收所述内部错误检查命令信号, 根据所述内部错误检查命令信号对当前存储行进行列计数, 生成并输出目标列地址; 所述第一译码电路, 配置为对所述目标列地址进行译码, 在所述目标列地址指示当前存储行的列计数完成时, 生成并输出列结束信号; 所述行地址生成电路, 配置为接收所述列结束信号和所述内部错误检查命令信号, 并根据所述列结束信号对存储阵列进行行计数, 生成并输出目标行地址信号。

在一些实施例中, 所述行地址生成电路包括: 行计数电路, 配置为接收所述列结束信号, 并根据所述列结束信号对存储阵列进行行计数, 生成并输出行计数值; 行地址采样电路, 配置为接收所述内部错误检查命令信号和所述行计数值, 并响应于所述内部错误检查命令信号对所述行计数值进行采样, 生成并输出所述目标行地址信号。

在一些实施例中, 所述地址生成电路还包括刷新地址生成电路, 配置为接收所述内部自刷新命令信号, 并根据所述内部自刷新命令信号对存储阵列进行行计数, 生成并输出自刷新地址; 所述控制逻辑电路, 还配置为, 基于所述自刷新地址控制对所有存储阵列执行一次刷新操作。

在一些实施例中, 所述列地址生成电路包括N个级联的第一触发器, N为大于或等于1的整数; 第一级所述第一触发器的时钟控制端作为所述列地址生成电路的输入端, 接收所述内部错误检查命令信号; 每一级所述第一触发器的反相输出端与自身的数据输入端连接; 除第一级所述第一触发器之外的其他所述第一触发器的时钟控制端均与前一级所述第一触发器的反相输出端连接; N个所述第一触发器的正相输出端共同输出所述目标列地址; 所述第一译码电路包括第一与非门, 所述第一与非门的N个输入端分别与N个所述第一触发器的正相输出端连接, 所述第一与非门的输出端用于输出所述列结束信号。

在一些实施例中, 所述行计数电路包括M个级联的第二触发器, M为大于或等于1的整数; 第一级所述第二触发器的时钟控制端作为所述行计数电路的输入端, 接收所述列结束信号; 每一级所述第二触发器的反相输出端与自身的数据输入端连接; 除第一级所述第二触发器之外的其他所述第二触发器的时钟控制端均与前一级所述第二触发器的反相输出端连接; M个所述第二触发器的正相输出端共同输出所述行计数值; 所述行地址采样电路包括M个第三触发器; 每一个所述第三触发器的时钟控制端均接收所述内部错误检查命令信号; M个所述第三触发器的数据输入端与M个所述第二触发器的正相输出端一一对应连接, 接收所述行计数值; M个所述第三触发器的正相输出端共同输出所述目标行地址。

在一些实施例中, 所述存储阵列控制电路包括: 标识信号生成电路, 配置为接收所述内部错误检查命令信号, 并响应于所述内部错误检查命令信号, 生成并输出处于有效电平的操作标识信号; 读/写命令生成电路, 配置为接收所述操作标识信号和所述内部错误检查命令信号, 并响应于所述内部错误检查命令信号, 在所述操作标识信号处于有效电平期间依次生成多组内部信号; 所述标识信号生成电路, 还配置为接收所述内部写信号, 并在所述内部写信号的计数值达到第二预设值时, 将所述操作标识信号设置为无效电平。

在一些实施例中, 所述标识信号生成电路包括: 命令计数电路, 配置为, 对所述内部写信号的反相信号进行计数, 以生成并输出所述内部写信号的计数值; 第二译码电路, 配置为, 接收所述内部写信号的计数值, 并在所述内部写信号的计数值为第二预设数值时, 生成并输

出操作结束信号；SR 触发器，配置为，接收所述内部错误检查命令信号和所述操作结束信号，并响应于所述内部错误检查命令信号，将所述操作标识信号设置为有效电平，以及在所述内部写信号的计数值达到第二预设值时，将所述操作标识信号设置为无效电平。

5 在一些实施例中，所述读/写命令生成电路包括：第二与非门，所述第二与非门的第一输入端接收所述操作标识信号，所述第二与非门的第二输入端接收所述内部错误检查命令信号；第一或非门，所述第一或非门的第一输入端与所述第二与非门的输出端电连接，所述第一或非门的输出端用于输出所述内部读信号；第二或非门，所述第二或非门的第一输入端与所述第一或非门的输出端电连接，所述第二或非门的输出端与所述第二与非门的第二输入端电连接；延迟单元，所述延迟单元的输入端与所述第一或非门的输出端电连接；第一非门，所述  
10 第一非门的输入端与所述延迟单元的输出端电连接，所述第一非门的输出端与所述第二或非门的第二输入端电连接；第二非门，所述第二非门的输入端接收所述操作标识信号；第三或非门，所述第三或非门的第一输入端与所述第二非门的输出端电连接，所述第三或非门的第二输入端与所述第一或非门的输出端电连接，所述第三或非门的输出端用于输出所述内部写信号。

15 在一些实施例中，所述存储阵列控制电路还包括：自刷新控制电路，配置为接收所述操作标识信号和自刷新地址，并在所述操作标识信号翻转至无效电平时，根据所述自刷新地址控制对应的存储阵列执行一次刷新操作。

20 在一些实施例中，所述纠错电路，还配置为，在对所述目标存储单元执行内部读-修改-写操作时，若所述目标存储单元中的存储数据存在错误时，生成并输出错误标识信号；所述内部错误检查电路还包括：错误寄存器，配置为，接收所述内部错误检查地址和所述错误标识信号，并响应于所述错误标识信号，将所述内部错误检查地址进行存储。

第二方面，本公开实施例提供了一种存储器，该存储器包括如第一方面所述的内部错误检查电路。

25 本公开实施例提供了一种内部错误检查电路和存储器，该内部错误检查电路中的内部命令生成电路，在错误检查使能信号指示内部错误检查功能开启且每当自刷新时钟信号的计数值达到第一预设值时，可以“偷取”自刷新时钟信号上的当前脉冲以生成内部错误检查命令信号，而控制逻辑电路可以基于该内部错误检查命令信号，复用原有的执行外部读-修改-写命令的操作电路和路径，控制纠错电路依次对共用其的多个存储阵列中的目标存储单元执行一次内部读-修改-写操作，由于纠错电路执行的内部读-修改-写操作具有数据检错/纠错的功能。如此，内存错误检查电路便可复用原有的时钟生成电路（用于自刷新操作）、执行外部  
30 读-修改-写命令的操作电路和路径，不会对原有的自刷新操作、外部读-修改-写操作的时序造成影响，并且仅需要对原有的内部命令生成电路、地址生成电路和控制逻辑电路进行简单改进，就可以实现对多个存储阵列进行定期的数据错误检错/纠错操作，在实现了内部错误检查机制以有效提升存储数据稳定性的前提下，优化了电路设计，节省了电路面积。

## 35 附图说明

- 图1为本公开实施例提供的一种内部错误检查电路的组成结构示意图；  
图2为本公开实施例提供的一种控制逻辑电路的组成结构示意图；  
图3为本公开实施例提供的一种存储区域的组成结构示意图；  
图4为本公开实施例提供的一种内部错误检查电路对应的信号时序图一；  
40 图5为本公开实施例提供的一种地址生成电路的组成结构示意图；  
图6为本公开实施例提供的一种内部错误检查电路对应的信号时序图一；  
图7为本公开实施例提供的一种行地址生成电路的组成结构示意图；  
图8为本公开实施例提供的一种列地址生成电路的组成结构示意图；  
图9为本公开实施例提供的一种第一译码电路的组成结构示意图；  
45 图10为本公开实施例提供的一种行计数电路和行地址采样电路的组成结构示意图；

- 图 11 为本公开实施例提供的一种存储阵列控制电路的组成结构示意图；  
图 12 为本公开实施例提供的一种标识信号生成电路的组成结构示意图；  
图 13 为本公开实施例提供的另一种存储阵列控制电路的组成结构示意图；  
图 14 为本公开实施例提供的一种读/写命令生成电路的组成结构示意图；  
5 图 15 为本公开实施例提供的另一种内部错误检查电路的组成结构示意图；  
图 16 为本公开实施例提供的一种存储器的组成结构示意图。

### 具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅用于解释相关公开，而非对该公开的限定。  
10 另外还需要说明的是，为了便于描述，附图中仅示出了与有关公开相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以  
15 理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅仅是区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序  
20 实施。

为了建立适当的内部错误检查机制，以定期对（存储器内的）多个存储阵列进行检错/纠错操作，本公开实施例提供了一种内部错误检查电路包括时钟生成电路、内部命令生成电路、地址生成电路、控制逻辑电路和纠错电路；其中，时钟生成电路，配置为，响应于自刷新使能信号，生成并输出自刷新时钟信号；内部命令生成电路，配置为，接收自刷新时钟信号和错误检查使能信号，在错误检查使能信号处于有效电平时对自刷新时钟信号（上的脉冲）  
25 进行计数，并在自刷新时钟信号的计数值为第一预设值时，生成并输出一个内部错误检查命令信号；地址生成电路，配置为，接收内部错误检查命令信号，并对内部错误检查命令信号进行计数，以生成并输出内部错误检查地址；控制逻辑电路，配置为，接收内部错误检查命令信号和内部错误检查地址，并响应于内部错误检查命令信号，控制纠错电路依次对多个存储阵列中内部错误检查地址对应的目标存储单元执行一次内部读-修改-写操作；其中，多个存储阵列共用纠错电路。这样，在错误检查使能信号指示内部错误检查功能开启且每当自刷新时钟信号的计数值达到第一预设值时，内部命令生成电路可以“偷取”自刷新时钟信号上的当前脉冲以生成内部错误检查命令信号，控制逻辑电路还可以复用原有的执行外部读-修改-写命令的操作电路和路径，并基于该内部错误检查命令信号控制纠错电路依次对共用其  
30 的多个存储阵列中的目标存储单元执行一次（内部的）读-修改-写操作，由于纠错电路执行的内部读-修改-写操作具有数据检错/纠错的功能。如此，内存错误检查电路便可复用原有的时钟生成电路（用于自刷新操作）、执行外部读-修改-写命令的操作电路和路径，不会对原有的自刷新操作、外部读-修改-写操作的时序造成影响，并且仅需要对原有的内部命令生成电路、地址生成电路和控制逻辑电路进行简单改进，就可以实现对多个存储阵列进行定期的数据错误检错/纠错操作，在实现了内部错误检查机制以有效提升存储数据稳定性的前提下，优化了电路设计，节省了电路面积。

下面将结合附图对本公开各实施例进行详细说明。

本公开的一实施例中，参见图 1，其示出了本公开实施例提供的一种内部错误检查电路  
10 的组成结构示意图。如图 1 所示，该内部错误检查电路 10，包括：时钟生成电路 11、内部命令生成电路 12、地址生成电路 13、控制逻辑电路 14 和纠错电路 16，其中，  
45

时钟生成电路 11, 配置为, 响应于自刷新使能信号 SR\_EN, 生成并输出自刷新时钟信号 SR\_CLK; 其中, 自刷新时钟信号 SR\_CLK 具有第一预设周期;

内部命令生成电路 12, 配置为, 接收自刷新时钟信号 SR\_CLK 和错误检查使能信号, 在错误检查使能信号指示内部错误检查功能开启时对自刷新时钟信号 SR\_CLK (上的脉冲) 进行计数, 并在自刷新时钟信号 SR\_CLK 的计数值为第一预设值时, 生成并输出一个内部错误检查命令信号 IMWRAB ;

地址生成电路 13, 配置为, 接收内部错误检查命令信号 IMWRAB, 并对内部错误检查命令信号 IMWRAB 进行计数, 以生成并输出内部错误检查地址 IMWR\_AD ;

控制逻辑电路 14, 配置为, 接收内部错误检查命令信号 IMWRAB 和内部错误检查地址 IMWR\_AD, 并响应于内部错误检查命令信号 IMWRAB, 控制纠错电路 16 依次对多个存储阵列 15 中内部错误检查地址 IMWR\_AD 对应的目标存储单元执行一次内部读-修改-写操作; 其中, 多个存储阵列 15 共用纠错电路 16。

需要说明的是, 本公开实施例涉及内部错误检查和纠正机制的电路总体框架设计, 特别涉及 DRAM LPDDR 系列芯片、DRAM DDR4 芯片中, 由于 ECS 功能仅在 DRAM DDR4 芯片的 SPEC 中进行规定, 而 LPDDR 系列芯片以及 DDR4 芯片的 SEPC 中尚未规定 ECS 功能以及相关要求, 没有办法利用 ECS 功能定期 (可以是每 12 小时/24 小时/48 小时等) 对此类 DRAM 芯片进行完整的错误检查与清除, 因此, 为在此类芯片中实现类似于 ECS 功能的内部错误检查和纠正机制, 需要在不影响 DRAM 芯片原有的功能和时序要求的前提下, 完成内部错误检查电路的总体框架设计。该内部错误检查电路复用了原有用于自刷新操作的时钟生成电路、自刷新命令的路径以及用于执行外部读-修改-写命令的操作电路和路径, 不会对 DRAM 芯片原有的自刷新操作、外部读-修改-写操作的功能和时序造成影响, 仅需要对原有的内部命令生成电路、地址生成电路和控制逻辑电路进行简单改进, 就可以实现定期的内部错误检查和纠正机制。该内部错误检查电路可以应用于 DDR4 芯片、LPDDR 系列芯片中, 但不局限于此范围, 其他存储器芯片、以及其他内部产生命令、时序控制等均可采用此设计。

还需要说明的是, 在相关技术中, 当 DRAM 芯片接收到的外部写命令为部分写命令 (Masked Write, MWR) 时, 会执行外部读-修改-写 (Read-Modify-Write, RMW) 操作, 外部读-修改-写操作可分解为读取、修改、写回三个操作步骤, 具体地, 读取: 纠错电路先从存储阵列中读取存储数据, 修改: 纠错电路根据待写入的部分数据对读取到的存储数据进行修改以生成写入数据, 并可以根据该写入数据生成新的校验数据, 写回: 纠错电路将该写入数据和校验数据进行存储。本公开实施例的内部错误检查电路 10, 复用了对 DRAM 芯片原有的外部读-修改-写操作的相关电路和路径, 对存储阵列中的存储数据执行内部读-修改-写操作, 以实现内部错误检错/纠错功能, 内部读-修改-写操作可分解为读取-修改、写回两个操作步骤, 具体地, 读取-修改: 纠错电路 16 基于内部读信号 IRD 从存储阵列 15 中读取存储数据, 并基于校验数据对存储数据进行检错和纠错以生成校正数据, 写: 基于内部写信号 IWR 将该校正数据写入存储阵列中, 其中, 读取和修改操作均在写命令信号有效期间完成, 应属于同一个操作步骤。由此可知, 本公开实施例中的内部读-修改-写操作, 尽管复用了外部读-修改-写操作的相关电路 (纠错电路 16) 和路径 (控制逻辑电路 14、纠错电路 16 和存储阵列 15 之间的交互路径), 但内部读-修改-写操作与外部读-修改-写操作存在区别, 外部读-修改-写操作中的修改是指根据待写入的部分数据将读取到的存储数据进行修改, 而内部读-修改-写操作中没有外部输入的待写入数据, 其修改实质上是指对读取到的存储数据进行检错和纠错操作。另外, 执行一次内部读-修改-写操作可以认为是完成一次内部错误检查操作, 并且由于纠错电路 16 基于内部错误检查命令对存储阵列的读操作, 每次仅能读取到一个存储地址 (内部错误检查地址) 的若干位存储数据, 可以是 64bit、128bit、256bit 等, 因此需要基于每个内部错误检查命令对存储阵列的列和行进行计数以遍历存储阵列中每一个存储地址, 这样, 每个内部错误检查命令可以对应生成一个内部错误检查地址, 进而保证对存储阵列的所有存储单元中的存储数据均可以执行内部读-修改-写操作, 在对存储阵列的所有存

储单元都执行过一次内部读-修改-写操作可以认为是完成一轮内部错误检查操作。

如图 1 所示, 时钟生成电路 11 是用来在自刷新使能信号 SR\_EN 指示存储器进入自刷新状态时产生自刷新时钟信号 SR\_CLK 的, 在未引入内部错误检查功能时, 内部命令生成电路 12 可以基于该自刷新时钟信号 SR\_CLK 上的每个脉冲生成一个自刷新命令信号 IREFAB, 以控制执行一次自刷新操作。在引入内部错误检查功能后, 可以复用该时钟生成电路 11 和内部命令生成电路 12, 并对内部命令生成电路 12 进行简单改进, 即内部命令生成电路 12, 可以接收错误检查使能信号 IMWR\_EN, 在错误检查使能信号 IMWR\_EN 处于有效电平时指示内部错误检查功能开启, 内部命令生成电路 12 需要定期“偷取”自刷新时钟信号 SR\_CLK 上的一个脉冲生成内部错误检查命令信号 IMWRAB, 即每当自刷新时钟信号 SR\_CLK 的计数值为第一预设值时, 生成并输出一个内部错误检查命令信号 IMWRAB, 并同时发送给地址生成电路 13 和控制逻辑电路 14, 以控制执行内部读-修改-写操作, 此时, 不再基于被“偷取”的自刷新时钟信号 SR\_CLK 上的脉冲生成内部自刷新命令信号 IREFAB; 在错误检查使能信号 IMWR\_EN 处于无效电平时指示内部错误检查功能未开启, 内部命令生成电路 12 则基于自刷新时钟信号 SR\_CLK 生成内部自刷新命令信号 IREFAB, 执行原有的自刷新操作的相关功能。

需要说明的是, 自刷新时钟信号 SR\_CLK 的计数值是指对自刷新时钟信号 SR\_CLK 上的脉冲进行计数产生的计数值; 并且在生成内部错误检查命令信号 IMWRAB 后, 内部命令生成电路 12 需要将自刷新时钟信号 SR\_CLK 的计数值复位为 0, 以保证产生内部错误检查命令信号 IMWRAB 的时间间隔相同。

在一些实施例中, 第一预设值可以为大于 1 的任意整数, 即每间隔第一预设值个脉冲时内部命令生成电路 12 基于自刷新时钟信号 SR\_CLK 生成一个内部错误检查命令信号 IMWRAB; 在另外一些实施例中, 第一预设值为 1, 即自刷新时钟信号 SR\_CLK 上的每一个脉冲均对应生成一个内部错误检查命令信号 IMWRAB, 此时, 由于内部命令生成电路 12 不会基于自刷新时钟信号 SR\_CLK 产生自刷新命令信号 IREFAB, 为保证自刷新操作的正常执行, 需要在每次完成内部读-修改-写操作后紧接着执行一次自刷新操作。

在本公开实施例中, 有效电平为高电平(逻辑“1”), 无效电平为低电平(逻辑“0”); 在其他一些实施例中, 无效电平也可以为高电平(逻辑“1”), 有效电平为低电平(逻辑“0”), 对此并不作任何限定。

在一些实施例中, 时钟生成电路 11 可以是具有控制端的振荡器, 在外部自刷新入口命令(Self-Refresh Entry, SRE)指示存储器进入自刷新状态时, 会激活自刷新使能信号 SR\_EN, 振荡器的控制端在接收到激活状态的自刷新使能信号 SR\_EN 时起振, 生成并输出自刷新时钟信号 SR\_CLK。其中, 自刷新时钟信号的周期可以根据自刷新命令信号的间隔时间或自刷新周期来设置, 并且通常情况下, 自刷新时钟信号 SR\_CLK 的占空比小于 50%。在本公开实施例中, 自刷新使能信号 SR\_EN 为高电平(逻辑“1”)时处于激活状态, 为低电平(逻辑“0”)时处于去激活状态; 在其他一些实施例中, 自刷新使能信号 SR\_EN 为高电平(逻辑“1”)时处于去激活状态, 为低电平(逻辑“0”)时处于激活状态, 对此并不作任何限定。

继续参考图 1, 地址生成电路 13 用于根据内部命令生成电路 12 输出的内部错误检查命令信号 IMWRAB, 生成对应的内部错误检查地址 IMWR\_AD 以指示执行本次内部错误检查操作(内部读-修改-写操作)的目标存储单元, 以使控制逻辑电路 14 可以根据内部错误检查命令信号 IMWRAB, 控制纠错电路 16 依次对多个存储阵列 15 中的目标存储单元执行一次内部读-修改-写操作。其中, 内部错误检查地址 IMWR\_AD 包括目标行地址和目标列地址, 该内部错误检查地址 IMWR\_AD 被多个存储阵列 15 所共用, 即每个存储阵列 15 中均存在该内部错误检查地址 IMWR\_AD 指示的目标存储单元; 而且纠错电路 16 被多个存储阵列 15 所共用且纠错电路 16 同一时间仅能对一个存储阵列 15 中的目标存储单元执行内部读-修改-写操作, 因此, 基于每个内部错误检查命令信号 IMWRAB 和对应的内部错误检查地址

IMWR\_AD, 纠错电路 16 需要依次对每个存储阵列 15 中的目标存储单元执行一次内部读-修改-写操作, 即纠错电路 16 实质上先后执行了多次内部读-修改-写操作 (对应多组内部信号 IRD/IWR), 才能完成当前内部错误检查命令信号 IMWRAB 对应的内部错误检查操作 (内部读-修改-写操作)。

5 在一些实施例中, 纠错电路 16 可以为 On-die ECC 电路, 纠错电路 16 可以为被写入到存储阵列 15 中的写入数据生成校验数据, 还可以使用从存储阵列 15 中读取的存储数据和校验数据, 来检查和纠正存储数据中的错误, 本公开中的内部读-修改-写操作便是利用了纠错电路 16 可以对存储数据中的错误进行检查和纠正的功能。此外, 纠错电路 16 可以使用汉明码、RS code、卷积码等编码方式, 在此不作具体限定。

10 进一步地, 对于控制逻辑电路 14 的组成, 如图 2 所示, 控制逻辑电路 14 包括多个存储阵列控制电路 141, 多个存储阵列控制电路 141 与多个存储阵列 15 一一对应; 每个存储阵列控制电路 141, 配置为, 接收内部错误检查命令信号 IMWRAB 和内部错误检查地址 IMWR\_AD, 响应于内部错误检查命令信号 IMWRAB 依次生成多组内部信号 IRD/IWR, 并在对应的存储阵列 15 处于使能状态时, 根据对应的一组内部信号 IRD/IWR 控制纠错电路 16 对对应的存储阵列 15 中的目标存储单元执行一次内部读-修改-写操作; 其中, 每组内部信号包括内部读信号 IRD 和内部写信号 IWR。

需要说明的是, 在 DRAM 芯片中, 每个存储阵列 15 可以对应一个存储阵列控制电路 141, 存储阵列控制电路 141 不仅可以控制纠错电路 16 对对应的存储阵列 15 执行内部读-修改-写操作, 还可以控制纠错电路 16 对对应的存储阵列 15 执行外部读-修改-写操作, 即本公开实  
20 施例的内部错误检查电路 10 实现了对原有的外部读-修改-写操作的相关电路 (存储阵列控制电路 141 和纠错电路 16) 和路径 (存储阵列控制电路 141、纠错电路 16 和存储阵列 15 之间的交互路径), 仅对存储阵列控制电路 141 进行简单的改进, 便可以实现对存储阵列 15 中的存储数据执行内部读-修改-写操作, 以实现内部错误检错/纠错功能。

此外, 存储阵列控制电路 141 还可以控制对应的存储阵列 15 执行外部读-修改-写操作以及正常的读写操作, 具体地, 存储阵列控制电路 141 可根据激活命令信号、读/写命令信号、预充电信号、行地址、列地址等信息, 控制存储阵列中对应的存储单元依次执行字线开启、电  
25 荷共享、数据放大、数据读取、数据写入、预充电等操作, 实现存储数据的正确读出或写入。

示例性地, 如果 4 个存储阵列 15 (BA0、BA1、BA2、BA3) 共用 1 个纠错电路 16, 逻辑控制电路 14 包括 4 个存储阵列控制电路 141 (BA Logic0、BA Logic1、BA Logic2、BA Logic3), 与 4 个存储阵列 15 一一对应, 每个存储阵列控制电路 141 均生成 4 组内部信号 IRD/IWR (IRD0/IWR0、IRD1/IWR1、IRD2/IWR2、IRD3/IWR3), 依次使能 4 个存储阵列 BA0、BA1、BA2、BA3, 以保证纠错电路 16 同一时间仅对一个存储阵列 15 执行内部读-修改-写操作, 在第一时间段 T0, 每个存储阵列控制电路均发送第 1 组内部信号 IRD0/IWR0, 此时, 存储阵列 BA0 处于使能状态, 其他存储阵列 BA1、BA2、BA3 均未被使能, 纠错电路 16 仅接收对应的存储阵列控制电路 BA Logic0 发送的第 1 组内部信号 IRD0/IWR0, 控制对存储阵列 BA0 中的目标存储单元执行一次内部读-修改-写操作, 在第二时间段 T1, 每个存储阵列控制电路均发送第 2 组内部信号 IRD1/IWR1, 此时, 存储阵列 BA1 处于使能状态, 其他存储阵列 BA0、BA2、BA3 均未被使能, 纠错电路 16 仅接收对应的存储阵列控制电路 BA Logic1 发送的第 2 组内部信号 IRD1/IWR1, 控制对存储阵列 BA1 中的目标存储单元执行一次内部读-修改-写操作, 以此类推, 在第三时间段 T2, 纠错电路 16 仅接收对应的存储阵列控制电路 BA Logic2 发送的第 3 组内部信号 IRD2/IWR2, 控制对存储阵列 BA2 中的目标存储单元执行一次内部读-修改-写操作, 在第三时间段 T3, 纠错电路 16 仅接收对应的存储阵列控制电路 BA Logic3 发送的第 4 组内部信号 IRD3/IWR3, 控制对存储阵列 BA3 中的目标存储单元执行一次内部读-修改-写操作, 至此, 基于对应的存储阵列控制电路发送的一组内部信号, 纠错电路 16 依次对 4 个存储阵列 BA0、BA1、BA2、BA3 中的目标存储单元执  
45

行了一次内部读-修改-写操作。

参见图 3，其示出了本公开实施例提供的一种存储阵列 15、存储阵列控制电路 141 和纠错电路 16 的布局示意图。在图 3 所示的示例中，存储区域(Array region, 也称作 Core region) 包括 8 个存储组 (Bank Group, BG): BG0-BG7, 不同存储组之间可以同步进行操作，每个存储组对应一个纠错电路 16: ECC0-ECC7, 每个存储组包括 4 个存储阵列 15 (也称作存储体 Bank, BA): BA0、BA1、BA2 和 BA3, 每个存储组中的 4 个存储阵列 BA0、BA1、BA2 和 BA3 共用一个纠错电路 16, 每个存储组每个存储体对应一个存储阵列控制电路 151 (也称作存储体逻辑电路 Bank Logic), 以 BG1 中的 BA3 为例，存储阵列 BA3 包括 m 行 (Row): ROW0-ROWm, 存储阵列 BA3 包括 n 列 (Column, Col): Col0-Coln。在图 3 中，一个圆圈表示一个存储地址对应的多个存储单元，具体地，在存储阵列 BA3 中，根据一个存储地址 (包括行地址 ROW0 和行地址 Col0) 就可以定位出对应的多个存储单元，每次内部读-修改-写操作均是针对存储阵列 15 中的一个存储地址对应的多个存储单元。

在一些实施例中，内部命令生成电路 12 和地址生成电路 13, 被存储器内的所有存储阵列 15 共用，即内部命令生成电路 12 生成的内部错误检查命令信号 IMWRAB 以及地址生成电路 13 生成的内部错误检查地址 IMWR\_AD (包括目标行地址 Row\_ad 和目标列地址 Col\_ad) 均分别发送给每一个存储阵列 15 由于不同存储组 BG0-BG7 之间可以同步进行操作，因此每个存储组 BG 需要对应设置 1 个控制逻辑电路 14 和 1 个纠错电路 16, 而每个存储组 BG 内的多个存储阵列 15 则可共用 1 个控制逻辑电路 14 和 1 个纠错电路 16。具体地，如图 3 所示，存储区域内包括共  $4 \times 8 = 32$  个存储阵列 15, 8 个存储组中的 32 个存储阵列 15 共用 1 个内部命令生成电路 12 和地址生成电路 13。其中，每个存储组 BG 对应 1 个控制逻辑电路 14 (包括 4 个存储阵列控制电路 141) 和 1 个纠错电路 16, 8 个存储组对应 8 个控制逻辑电路 14 (32 个存储阵列控制电路) 和 8 个纠错电路 16, 其中，每个存储组 BG 中的 4 个存储阵列 15 共用 1 个纠错电路 16, 每个存储阵列控制电路 141 对应控制 1 个存储阵列。

需要说明的是，存储阵列可以为存储体 BA, 也可以为存储组 BG、存储块 Block, 在这里以存储阵列为存储体 BA 进行举例说明，但不构成对公开的限定。

在一些实施例中，如图 1-2 所示，纠错电路 16, 配置为，根据内部读信号 IRD 从目标存储单元中读取存储数据 RD\_Data, 并对存储数据 RD\_Data 进行检错和纠错以生成校正数据 WR\_Data; 纠错电路 16, 还配置为，根据内部写信号 IWR 将校正数据 WR\_Data 写入目标存储单元中。

需要说明的是，如图 2 所示，纠错电路 16 需要基于多组内部信号 IRD/IWR 依次对多个存储阵列 15 执行一次内部读-修改-写操作，纠错电路 16 对每个存储阵列 15 执行内部读-修改-写操作时均需要执行上述的读-修改功能 (即，根据内部读信号 IRD 从目标存储单元中读取存储数据 RD\_Data, 并对存储数据 RD\_Data 进行检错和纠错以生成校正数据 WR\_Data) 和写功能 (即，根据内部写信号 IWR 将校正数据 WR\_Data 写入目标存储单元中)。

在一些实施例中，如图 1 所示，内部命令生成电路 12, 还配置为，在错误检查使能信号 IMWR\_EN 指示内部错误检查功能未开启时，响应于自刷新时钟信号 SR\_CLK 上的每个脉冲，生成并输出一个内部自刷新命令信号 IMWRAB; 以及在错误检查使能信号 IMWR\_EN 指示内部错误检查功能开启且自刷新时钟信号 SR\_CLK 的计数值不为第一预设值时，生成并输出一个内部自刷新命令信号 IMWRAB。

需要说明的是，如前所述，在错误检查使能信号 IMWR\_EN 处于有效电平时指示内部错误检查功能开启，内部命令生成电路 12 需要定期“偷取”自刷新时钟信号 SR\_CLK 上的一个脉冲生成内部错误检查命令信号 IMWRAB; 而在自刷新时钟信号 SR\_CLK 的计数值不为第一预设值时，或者在错误检查使能信号 IMWR\_EN 处于无效电平时指示内部错误检查功能未开启时，不需要“偷取”自刷新时钟信号 SR\_CLK 上的一个脉冲生成内部错误检查命令信号 IMWRAB, 内部命令生成电路 12 继续基于自刷新时钟信号 SR\_CLK 自刷新时钟信号 SR\_CLK 上的脉冲生成并输出一个内部自刷新命令信号 IREFAB, 执行原有的自刷新操作的

相关功能。

结合图 4 所示的信号时序图，对本公开实施例提供的内部错误检查电路 10 的工作原理进行说明，具体如下：

在  $t_0$  时刻，在外部自刷新入口命令 SRE 指示存储器进入自刷新状态时，会激活自刷新使能信号 SR\_EN，即，将自刷新使能信号 SR\_EN 由低电平翻转至高电平；时钟生成电路 11 响应于自刷新使能信号 SR\_EN 开始生成并输出自刷新时钟信号 SR\_CLK；

在  $t_0-t_1$  阶段，错误检查使能信号 IMWR\_EN 处于无效电平（低电平），此时内部错误检查功能未开启，内部命令生成电路 12 基于自刷新时钟信号 SR\_CLK 生成内部自刷新命令信号 IREFAB，以控制存储阵列 15 执行原有的自刷新操作；

在  $t_1$  时刻，错误检查使能信号 IMWR\_EN 翻转至有效电平（高电平），此时内部错误检查功能开启，内部命令生成电路 12 对自刷新时钟信号 SR\_CLK 上的脉冲开始进行计数；

在  $t_2$  时刻，当自刷新时钟信号 SR\_CLK 上的脉冲的计数值第一次达到第一预设值时，生成第一个内部错误检查命令信号 IMWRAB，并将计数值复位；

在  $t_2-t_3$  阶段，地址生成电路 13 根据接收到的第一个内部错误检查命令信号 IMWRAB 进行存储阵列的行/列地址计数，生成并输出目标行地址 Row\_ad=RA 和目标列地址 Col\_ad=CA+1=000000（以列地址为 6bit 信号，列地址 CA 为初始值 111111 进行举例说明），即内部错误检查地址 IMWR\_AD；控制逻辑电路 14（或者存储阵列控制电路 141）根据接收到的内部错误检查命令信号 IMWRAB，在  $t_3$  时刻将操作标识信号 IMWR\_FLAG 设置为有效电平（高电平）；在这里，内部错误检查命令信号 IMWRAB 实际上是指内部错误检查命令信号上的脉冲；

需要说明的是，图 4 所示的时序图中，已将电路之间的传输延迟以及电路器件本身存在的延迟考虑在内，因此，部分关联信号的变化时刻并没有完全对齐，具体地，内部错误检查命令信号 IMWRAB 在  $t_2$  时刻生成，与其相关联的操作标识信号 IMWR\_FLAG 则在  $t_2$  时刻之后的  $t_3$  时刻由无效电平翻转至有效电平；

在  $t_3-t_7$  阶段，操作标识信号 IMWR\_FLAG 处于有效电平，控制逻辑电路 14（或者存储阵列控制电路 141）依次生成 4 组内部信号，即交替生成 4 个内部读信号 IRD 和 4 个内部写信号 IWR，以控制纠错电路 16 依次对 4 个存储阵列 15 执行一次内部读-修改-写操作；在这里，以 4 个存储阵列 15（BA0-BA3）共用 1 个纠错电路 16 进行举例说明，并不构成限定；

具体地，在  $t_3-t_4$  阶段，内部写信号的计数值 IWR\_cnt 为初始值 00，此时存储阵列 BA0 处于使能状态，存储阵列 BA1-BA3 未被使能，纠错电路 16 接收控制逻辑电路 14（或者仅接收对应的存储阵列控制电路 141）发送的第一组内部信号，即， $t_3-t_4$  阶段发送的内部读信号 IRD 和内部写信号 IWR，纠错电路 16 基于该第一组内部信号对存储阵列 BA0 执行一次内部读-修改-写操作；在  $t_4$  时刻，基于内部写信号的反相信号 IWRB 的第一个上升沿，内部写信号的计数值 IWR\_cnt 由 00 变为 01，此时存储阵列 BA1 切换为使能状态，其他存储阵列未被使能，在  $t_4-t_5$  期间，纠错电路 16 接收控制逻辑电路 14（或者仅接收对应的存储阵列控制电路 141）发送的第二组内部信号，纠错电路 16 基于该第二组内部信号对存储阵列 BA1 执行一次内部读-修改-写操作；以此类推，在  $t_5-t_6$  期间，纠错电路 16 基于第三组内部信号对存储阵列 BA2 执行一次内部读-修改-写操作，在  $t_6-t_7$  期间，纠错电路 16 基于第四组内部信号对存储阵列 BA3 执行一次内部读-修改-写操作；

直至  $t_8$  时刻，基于内部写信号的反相信号 IWRB 的最后一个上升沿，内部写信号的计数值 IWR\_cnt 由 11 变为 00，操作结束信号 IMWR\_END 产生上升沿，即由无效电平（低电平，逻辑“0”）翻转至有效电平（高电平，逻辑“1”）；基于操作结束信号 IMWR\_END 的上升沿，操作标识信号 IMWR\_FLAG 由有效电平翻转至无效电平，至此，本次内部读-修改-写操作全部完成；

在  $t_9$  时刻，当自刷新时钟信号 SR\_CLK 上的脉冲的计数值再次达到第一预设值时，生成第二个内部错误检查命令信号 IMWRAB，并将计数值复位；地址生成电路 13 根据第二个

内部错误检查命令信号 IMWRAB 进行存储阵列的行/列地址计数，具体地，对列地址进行“+1”，生成并输出目标列地址 Col\_ad=CA+2=000001，目标行地址 Row\_ad=RA 保持不变；

直至 t10 时刻，当自刷新时钟信号 SR\_CLK 上的脉冲的计数值第 n 次达到第一预设值时，生成第 n 个内部错误检查命令信号 IMWRAB，假定 n 为 64，地址生成电路 13 对列地址执行第 64 次“+1”操作，生成并输出目标列地址 Col\_ad=111111，目标行地址 Row\_ad=RA 保持不变，此时，表明地址生成电路 13 已经对存储阵列 15 中第 RA 行的所有列地址 (Col\_ad=000000 到 Col\_ad=111111) 进行了遍历，纠错电路 16 将对第 RA 行的最后一个列地址 CA=111111 对应的存储单元执行内部读-修改-写操作；

需要说明的是，地址生成电路 13 每次需要基于内部错误检查命令信号 IMWRAB 同步采样输出的目标行地址 Row\_ad 和目标列地址 Col\_ad，而行计数值 Row\_cnt 会基于当前生成的目标列地址 Col\_ad 变化，即，地址生成电路 13 每次采样输出的目标行地址 Row\_ad 对应于前一个目标列地址 Col\_ad，并且由于下一个内部错误检查命令信号 IMWRAB 将指示纠错电路 16 对存储阵列 15 的下一行 RA+1 的第一个列地址 Col\_ad=000000 对应的存储单元执行内部读-修改-写操作，因此，在当前生成的目标列地址 Col\_ad=111111 时，便需要将行计数值 Row\_cnt 设置为 RA+1，以便于在接收到下一个内部错误检查命令信号 IMWRAB 时，地址生成电路 13 可以同步采样输出正确的目标行地址 Row\_ad=RA+1 和目标列地址 Col\_ad=000000。

在一些实施例中，如图 1 所示，控制逻辑电路 14，还配置为，在控制纠错电路 16 依次对多个存储阵列 15 中内部错误检查地址 IMWR\_AD 对应的目标存储单元执行一次内部读-修改-写操作后，控制对所有存储阵列 15 执行一次自刷新操作。

需要说明的是，在错误检查使能信号 IMWR\_EN 指示内部错误检查功能开启时，内部命令生成电路 12 需要定期“偷取”自刷新时钟信号 SR\_CLK 上的一个脉冲生成内部错误检查命令信号 IMWRAB，此时，不再基于被“偷取”的自刷新时钟信号 SR\_CLK 上的脉冲生成内部自刷新命令信号 IREFAB，此时，控制逻辑电路 14 无法再基于内部自刷新命令信号 IREFAB 执行自刷新操作，相当于少执行了一次自刷新操作；为保证在引入内部错误检查功能后，不对原有的自刷新功能造成影响，可以在控制逻辑电路 14 每次基于内部错误检查命令信号 IMWRAB 控制执行完内部读-修改-写操作后，紧接着对所有存储阵列 141 执行一次自刷新操作（无需等待自刷新时钟信号 SR\_CLK 的下一个脉冲），相当于弥补了因执行内部错误检查操作对原有的自刷新功能造成影响。

在一些实施例中，如图 5 所示，地址生成电路 13 包括列地址生成电路 131、第一译码电路 132 和行地址生成电路 133；

列地址生成电路 131，配置为接收内部错误检查命令信号 IMWRAB，根据内部错误检查命令信号 IMWRAB 对当前存储行进行列计数，生成并输出目标列地址 Col\_ad；

第一译码电路 132，配置为对目标列地址 Col\_ad 进行译码，在目标列地址 Col\_ad 指示当前存储行的列计数完成时，生成并输出列结束信号 Col\_End；

行地址生成电路 133，配置为接收列结束信号 Col\_End 和内部错误检查命令信号 IMWRAB，并根据列结束信号 Col\_End 对存储阵列进行行计数，生成并输出目标行地址信号 Row\_ad。

以图 3 示出的存储区域为例，结合图 4 和图 5 对地址生成电路 13 的工作原理进行说明。列地址生成电路 131 可以按顺序对存储阵列 15 中每一行的所有列地址 (Col\_ad=000000 到 Col\_ad=111111) 进行遍历，每次基于内部错误检查命令信号 IMWRAB 对当前的列地址执行“+1”计数，以生成并输出目标列地址 Col\_ad，直至在当前生成的目标行地址 Row\_ad=RA 以及目标列地址 Col\_ad=111111 时，如图 4 所示的 t10 时刻，表明列地址生成电路 131 已经对存储阵列 15 中当前行 RA 的所有列地址 (Col\_ad=000000 到 Col\_ad=111111) 完成了遍历计数，此时，第一译码电路 132 对当前的目标列地址 Col\_ad=111111 进行译码，输出列结束信号 Col\_End，以指示行地址生成电路 133 对当前的行地址执行“+1”计数，以生成并输出

新的目标行地址 RA+1。同时，列地址生成电路 131 下一次仍将对目标列地址 Col\_ad=111111 进行“+1”计数，得到新的目标列地址 Col\_ad=000000，以指示对下一行 RA+1 的第一个列地址对应的存储单元执行内容读-修改-写操作。

结合图 1、图 5 和图 6，对本公开实施例中内部错误检查电路 10 在控制执行完内部读-修改-写操作后继续执行一次自刷新操作的工作原理进行说明，具体如下：

在 t11 时刻，与图 4 类似，在外部自刷新入口命令 SRE 指示存储器进入自刷新状态时，激活自刷新使能信号 SR\_EN，时钟生成电路 11 开始生成并输出自刷新时钟信号 SR\_CLK；

在 t11-t13 阶段，错误检查使能信号 IMWR\_EN 处于无效电平，此时内部错误检查功能未开启，内部命令生成电路 12 基于自刷新时钟信号 SR\_CLK 上的每个脉冲生成一个内部自刷新命令信号 IREFAB，以控制存储阵列 15 执行一次自刷新操作；具体地，在 t13 时刻，内部命令生成电路 12 基于自刷新时钟信号 SR\_CLK 生成一个内部自刷新命令信号 IREFAB，同时，地址生成电路 13（或刷新地址生成电路 136）也基于内部自刷新命令信号 IREFAB 对存储阵列进行行计数，生成并输出自刷新地址 S\_RA，控制逻辑电路 14（或者存储阵列控制电路 141）控制对所有存储阵列 15 中自刷新地址 S\_RA 对应的存储行进行自刷新操作；

在 t13 时刻，错误检查使能信号 IMWR\_EN 翻转至有效电平，此时内部错误检查功能开启，内部命令生成电路 12 对自刷新时钟信号 SR\_CLK 上的脉冲开始进行计数；

在 t14-t16 阶段，当自刷新时钟信号 SR\_CLK 上的脉冲的计数值第一次达到第一预设值时（以第一预设值为 m 进行举例说明），内部命令生成电路 12 生成内部错误检查命令信号 IMWRAB 后，地址生成电路 13 和控制逻辑电路 14（或者存储阵列控制电路 141）控制纠错电路 16 依次对多个存储阵列 15 执行一次内部读-修改-写操作的时序，与图 4 所示相同，可参考前述内容，在此不再赘述；

需要说明的是，在 t13-t14 阶段，执行内部读-修改-写操作前（即自刷新时钟信号 SR\_CLK 上的脉冲的计数值第一次达到第一预设值 m 前），内部命令生成电路 12 已经生成了 m-1 个自刷新命令信号 IREFAB，相应地，地址生成电路 13（或刷新地址生成电路 136）也基于 m-1 个自刷新命令信号 IREFAB 对自刷新地址 SREF\_Row 执行了 m-1 次“+1”计数，自刷新地址 SREF\_Row 变为 S\_RA+m-1；在执行完内部读-修改-写操作后继续执行一次自刷新操作时，为避免本次自刷新操作对上一次的自刷新地址 S\_RA+m-1 重复执行自刷新操作，地址生成电路 13（或刷新地址生成电路 136）也需要对自刷新地址 SREF\_Row 进行“+1”计数，以输出该自刷新操作对应的自刷新地址 SREF\_Row，但由于内部命令生成电路 12 没有生成自刷新命令信号 IREFAB，因此，在 t14 时刻，地址生成电路 13（或刷新地址生成电路 136）可以基于内部错误检查命令信号 IMWRAB 对自刷新地址 SREF\_Row 进行“+1”计数，输出新的自刷新地址 SREF\_Row=S\_RA+m；

在 t16 时刻，操作标识信号 IMWR\_FLAG 由有效电平翻转至无效电平，表示所有存储阵列 15 均完成本次内部读-修改-写操作，此时，响应于操作标识信号 IMWR\_FLAG 的下降沿，控制逻辑电路 14（具体地，可以是存储阵列控制电路 141 中的自刷新控制电路 147）将自刷新窗口信号 SREF\_WIN 由无效电平（低电平，逻辑“0”）翻转至有效电平（高电平，逻辑“1”），基于处于有效电平的自刷新窗口信号 SREF\_WIN 和接收到的自刷新地址 S\_RA+m，控制逻辑电路 14（具体地，可以是存储阵列控制电路 141 中的自刷新控制电路 147）控制存储阵列 15 执行一次自刷新操作。

在一些实施例中，如图 7 所示，行地址生成电路 133 包括：行计数电路 134，配置为接收列结束信号 Col\_End，并根据列结束信号 Col\_End 对存储阵列 15 进行行计数，生成并输出行计数值 Row\_cnt；行地址采样电路 135，配置为接收内部错误检查命令信号 IMWRAB 和行计数值 Row\_cnt，并响应于内部错误检查命令信号 IMWRAB 对行计数值 Row\_cnt 进行采样，生成并输出目标行地址信号 Row\_ad。

需要说明的是，在控制逻辑电路 14（或者存储阵列控制电路 141）接收到内部错误检查命令信号 IMWRAB 后，还需要等待对应的内部错误检查地址（即目标行地址 Row\_ad 和目

标列地址 Col\_ad), 才可以控制纠错电路 16 执行内部读-修改-写操作, 为不影响存储器原有的外部读-修改-写操作时序的要求, 列地址生成电路 131 和行地址生成电路 133 每次均需要基于内部错误检查命令信号 IMWRAB 同步采样输出的目标行地址 Row\_ad 和目标列地址 Col\_ad, 这样可以保证输出目标行地址 Row\_ad 和目标列地址 Col\_ad 的时间相较于内部错误检查命令信号 IMWRAB 延迟较小。

还需要说明的是, 行计数电路 134 对列结束信号 Col\_End 进行行计数以生成行计数值 Row\_cnt, 行计数值 Row\_cnt 会基于当前生成的目标列地址 Col\_ad 变化, 而目标列地址 Col\_ad 又基于内部错误检查命令信号 IMWRAB 发生变化, 因此, 在行计数值 Row\_cnt 发生变化前, 行地址采样电路 135 已经基于内部错误检查命令信号 IMWRAB 对行计数值 Row\_cnt 完成采样并输出目标行地址 Row\_ad, 即, 行地址采样电路 135 每次采样输出的目标行地址 Row\_ad 对应于行地址生成电路 131 输出的前一个目标列地址 Col\_ad。

在一些实施例中, 如图 5 所示, 其中, 地址生成电路 13 还包括刷新地址生成电路 136, 配置为接收内部自刷新命令信号 IREFAB, 并根据内部自刷新命令信号 IREFAB 对存储阵列 15 进行行计数, 生成并输出自刷新地址 SREF\_Row; 控制逻辑电路 14, 还配置为, 基于自刷新地址 SREF\_Row 控制对所有存储阵列执行一次刷新操作。

需要说明的是, 刷新是对存储阵列 15 的一行或多行进行操作, 因此, 刷新地址生成电路 136 无需对列地址进行遍历计数, 仅需完成对行地址的遍历计数, 自刷新地址 SREF\_Row 仅包括行地址信息。

在一些实施例中, 继续参考图 5, 其中, 地址生成电路 13 还包括刷新地址生成电路 136, 配置为接收内部自刷新命令信号 IREFAB 或内部错误检查命令信号 IMWRAB, 并根据内部自刷新命令信号 IREFAB 或内部错误检查命令信号 IMWRAB 对存储阵列 15 进行行计数, 生成并输出自刷新地址 SREF\_Row。

参考图 6, 在 t16 时刻, 控制逻辑电路 14 控制执行完内部读-修改-写操作后继续执行一次自刷新操作时, 地址生成电路 13 包括的刷新地址生成电路 136 也需要将该自刷新操作对应的自刷新地址 SREF\_Row 同步输出至控制逻辑电路 14, 若刷新地址生成电路 136 仅基于内部自刷新命令信号 IREFAB 对存储阵列进行行计数, 但由于在自刷新时钟信号 SR\_CLK 的当前脉冲被“偷取”生成了内部错误检查命令信号 IMWRAB, 而没有生成内部自刷新命令信号 IREFAB, 此时刷新地址生成电路 136 也无法基于内部自刷新命令信号 IREFAB 对存储阵列进行行计数生成新的自刷新地址, 仍将输出上一次自刷新操作(t10 时刻前的刷新操作)对应的自刷新地址 S\_RA, 导致对同一个行地址的存储单元重复刷新两次。因此, 在此种情况下, 刷新地址生成电路 136 可以配置为, 同时接收内部错误检查命令信号 IMWRAB 和内部自刷新命令信号 IREFAB, 并根据内部错误检查命令信号 IMWRAB 或内部自刷新命令信号 IREFAB 对存储阵列进行行计数, 生成并输出自刷新地址 SREF\_Row, 即, 不论内部命令地址生成电路 12 生成的是内部错误检查命令信号 IMWRAB 还是内部自刷新命令信号 IREFAB, 刷新地址生成电路 136 均可以对存储阵列执行一次行计数, 如, 在 t10 时刻, 刷新地址生成电路 136 可以基于内部错误检查命令信号 IMWRAB 生成新的自刷新地址 S\_RA+m, 以确保在 t16 时刻, 内部读-修改-写操作后可以对新的自刷新地址 S\_RA+m 继续执行一次自刷新操作, 避免在 t15 时刻对同一个行地址执行两次自刷新操作。

在一些实施例中, 存储阵列控制电路 141, 可以控制对存储阵列 15 的多个存储行同时执行 1 次刷新操作, 此时, 刷新地址生成电路 136 可以同时输出多个自刷新地址, 每次根据内部错误检查命令信号 IMWRAB 或内部自刷新命令信号 IREFAB 对存储阵列进行行计数, 可能也并非执行+1 计数。示例性地, 基于模式寄存器中的参数配置, 存储阵列控制电路 141 可以对 4 个存储行同时执行刷新操作, 刷新地址生成电路 136 每次根据内部错误检查命令信号 IMWRAB 或内部自刷新命令信号 IREFAB 对存储阵列进行+4 的行计数, 若上一次自刷新操作对应的 4 个自刷新地址为 S\_RA、S\_RA+1、S\_RA+2、S\_RA+3, 本次输出的 4 个自刷新地址为 S\_RA+4、S\_RA+5、S\_RA+6、S\_RA+7。当然, 若存储阵列的存储行被划分为 4 组,

每组  $P$  个存储行，刷新地址生成电路 136 也可以每次进行+1 的行计数，上一次自刷新操作对应的 4 个自刷新地址为  $S\_RA$ 、 $S\_RA+P$ 、 $S\_RA+2P$ 、 $S\_RA+3P$  时，本次输出的 4 个自刷新地址为  $S\_RA+1$ 、 $S\_RA+P+1$ 、 $S\_RA+2P+1$ 、 $S\_RA+3P+1$ 。

5 在一些实施例中，如图 8-图 9 所示，其中，列地址生成电路 131 包括  $N$  个级联的第一触发器 DFF1， $N$  为大于或等于 1 的整数；第一级第一触发器 DFF1 的时钟控制端作为列地址生成电路 131 的输入端，接收内部错误检查命令信号 IMWRAB；每一级第一触发器 DFF1 的反相输出端与自身的数据输入端连接；除第一级第一触发器 DFF1 之外的其他第一触发器 DFF1 的时钟控制端均与前一级第一触发器 DFF1 的反相输出端连接； $N$  个第一触发器 DFF1 的正相输出端共同输出目标列地址 Col\_ad；第一译码电路包括第一与非门 137，第一与非门 137 的  $N$  个输入端分别与  $N$  个第一触发器 DFF1 的正相输出端连接，第一与非门 137 的输出端用于输出列结束信号。

图 8 和图 9 中以  $N=6$  举例进行说明，即目标列地址 Col\_ad<5:0>包括 6bit 信息，但对本公开并不构成限定。

需要说明的是，图 8 中所示的列地址生成电路 131 为同步二进制计数器，在其他一些实施例中，列地址生成电路 131 也可以通过异步二进制计数器来实现，在此不作具体限定；图 9 中所示第一译码电路 132，在 Col\_ad<5:0>为 111111 时输出列计数信号 Col\_End，即按照 CA=000000 到 CA=111111 的顺序对目标列地址 Col\_ad<5:0>进行遍历计数，在其他一些实施例中，也可以按照其他顺序进行遍历计数，具体地，可以是按照 CA=100000 到 CA=011111 的顺序对目标列地址 Col\_ad<5:0>进行遍历计数，此时，第一译码电路 132，在 Col\_ad<5:0>为 011111 时输出列计数信号 Col\_End。

20 在一些实施例中，如图 10 所示，其中，行计数电路 134 包括  $M$  个级联的第二触发器 DFF2， $M$  为大于或等于 1 的整数；第一级第二触发器 DFF2 的时钟控制端作为行计数电路 134 的输入端，接收列结束信号 Col\_End；每一级第二触发器 DFF2 的反相输出端与自身的数据输入端连接；除第一级第二触发器 DFF2 之外的其他第二触发器 DFF2 的时钟控制端均与前一级第二触发器 DFF2 的反相输出端连接； $M$  个第二触发器 DFF2 的正相输出端共同输出行计数值 Row\_cnt；行地址采样电路 135 包括  $M$  个第三触发器 DFF3；每一个第三触发器 DFF3 的时钟控制端均接收内部错误检查命令信号 IMWRAB； $M$  个第三触发器 DFF3 的数据输入端与  $M$  个第二触发器 DFF2 的正相输出端一一对应连接，接收行计数值 Row\_cnt； $M$  个第三触发器 DFF3 的正相输出端共同输出目标行地址 Row\_ad。

30 需要说明的是，图 10 中以  $M=15$  举例进行说明，即行计数值 Row\_cnt<14:0>和目标行地址 Row\_ad<14:0>均包括 15bit 信息，但对本公开并不构成限定；图 10 中所示的行计数电路 134 为同步二进制计数器，在其他一些实施例中，行计数电路 134 也可以通过异步二进制计数器来实现，在此不作具体限定。

35 在一些实施例中，如图 11 所示，其中，存储阵列控制电路 141 包括：标识信号生成电路 142，配置为接收内部错误检查命令信号 IMWRAB，并响应于内部错误检查命令信号 IMWRAB，生成并输出处于有效电平的操作标识信号 IMWR\_FLAG；读/写命令生成电路 143，配置为接收操作标识信号 IMWR\_FLAG 和内部错误检查命令信号 IMWRAB，并响应于内部错误检查命令信号 IMWRAB，在操作标识信号 IMWR\_FLAG 处于有效电平期间依次生成多组内部信号；标识信号生成电路 142，还配置为接收内部写信号 IWR，并在内部写信号 IWR 的计数值达到第二预设值时，将操作标识信号 IMWR\_FLAG 设置为无效电平。

需要说明的是，第二预设值与每个存储组 BG 内共用纠错电路 16 的多个存储阵列 15 的数量相关联，即保证读/写命令生成电路 143 生成并输出的多组内部信号（内部读信号 IRD 和内部写信号 IWR），可以控制纠错电路 16 依次对多个存储阵列 15 均执行过 1 次内部读-修改-写操作。

45 在一些实施例中，如图 12 所示，其中，标识信号生成电路 142 包括：命令计数电路 144，配置为，对内部写信号 IWR 的反相信号进行计数，以生成并输出内部写信号 IWR 的计数值；

第二译码电路 145, 配置为, 接收内部写信号 IWR 的计数值, 并在内部写信号 IWR 的计数值为第二预设数值时, 生成并输出操作结束信号 IMWR\_END; SR 触发器 146, 配置为, 接收内部错误检查命令信号 IMWRAB 和操作结束信号 IMWR\_END, 并响应于内部错误检查命令信号 IMWRAB, 将操作标识信号 IMWR\_FLAG 设置为有效电平, 以及在内部写信号 IWR 的计数值达到第二预设值时, 将操作标识信号 IMWR\_FLAG 设置为无效电平。

示例性地, 如图 3 和图 4 所示, 如果每个存储组 BG 内包括 1 个纠错电路 16 和 4 个存储阵列 15 (BA0、BA1、BA2、BA3), 此时, 第二预设值为 4 (用二进制“00”来表示), 即, 读/写命令生成电路 143 需要在操作标识信号 IMWR\_FLAG 处于有效电平期间生成 4 组内部信号。在 t3 时刻, 标识信号生成电路 142 中的 SR 触发器 146 根据接收到的内部错误检查命令信号 IMWRAB, 将操作标识信号 IMWR\_FLAG 设置为有效电平 (高电平), 随后在操作标识信号 IMWR\_FLAG 处于有效电平期间, 即 t3-t7 阶段, 交替生成的交替生成 4 个内部读信号 IRD 和 4 个内部写信号 IWR, 分别记为对应 BA0 的一组内部信号 IRD1 和 IWR1 (在 t3-t4 阶段), 对应 BA1 的一组内部信号 IRD2 和 IWR2 (在 t4-t5 阶段), 对应 BA2 的一组内部信号 IRD3 和 IWR3 (在 t5-t6 阶段), 对应 BA3 的一组内部信号 IRD4 和 IWR4 (在 t6-t7 阶段), 并利用每组内部信号控制纠错电路 16 依次对 4 个存储阵列 15 中内部错误检查地址对应的存储数据执行 1 次内部读-修改-写操作, 并且每次内部读-修改-写操作均是先根据内部读信号 IRD 执行存储数据 RD\_Data 的读取、以及检错和纠错操作, 再根据内部写信号 IWR 将检错和纠错后的校正数据 WR\_Data 写入存储阵列中。为确保所有存储阵列均正常执行完内部读-修改-写操作, 需要利用命令计数电路 144 对内部写信号 IWR 或内部写信号的反相信号 IWRB 进行计数, 在 t7 时刻, 基于内部写信号的反相信号 IWRB 的最后一个上升沿进行计数, 命令计数电路 144 输出的内部写信号的计数值 IWR\_cnt 为第二预设值 4 (用二进制“00”来表示) 时, 纠错电路 16 已根据最后一个内部写信号 IWR4 将对应的校正数据写入对应的存储阵列 BA3 中, 第二译码电路 145 将输出 IMWR\_END, 以表示所有存储阵列 15 均完成了内部读-修改-写操作, 此时可将操作标识信号 IMWR\_FLAG 设置为无效电平, 以停止继续生成内部信号 IRD/IWR。

需要说明的是, 为保证纠错电路 16 根据内部写信号 IWR4 执行的最后一次写入操作正常完成, 可以采用对内部写信号的反相信号 IWRB 进行计数, 以生成内部写信号的计数值 IWR\_cnt, 此方案可保证内部写信号的计数值达到第二预设值 4 时 (即图 4 中的 t7 时刻, IWRB 的第 4 个上升沿对应 IWR 的第 4 个下降沿), 纠错电路 16 已根据内部写信号 IWR (有效电平, 高电平“1”) 完成最后一次的写入操作, 此时, 即使操作标识信号 IMWR\_FLAG 被设置为无效电平, 控制读/写命令生成电路 143 不再生成内部信号 IRD/IWR, 也不会对纠错电路 16 执行的最后 1 次内部读-修改-写操作造成影响。

还需要说明的是, 图 4 中所示的内部写信号的计数值 IWR\_cnt 用 2bit 信号进行表示, 第二预设值=4 对应信号“00”, 恰好为内部写信号的计数值 IWR\_cnt 的初始值, 因此, 将操作标识信号 IMWR\_FLAG 设置为无效电平后, 也无需对内部写信号的计数值 IWR\_cnt 执行复位。但在其他一些实施例中, 内部写信号的计数值 IWR\_cnt 用 3bit 信号进行表示, 第二预设值=4 对应信号“100”, 此时, 在操作标识信号 IMWR\_FLAG 被设置为无效电平后, 需要将内部写信号的计数值 IWR\_cnt 复位为初始值 000。

在一些实施例中, 如图 14 所示, 读/写命令生成电路 143 包括: 第二与非门 1431, 第二与非门 1431 的第一输入端接收操作标识信号 IMWR\_FLAG, 第二与非门 1431 的第二输入端接收内部错误检查命令信号 IMWRAB; 第一或非门 1432, 第一或非门 1432 的第一输入端与第二与非门 1431 的输出端电连接, 第一或非门 1432 的输出端用于输出内部读信号 IRD; 第二或非门 1433, 第二或非门 1433 的第一输入端与第一或非门 1432 的输出端电连接, 第二或非门 1433 的输出端与第一或非门 1432 的第二输入端电连接; 延迟单元 1434, 延迟单元 1434 的输入端与第一或非门 1432 的输出端电连接; 第一非门 1435, 第一非门 1435 的输入端与延迟单元 1434 的输出端电连接, 第一非门 1435 的输出端与第二或非门 1433 的第二输入端电

连接；第二非门 1436，第二非门 1436 的输入端接收操作标识信号 IMWR\_FLAG；第三或非门 1437，第三或非门 1437 的第一输入端与第二非门 1436 的输出端电连接，第三或非门 1437 的第二输入端与第一或非门 1432 的输出端电连接，第三或非门 1437 的输出端用于输出内部写信号 IWR。

5 需要说明的是，延迟单元 1434 对输入信号的延迟时间等于内部读信号 IRD 和内部写信号 IWR 的脉冲宽度，在这里，以延迟时间、内部写信号 IWR 的脉冲宽度和内部读信号 IRD 的脉冲宽度均为 2ns 进行举例说明；在一些实施例中，延迟单元 1434 的延迟时间也可以可调的，具体地，延迟单元 1434 的延迟时间可以根据内部读-修改-写操作的时序要求进行调整，即保证在内部读信号 IRD 的脉冲宽度时间内，纠错电路 16 可以完成对存储阵列 15 的目标存储单元的存储数据进行读取、检错和纠错操作，以及在内部写信号 IWR 的脉冲宽度时间内，  
10 纠错电路 16 可以将检错和纠错后的校正数据写入存储阵列 15 的目标存储单元中；在一些实施例中，内部写信号 IWR 的脉冲宽度和内部读信号 IRD 的脉冲宽度也可以不相同，在此不做限定。

在一些实施例中，如图 13 所示，存储阵列控制电路 141 还包括：自刷新控制电路 147，  
15 配置为接收操作标识信号 IMWR\_FLAG 和自刷新地址 SREF\_Row，并在操作标识信号 IMWR\_FLAG 翻转至无效电平时，根据自刷新地址 SREF\_Row 控制对应的存储阵列 15 执行一次刷新操作。

在一些实施例中，如图 15 所示，纠错电路 16，还配置为，在对目标存储单元执行内部读-修改-写操作时，若目标存储单元中的存储数据 RD\_Data 存在错误时，生成并输出错误标识信号 Error flag；内部错误检查电路 10 还包括：错误寄存器 17，配置为，接收内部错误检查地址 IMWR\_AD 和错误标识信号 Error flag，并响应于错误标识信号 Error flag，将内部错误检查地址 IMWR\_AD 进行存储。

需要说明的是，错误寄存器 17 可以为存储器内预留的模式寄存器，根据错误标识信号 Error flag 对内部错误检查地址 IMWR\_AD 进行存储，可以由存储器内部根据存储的该错误信息执行各类修复操作，也可以将存储的该错误信息定期提供给存储器控制器，存储器控制器可以根据错误信号进行冗余修补处理，也可以在下一次执行读写操作时跳过该发生数据错误的存储地址，从而保护数据的准确性，提供存储系统的稳定性。

本公开的再一实施例中，参见图 16，其示出了本公开实施例提供的一种存储器 20 的组成结构示意图。如图 16 所示，该存储器 20 可以包括前述任一实施例的内部错误检查电路 10。

30 在一些实施例中，该存储器 20 可以包括 DRAM。

需要说明的是，本公开实施例是在 DRAM LPDDR 系列芯片、DRAM DDR4 芯片中引入了内部错误检查的电路设计，实现了类似于 DDR5 中 ECS 操作的新功能，并且内存错误检查电路 10 复用了原有用于自刷新操作的时钟生成电路、执行外部读-修改-写命令的操作电路和路径，不会对原有的自刷新操作、外部读-修改-写操作的时序造成影响，并且仅需要对原有的内部命令生成电路、地址生成电路和控制逻辑电路进行简单改进，就可以实现对多个存储阵列进行定期的数据错误检错/纠错操作，在实现了内部错误检查机制以有效提升存储数据稳定性的前提下，优化了电路设计，节省了 DRAM 芯片的电路面积。

在本公开实施例中，对于 DRAM 来说，不仅可以符合 DDR、DDR2、DDR3、DDR4、DDR5、DDR6 等内存规格，还可以符合 LPDDR、LPDDR2、LPDDR3、LPDDR4、LPDDR5、  
40 LPDDR6 等内存规格，这里不作任何限定。

在本公开实施例中，对于该存储器 20，由于其包括前述任一实施例的内部错误检查电路 10，从而可以实现对存储器的内部错误检查操作，进而提升存储器的性能。

以上所述，仅为本公开的示例实施例，并非用于限定本公开的保护范围。

需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且  
45 还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的

要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

- 5 本公开所提供的几个产品实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

## 权 利 要 求 书

1.一种内部错误检查电路(10),包括:时钟生成电路(11)、内部命令生成电路(12)、地址生成电路(13)、控制逻辑电路(14)和纠错电路(16);

所述时钟生成电路(11),配置为,响应于自刷新使能信号(SR\_EN),生成并输出自刷新时钟信号(SR\_CLK);

所述内部命令生成电路(12),配置为,接收所述自刷新时钟信号(SR\_CLK)和错误检查使能信号(IMWR\_EN),在所述错误检查使能信号(IMWR\_EN)指示内部错误检查功能开启时对所述自刷新时钟信号(SR\_CLK)进行计数,并在所述自刷新时钟信号(SR\_CLK)的计数值(IWR\_cnt)为第一预设值时,生成并输出一个内部错误检查命令信号(IMWRAB);

所述地址生成电路(13),配置为,接收所述内部错误检查命令信号(IMWRAB),并对所述内部错误检查命令信号(IMWRAB)进行计数,以生成并输出内部错误检查地址(IMWR\_AD);

所述控制逻辑电路(14),配置为,接收所述内部错误检查命令信号(IMWRAB)和所述内部错误检查地址(IMWR\_AD),并响应于所述内部错误检查命令信号(IMWRAB),控制所述纠错电路(16)依次对多个存储阵列(15)中所述内部错误检查地址(IMWR\_AD)对应的目标存储单元执行一次内部读-修改-写操作;

其中,所述多个存储阵列(15)共用所述纠错电路(16)。

2.如权利要求1所述的内部错误检查电路(10),其中,

所述控制逻辑电路(14)包括多个存储阵列控制电路(141),所述多个存储阵列控制电路(141)与所述多个存储阵列(15)一一对应;

每个所述存储阵列控制电路(141),配置为,接收所述内部错误检查命令信号(IMWRAB)和所述内部错误检查地址(IMWR\_AD),响应于所述内部错误检查命令信号(IMWRAB)依次生成多组内部信号(IRD/IWR),并在对应的存储阵列(15)处于使能状态时,根据对应的一组内部信号(IRD/IWR)控制所述纠错电路(16)对对应的存储阵列(15)中的所述目标存储单元执行一次内部读-修改-写操作;

其中,每组内部信号(IRD/IWR)包括内部读信号(IRD)和内部写信号(IWR)。

3.如权利要求2所述的内部错误检查电路(10),其中,

所述纠错电路(16),配置为,根据所述内部读信号(IRD)从所述目标存储单元中读取存储数据,并对所述存储数据进行检错和纠错以生成校正数据;

所述纠错电路(16),还配置为,根据内部写信号(IWR)将所述校正数据写入所述目标存储单元中。

4.如权利要求 1-3 任一项所述的内部错误检查电路 (10), 其中,

所述内部命令生成电路 (12), 还配置为, 在所述错误检查使能信号 (IMWR\_EN) 指示内部错误检查功能未开启时, 响应于所述自刷新时钟信号 (SR\_CLK) 上的每个脉冲, 生成并输出一个内部自刷新命令信号 (IREFAB); 以及在所述错误检查使能信号 (IMWR\_EN) 指示内部错误检查功能开启且所述自刷新时钟信号 (SR\_CLK) 的计数值 (IWR\_cnt) 不为第一预设值时, 生成并输出一个内部自刷新命令信号 (IREFAB)。

5.如权利要求 1-4 任一项所述的内部错误检查电路 (10), 其中,

所述控制逻辑电路 (14), 还配置为, 在控制所述纠错电路 (16) 依次对多个存储阵列 (15) 中所述内部错误检查地址 (IMWR\_AD) 对应的目标存储单元执行一次内部读-修改-写操作后, 控制对所有存储阵列 (15) 执行一次自刷新操作。

6.如权利要求 2 所述的内部错误检查电路 (10), 其中, 所述地址生成电路 (13) 包括列地址生成电路 (131)、第一译码电路 (132) 和行地址生成电路 (133);

所述列地址生成电路 (131), 配置为接收所述内部错误检查命令信号 (IMWRAB), 根据所述内部错误检查命令信号 (IMWRAB) 对当前存储行进行列计数, 生成并输出目标列地址 (Col\_ad);

所述第一译码电路 (132), 配置为对所述目标列地址 (Col\_ad) 进行译码, 在所述目标列地址 (Col\_ad) 指示当前存储行的列计数完成时, 生成并输出列结束信号 (Col\_End);

所述行地址生成电路 (133), 配置为接收所述列结束信号 (Col\_End) 和所述内部错误检查命令信号 (IMWRAB), 并根据所述列结束信号 (Col\_End) 对存储阵列 (15) 进行行计数, 生成并输出目标行地址 (Row\_ad) 信号。

7.如权利要求 6 所述的内部错误检查电路 (10), 其中, 所述行地址生成电路 (133) 包括:

行计数电路 (134), 配置为接收所述列结束信号 (Col\_End), 并根据所述列结束信号 (Col\_End) 对存储阵列 (15) 进行行计数, 生成并输出行计数值 (Row\_cnt);

行地址采样电路 (135), 配置为接收所述内部错误检查命令信号 (IMWRAB) 和所述行计数值 (Row\_cnt), 并响应于所述内部错误检查命令信号 (IMWRAB) 对所述行计数值 (Row\_cnt) 进行采样, 生成并输出所述目标行地址 (Row\_ad) 信号。

8.如权利要求 6 所述的内部错误检查电路 (10), 其中,

所述地址生成电路 (13) 还包括刷新地址生成电路 (136), 配置为接收所述内部自刷新命令信号 (IREFAB), 并根据所述内部自刷新命令信号 (IREFAB) 对存储阵列 (15) 进行行计数, 生成并输出自刷新地址 (SREF\_Row);

所述控制逻辑电路(14),还配置为,基于所述自刷新地址(SREF\_Row)控制对所有存储阵列(15)执行一次刷新操作。

9.如权利要求6所述的内部错误检查电路(10),其中,

所述列地址生成电路(131)包括N个级联的第一触发器(DFF1),N为大于或等于1的整数;第一级所述第一触发器(DFF1)的时钟控制端作为所述列地址生成电路(131)的输入端,接收所述内部错误检查命令信号(IMWRAB);每一级所述第一触发器(DFF1)的反相输出端与自身的数据输入端连接;除第一级所述第一触发器(DFF1)之外的其他所述第一触发器(DFF1)的时钟控制端均与前一级所述第一触发器(DFF1)的反相输出端连接;N个所述第一触发器(DFF1)的正相输出端共同输出所述目标列地址(Col\_ad);

所述第一译码电路(132)包括第一与非门(137),所述第一与非门(137)的N个输入端分别与N个所述第一触发器(DFF1)的正相输出端连接,所述第一与非门(137)的输出端用于输出所述列结束信号(Col\_End)。

10.如权利要求7所述的内部错误检查电路(10),其中,

所述行计数电路(134)包括M个级联的第二触发器(DFF2),M为大于或等于1的整数;第一级所述第二触发器(DFF2)的时钟控制端作为所述行计数电路(134)的输入端,接收所述列结束信号(Col\_End);每一级所述第二触发器(DFF2)的反相输出端与自身的数据输入端连接;除第一级所述第二触发器(DFF2)之外的其他所述第二触发器(DFF2)的时钟控制端均与前一级所述第二触发器(DFF2)的反相输出端连接;M个所述第二触发器(DFF2)的正相输出端共同输出所述行计数值(Row\_cnt);

所述行地址采样电路(135)包括M个第三触发器(DFF3);每一个所述第三触发器(DFF3)的时钟控制端均接收所述内部错误检查命令信号(IMWRAB);M个所述第三触发器(DFF3)的数据输入端与M个所述第二触发器(DFF2)的正相输出端一一对应连接,接收所述行计数值(Row\_cnt);M个所述第三触发器(DFF3)的正相输出端共同输出所述目标行地址(Row\_ad)。

11.如权利要求2所述的内部错误检查电路(10),其中,所述存储阵列控制电路(141)包括:

标识信号生成电路(142),配置为接收所述内部错误检查命令信号(IMWRAB),并响应于所述内部错误检查命令信号(IMWRAB),生成并输出处于有效电平的操作标识信号(IMWR\_FLAG);

读/写命令生成电路(143),配置为接收所述操作标识信号(IMWR\_FLAG)和所述内部错误检查命令信号(IMWRAB),并响应于所述内部错误检查命令信号(IMWRAB),在所

述操作标识信号 (IMWR\_FLAG) 处于有效电平期间依次生成多组内部信号 (IRD/IWR);

所述标识信号生成电路 (142), 还配置为接收所述内部写信号 (IWR), 并在所述内部写信号 (IWR) 的计数值 (IWR\_cnt) 达到第二预设值时, 将所述操作标识信号 (IMWR\_FLAG) 设置为无效电平。

12. 如权利要求 11 所述的内部错误检查电路 (10), 其中, 所述标识信号生成电路 (142) 包括:

命令计数电路 (144), 配置为, 对所述内部写信号 (IWR) 的反相信号进行计数, 以生成并输出所述内部写信号 (IWR) 的计数值 (IWR\_cnt);

第二译码电路 (145), 配置为, 接收所述内部写信号 (IWR) 的计数值 (IWR\_cnt), 并在所述内部写信号 (IWR) 的计数值 (IWR\_cnt) 为第二预设数值时, 生成并输出操作结束信号 (IMWR\_END);

SR 触发器 (146), 配置为, 接收所述内部错误检查命令信号 (IMWRAB) 和所述操作结束信号 (IMWR\_END), 并响应于所述内部错误检查命令信号 (IMWRAB), 将所述操作标识信号 (IMWR\_FLAG) 设置为有效电平, 以及在所述内部写信号 (IWR) 的计数值 (IWR\_cnt) 达到第二预设值时, 将所述操作标识信号 (IMWR\_FLAG) 设置为无效电平。

13. 如权利要求 11-12 任一项所述的内部错误检查电路 (10), 其中, 所述读/写命令生成电路 (143) 包括:

第二与非门 (1431), 所述第二与非门 (1431) 的第一输入端接收所述操作标识信号 (IMWR\_FLAG), 所述第二与非门 (1431) 的第二输入端接收所述内部错误检查命令信号 (IMWRAB);

第一或非门 (1432), 所述第一或非门 (1432) 的第一输入端与所述第二与非门 (1431) 的输出端电连接, 所述第一或非门 (1432) 的输出端用于输出所述内部读信号 (IRD);

第二或非门 (1433), 所述第二或非门 (1433) 的第一输入端与所述第一或非门 (1432) 的输出端电连接, 所述第二或非门 (1433) 的输出端与所述第一或非门 (1432) 的第二输入端电连接;

延迟单元 (1434), 所述延迟单元 (1434) 的输入端与所述第一或非门 (1432) 的输出端电连接;

第一非门 (1435), 所述第一非门 (1435) 的输入端与所述延迟单元 (1434) 的输出端电连接, 所述第一非门 (1435) 的输出端与所述第二或非门 (1433) 的第二输入端电连接;

第二非门 (1436), 所述第二非门 (1436) 的输入端接收所述操作标识信号 (IMWR\_FLAG);

第三或非门 (1437), 所述第三或非门 (1437) 的第一输入端与所述第二非门 (1436)

的输出端电连接，所述第三或非门（1437）的第二输入端与所述第一或非门（1432）的输出端电连接，所述第三或非门（1437）的输出端用于输出所述内部写信号（IWR）。

14.如权利要求 11-13 任一项所述的内部错误检查电路（10），其中，所述存储阵列控制电路（141）还包括：

自刷新控制电路（147），配置为接收所述操作标识信号（IMWR\_FLAG）和自刷新地址（SREF\_Row），并在所述操作标识信号（IMWR\_FLAG）翻转至无效电平时，根据所述自刷新地址（SREF\_Row）控制对应的存储阵列（15）执行一次刷新操作。

15.如权利要求 1-14 任一项所述的内部错误检查电路（10），其中，

所述纠错电路（16），还配置为，在对所述目标存储单元执行内部读-修改-写操作时，若所述目标存储单元中的存储数据存在错误时，生成并输出错误标识信号；

所述内部错误检查电路（10）还包括：错误寄存器（17），配置为，接收所述内部错误检查地址（IMWR\_AD）和所述错误标识信号，并响应于所述错误标识信号，将所述内部错误检查地址（IMWR\_AD）进行存储。

16.一种存储器（20），其特征在于，所述存储器（20）包括如权利要求 1 至 15 任一项所述的内部错误检查电路（10）。