

权利要求书

1. 一种传输电路，包括：

上层时钟焊盘，用于传输时钟信号；

M 个上层数据焊盘，用于传输数据信号；

5 下层时钟焊盘，与所述上层时钟焊盘电连接，且所述下层时钟焊盘的面积小于所述上层时钟焊盘的面积；

M 个下层数据焊盘，与所述 M 个上层数据焊盘一一对应的电连接，且所述下层数据焊盘的面积小于所述上层数据焊盘的面积；

其中，所述上层时钟焊盘与所述上层数据焊盘位于第一层，所述下层时钟焊盘与所述下层数据焊盘位于第二层，在所述第一层和所述第二层之间包括介

10 质层，所述第一层、所述介质层、所述第二层均位于同一衬底上，所述 M 为大于等于 2 的整数。
2. 如权利要求 1 所述的传输电路，其中，还包括：第一金属连线，所述第一金属连线位于所述下层时钟焊盘与所述上层时钟焊盘之间；第二金属连线，所
- 15 述第二金属连线位于任一所述下层数据焊盘与所述下层数据焊盘对应的所述上层数据焊盘之间，所述第一金属连线的长度小于所述第二金属连线的长度。
3. 如权利要求 2 所述的传输电路，其中，所述第一金属连线包括：第一导电孔，所述第一导电孔贯穿所述介质层且与所述下层时钟焊盘相接触；第一金属层，
- 20 所述第一金属层位于所述介质层远离所述第一层的一侧，且与所述第一导电孔以及所述上层时钟焊盘相接触；所述第二金属连线包括：第二导电孔，所述第二导电孔贯穿所述介质层且与所述下层数据焊盘相接触；第二金属层，

所述第二金属层位于所述介质层远离所述第一层的一侧，且与所述第二导电孔以及所述上层数据焊盘相接触；其中，所述第一导电孔的长度与所述第二导电孔的长度相同，所述第一金属层的长度小于所述第二金属层的长度。

4. 如权利要求 2 所述的传输电路，其中，所述第一金属连线包括：第一导电插塞，所述第一导电插塞贯穿所述介质层且与所述下层时钟焊盘以及所述上层时钟焊盘相接触；所述第二金属连线包括：第二导电插塞，所述第二导电插塞贯穿所述介质层且与所述下层数据焊盘以及所述上层数据焊盘相接触，且所述第一导电插塞的长度小于所述第二导电插塞的长度。
5. 如权利要求 1 所述的传输电路，其中，所述下层时钟焊盘和所述下层数据焊盘 5 的面积相同。
6. 如权利要求 1 所述的传输电路，其中，还包括：多个下层测试焊盘，所述多个下层测试焊盘具有相同的面积，且所述下层测试焊盘的面积大于所述下层数据焊盘的面积。
7. 如权利要求 1 所述的传输电路，其中，所述上层时钟焊盘和所述 M 个上层数据焊盘 10 布置于第一行，且所述 M 个上层数据焊盘布置于所述上层时钟焊盘的两侧，每一侧布置所述 M 个上层数据焊盘的一半。
8. 如权利要求 7 所述的传输电路，其中，所述下层时钟焊盘和所述 M 个下层数据焊盘 15 布置于第二行，且所述 M 个下层数据焊盘布置于所述下层时钟焊盘的两侧，每一侧布置所述 M 个下层数据焊盘的一半。
9. 一种接口电路，包括：
权利要求 1 至 6 任一所述的传输电路；
M 个输入缓冲电路，与所述下层数据焊盘一一对应，每一个所述输入缓冲电 20

路在所述时钟信号的驱动下，接收与所述输入缓冲电路对应的所述下层数据焊盘传输的所述数据信号；

其中，所述下层时钟焊盘与所述下层数据焊盘布置于第一排，且所述 M 个下层数据焊盘布置于所述下层时钟焊盘的两侧，每一侧布置所述 M 个下层数据焊盘的一半，所述 M 个输入缓冲电路布置于第二排，以所述下层数据焊盘为基准，形成垂直于所述第一排的轴线，所述 M 个输入缓冲电路布置于所述轴线的两侧，每一侧布置所述 M 个输入缓冲电路的一半，每一个所述输入缓冲电路与所述轴线的距离小于所述输入缓冲电路对应的所述下层数据焊盘与所述轴线的距离。

10 10.如权利要求 9 所述的接口电路，其中，每一个所述输入缓冲电路到所述输入缓冲电路对应的所述上层数据焊盘之间的输入数据路径长度为第一长度，每一个所述输入缓冲电路与所述上层时钟焊盘之间的时钟路径长度为第二长度，所述第一长度与所述第二长度成正相关。

11.如权利要求 9 所述的接口电路，其中，所述下层时钟焊盘为差分输入焊盘，包括第一下层时钟焊盘和第二下层时钟焊盘，所述第一下层时钟焊盘与所述第二下层时钟焊盘分别传输互补的所述时钟信号。

12.如权利要求 11 所述的接口电路，其中，所述第一下层时钟焊盘与所述第二下层时钟焊盘相对于所述轴线对称布置。

13.如权利要求 9 所述的接口电路，其中，还包括：时钟处理电路，与所述下层时钟焊盘和所述 M 个输入缓冲电路均电连接，用于接收所述时钟信号，并将所述时钟信号进行处理后作为所述 M 个输入缓冲电路的驱动时钟。

14.如权利要求 13 所述的接口电路，其中，所述时钟处理电路包括时钟接收电

路和相位产生电路，所述时钟接收电路与所述下层时钟焊盘电连接，用于接收所述时钟信号，所述时钟接收电路的输出作为所述相位产生电路的输入，所述相位产生电路用于产生所述驱动时钟。

15.如权利要求 9 所述的接口电路，其中，还包括：

- 5 上层标志焊盘，用于传输标志信号，所述上层标志焊盘位于所述第一层；
 下层标志焊盘，与所述上层标志焊盘电连接，所述下层标志焊盘位于所述第二层，且所述下层标志焊盘的面积小于所述上层标志焊盘的面积；
 标志缓冲电路，与所述下层标志焊盘对应，用于在所述时钟信号的驱动下，接收所述上层标志焊盘传输的所述标志信号。

- 10 16.如权利要求 15 所述的接口电路，其中，所述下层标志焊盘布置于所述第一排，且位于所述下层数据焊盘与所述下层时钟焊盘之间；所述标志缓冲电路布置于所述第二排，且与所述下层标志焊盘位于所述轴线的同一侧，且位于所述输入缓冲电路与所述轴线之间；所述标志缓冲电路与所述轴线的距离小于所述标志缓冲电路对应的所述下层标志焊盘与所述轴线的距离。

- 15 17.如权利要求 9 所述的接口电路，其中，还包括：M 个输出缓冲电路，与所述下层数据焊盘一一对应，每一个所述输出缓冲电路在所述时钟信号的驱动下，将所述数据信号发送至对应的下层数据焊盘。

18.如权利要求 17 所述的接口电路，其中，每一个所述输出缓冲电路到所述输出缓冲电路对应的所述下层数据焊盘之间的输出数据路径长度相同。

- 20 19.如权利要求 9 所述的接口电路，其中，所述输入缓冲电路包括多路选择器和锁存器，所述多路选择器接收所述数据信号，并将所述数据信号处理后输出给所述锁存器，所述锁存器的输出作为所述输入缓冲电路的输出。

20.一种存储器，包括如权利要求 9-19 任一项所述的接口电路。