

명세서

발명의 명칭: SiC 소재 및 이의 제조방법

기술분야

- [1] 본 발명은, SiC 소재 및 이의 제조방법에 관한 것이다.

배경기술

- [2] 기존 CVD SiC 소재는 $3\ \mu\text{m} \sim 15\ \mu\text{m}$ 의 크고 작은 결정립, 및 $7\ \mu\text{m} \sim 8\ \mu\text{m}$ 의 평균 결정립 크기로 치밀하게 형성되어 있으므로, 적은 결정립계를 형성하고 있다. 따라서 결정립에 의한 열전도도가 주를 이루게 되어 열전도도가 높은 값을 나타내게 된다. 이러한 CVD SiC 소재의 높은 열전도도는 일부 반도체 에칭공정에서 사용되는 높은 공정온도에 대한 반도체 장비의 손상을 최소화하기 위한 열방출에는 유리하다.
- [3] LSI(Large scale integrated circuit) 등의 낮은 공정온도를 사용하는 반도체 공정에서는 반도체 칩 수율을 높이기 위해 웨이퍼 에지의 균일 식각이 필요하므로, 웨이퍼의 균일한 온도의 형성이 요구된다. 이러한 공정에서는 기존의 높은 열전도도 CVD SiC 소재를 사용하는 경우에, 열손실에 의한 웨이퍼 내의 온도 불균일을 증가시키는 문제점이 있다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명은, 전술한 바와 같은 문제점을 해결하기 위한 것으로, 평균 결정립 크기의 미세화에 의해 열전도도를 조절하고, 낮은 온도를 요구하는 반도체 제조 공정에 효과적으로 적용할 수 있는, SiC 소재 및 이의 제조방법에 관한 것이다.
- [5] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [6] 본 발명의 일 실시예에 따라, 평균 결정립 크기가 $3.5\ \mu\text{m}$ 이하이고, X선 회절 분석에서 (111) 면 우선 성장인 저열전도도 영역;을 포함하는, SiC 소재에 관한 것이다.
- [7] 본 발명의 일 실시예에 따라, 상기 저열전도도 영역의 평균 결정립 크기는 $0.5\ \mu\text{m}$ 내지 $3.5\ \mu\text{m}$ 인 것일 수 있다.
- [8] 본 발명의 일 실시예에 따라, 상기 저열전도도 영역은, 하기의 식 1에 따라 계산되는 X선 회절 분석의 회절 강도비(I)가 0.5 이하인 것일 수 있다.
- [9] [식 1]
- [10] 회절 강도비(I) = ((200)면의 피크 강도 + (220)면의 피크 강도 + (311)면의 피크 강도) / ((111)면의 피크 강도)
- [11] 본 발명의 일 실시예에 따라, 상기 저열전도도 영역은, 하기의 식 2에 따라

계산되는 X선 회절 분석의 회절 강도비(I)가 0.5 이하인 것일 수 있다.

[12] [식 2]

[13] 회절 강도비(I)=[(200)면의 피크 강도 + (220)면의 피크 강도]/(111)면의 피크 강도

[14] 본 발명의 일 실시예에 따라, 상기 회절 강도비(I)는 0.001 내지 0.3인 것일 수 있다.

[15] 본 발명의 일 실시예에 따라, 상기 저열전도도 영역의 열전도도는 200 W/mk 이하인 것일 수 있다.

[16] 본 발명의 일 실시예에 따라, 상기 저열전도도 영역은 CVD 법에 의해 증착된 것일 수 있다.

[17] 본 발명의 일 실시예에 따라, 상기 SiC 소재는 반도체 비메모리 제조용 플라즈마 처리 장치에 이용되는 부품의 소재인 것일 수 있다.

[18] 본 발명의 일 실시예에 따라, 상기 SiC 소재는 웨이퍼 안착용 링이고, 상기 저열전도도 영역은 웨이퍼가 안착되는 영역에 형성된 것일 수 있다.

[19] 본 발명의 일 실시예에 따라, 상기 저열전도도 영역의 온도 편차는 1 °C 이하인 것일 수 있다.

[20] 본 발명의 일 실시예에 따라, 상기 저열전도도 영역은, 상기 SiC층의 면적의 50 % 이상 및 100 % 미만으로 형성될 수 있다.

[21] 본 발명의 일 실시예에 따라, 상기 SiC층의 두께는, 2 mm 이상인 것일 수 있다.

[22] 본 발명의 일 실시예에 따라, 평균 결정립 크기가 3.5 μm 이하이고, X선 회절 분석에서 (111) 면 우선 성장인 SiC 층을 포함하는 SiC 소재에 관한 것이다.

[23] 본 발명의 일 실시예에 따라, 상기 SiC 층의 열전도도는 200 W/mk 이하인 것일 수 있다.

[24] 본 발명의 일 실시예에 따라, 상기 SiC 층은, 하기의 식 1에 따라 계산되는 X선 회절 분석의 회절 강도비(I)가 0.5 이하인 것일 수 있다.

[25] [식 1]

[26] 회절 강도비(I)=[(200)면의 피크 강도 + (220)면의 피크 강도 + (311) 면의 피크 강도]/(111)면의 피크 강도

[27] 본 발명의 일 실시예에 따라, 상기 SiC 층은, 하기의 식 2에 따라 계산되는 X선 회절 분석의 회절 강도비(I)가 0.5 이하인 것일 수 있다.

[28] [식 2]

[29] 회절 강도비(I)=[(200)면의 피크 강도 + (220)면의 피크 강도]/(111)면의 피크 강도

[30] 본 발명의 일 실시예에 따라, 상기 SiC층의 두께는, 2 mm 이상인 것일 수 있다.

[31] 본 발명의 일 실시예에 따라, 기판을 준비하는 단계; 상기 기판 상에 CVD법을 이용하여 SiC 층을 형성하는 단계;를 포함하고, 상기 SiC 층은, 평균 결정립 크기가 3.5 μm 이하이고, X선 회절 분석에서 (111) 면 우선 성장인 저열전도도 영역;이 적어도 일부분에 형성된 것인, SiC 소재의 제조방법에 관한 것이다.

발명의 효과

- [32] 본 발명은, 평균 결정립 크기를 조절하여 기존의 CVD SiC 소재 대비 낮은 열전도도 특성을 나타내는, CVD SiC 소재를 제공할 수 있다.
- [33] 본 발명은, 공정 조건의 변화에 따라 열전도도를 간단한 방법으로 조절할 수 있으므로, 낮은 공정온도가 요구되는 반도체 공정에 적용 가능한 CVD SiC 소재를 경제적인 방법으로 제공할 수 있다.
- [34] 본 발명은, LSI와 같은 미세공정의 반도체 제조 공정에서 웨이퍼에 균일한 온도분포를 형성시킬 수 있으므로, 웨이퍼 에지까지 균일한 에칭을 달성할 수 있고, 웨이퍼 수율 및 품질을 향상시킬 수 있다.

도면의 간단한 설명

- [35] 도 1a는 본 발명의 실시예 2에서 제조된 SiC 소재의 SEM 이미지를 나타낸 것이다.
- [36] 도 1b는 본 발명의 실시예 2에서 제조된 SiC 소재의 XRD 패턴 분석 결과를 나타낸 것이다.
- [37] 도 2a는 본 발명의 비교예 1에서 제조된 SiC 소재의 SEM 이미지를 나타낸 것이다.
- [38] 도 2b는 본 발명의 비교예 1에서 제조된 SiC 소재의 XRD 패턴 분석 결과를 나타낸 것이다.
- [39] 도 3은 본 발명의 실시예 및 비교예에서 제조된 SiC 소재의 평균 결정립 크기 및 열전도도의 측정 결과를 나타낸 것이다.

발명의 실시를 위한 최선의 형태

- [40] 이하에서, 첨부된 도면을 참조하여 실시예들을 상세하게 설명한다. 그러나, 실시예들에는 다양한 변경이 가해질 수 있어서 특허출원의 권리 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 실시예들에 대한 모든 변경, 균등물 내지 대체물이 권리 범위에 포함되는 것으로 이해되어야 한다.
- [41] 실시예에서 사용한 용어는 단지 설명을 목적으로 사용된 것으로, 한정하려는 의도로 해석되어서는 안된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [42] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게

정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [43] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 실시예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 실시예의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [44] 본 발명은, SiC 소재에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 SiC 소재는, 적어도 일부분에 저열전도도 영역이 형성된 SiC층을 포함할 수 있다. 상기 SiC층은, 상기 저열전도도 영역의 형성으로 균일한 온도 분포를 갖는 영역을 제공할 수 있다.
- [45] 상기 저열전도도 영역은, 상기 SiC 층의 면적의 50 % 이상 및 100 % 미만으로 형성될 수 있다.
- [46] 상기 저열전도도 영역은, 상기 SiC층 내에서 평균 결정립 크기의 조절에 의해서 형성될 수 있으며, 예를 들어, CVD 법에 의한 증착 공정에서 공정온도, 원료 공급 속도 등과 같은 공정변화를 통한 성장속도의 조절에 의해 평균 결정립 크기를 미세하게 조절하고, 열전도도를 낮출 수 있다. 즉, 상기 저열전도도 영역의 평균 결정립 크기를 줄임으로써, 결정립계의 형성을 증가시켜 열전달을 억제하는 구조를 형성하고, 낮은 열전도도를 나타낼 수 있다.
- [47] 상기 저열전도도 영역의 평균 결정립 크기는, 상기 SiC층 전체의 평균 결정립 크기 또는 최대 결정립 크기에 비하여 낮은 크기를 가질 수 있다. 예를 들어, 상기 저열전도도 영역의 평균 결정립 크기는, 3.5 μm 이하; 0.01 μm 내지 3.5 μm ; 0.1 μm 내지 3.5 μm ; 또는 0.5 μm 내지 3.5 μm 일 수 있다. 상기 저열전도도 영역의 평균 결정립 크기의 범위 내에 포함되면 낮은 열전도도를 형성하고, 상기 저열전도도 영역 내에서 균일한 온도 분포를 형성할 수 있다. 상기 결정립 크기는, 결정립의 면적, 길이, 입자 크기, 직경 등을 의미할 수 있다.
- [48] 상기 저열전도도 영역은, X선 회절 분석에서 (111) 면 우선성장된 것이며, (111) 면 우선성장에 따라 플라즈마 환경 등에서 SiC 소재의 안정성 및 수명을 향상시킬 수 있는 저열전도도 영역을 형성할 수 있다. 즉, 상기 SiC층 내에서 상기 저열전도도 영역을 제외한 영역에 비하여 상대적으로 높은 (111) 면 우선성장이 이루어질 수 있다.
- [49] 예를 들어, 하기의 식 1 및/또는 식 2에 따른 X선 회절 분석의 회절 강도비(I)를 나타낼 수 있다. 상기 선 회절 분석의 회절 강도비(I)는 0.5 이하; 0.001 내지 0.3 이하; 0.01 내지 0.3; 또는 0.1 내지 0.2일 수 있다.
- [50] [식 1]
- [51] 회절 강도비(I)=((200)면의 피크 강도 + (220)면의 피크 강도 + (311)면의 피크 강도)/(111)면의 피크 강도
- [52] [식 2]
- [53] 회절 강도비(I)=((200)면의 피크 강도 + (220)면의 피크 강도)/(111)면의 피크

강도

- [54] 상기 저열전도도 영역의 열전도도는, 상기 SiC층 전체의 최대 열전도도 또는 평균 열전도도에 비하여 낮은 열전도도를 가질 수 있으며, 예를 들어, 200 W/mk 이하; 20 W/mk 내지 200 W/mk; 또는 80 내지 200 W/mk일 수 있다. 상기 저열전도도 영역의 온도 편차는, 1 °C 이하; 0.8 °C 이하; 또는 0.5 °C 이하인 것일 수 있다. 상기 열전도도 및 온도 편차 범위 내에 포함되면 균일한 온도 분포를 나타내고, 반도체 제조 공정에서 제품의 품질, 수율 등을 향상시킬 수 있다.
- [55] 상기 SiC층은, 2 mm 이상; 10 mm 이상; 또는 50 mm 이상의 두께로 형성되고, CVD 법에 의해 단일 또는 복수층을 증착될 수 있다. 상기 복수층의 형성 시 동일하거나 또는 상이한 구성의 층이 형성될 수 있는데, 복수층의 성분, 두께, 저열전도도 영역의 평균 결정립 크기, 열전도도, 결정면의 성장 방향 등이 동일하거나 또는 상이할 수 있다. 이 때, 상기 복수층을 형성하는 SiC 층에 저열전도도 영역을 형성할 경우, 저항 편차가 줄어들고 조적이 균일해짐으로써 층간의 뚜렷한 경계가 희미해지는 효과를 기대할 수 있다.
- [56] 상기 SiC 소재는, 반도체 제조용 플라즈마 처리 장치에 이용되는 부품의 소재이며, 예를 들어, 낮은 공정 온도가 요구되는 비메모리의 제조공정, 즉 LSI 반도체 제조 공정에 적용되는 웨이퍼 안착용 웨이퍼 안착용 링일 수 있다. 상기 SiC 소재는, 균일한 온도 분포의 형성이 필요한 부분에 저열전도도 영역을 형성할 수 있으며, 상기 웨이퍼 안착용 링에서 웨이퍼와 직접 접촉하게 되는 영역에 저열전도도 영역이 형성될 수 있다. 이는 LSI 반도체 제조 공정에서 웨이퍼 전체에 걸쳐 균일한 온도 분포를 형성하므로, 웨이퍼 에지까지 균일한 식각이 가능하고, 반도체 칩의 수율 및 품질을 향상시킬 수 있다.
- [57] 본 발명의 일 실시예에 따라, 저열전도도 특성을 갖는 SiC 층을 포함하는 SiC 소재에 관한 것이다.
- [58] 상기 SiC 층의 평균 결정립 크기는, 3.5 μm 이하; 또는 0.01 μm 내지 3.5 μm ; 0.1 μm 내지 3.5 μm ; 또는 0.5 μm 내지 3.5 μm 일 수 있다. 상기 평균 결정립 크기의 범위 내에 포함되면 낮은 열전도도를 형성하고, 균일한 온도 분포를 형성할 수 있다.
- [59] 상기 SiC 층의 열전도도는, 200 W/mk 이하; 20 W/mk 내지 200 W/mk; 또는 80 내지 200 W/mk일 수 있다. 또는, 상기 SiC 층의 온도 편차는, 1 °C 이하; 0.8 °C 이하; 또는 0.5 °C 이하인 것일 수 있다. 상기 열전도도 및 온도 편차 범위 내에 포함되면 균일한 온도 분포를 나타내고, 반도체 제조 공정에서 제품의 품질, 수율 등을 향상시킬 수 있다.
- [60] 상기 SiC 층은, X선 회절 분석에서 (111) 면 우선성장된 것이며, (111) 면 우선성장에 따라 플라즈마 환경에서 안정적인 저열전도도 소재를 제공할 수 있다. 예를 들어, 하기의 식 1 및/또는 식 2에 따른 X선 회절 분석의 회절 강도비(I)를 나타낼 수 있다. 상기 X선 회절 분석의 회절 강도비(I)는 0.5 이하; 0.001 내지 0.3 이하; 0.01 내지 0.3; 또는 0.1 내지 0.2일 수 있다.
- [61] [식 1]

- [62] 회절 강도비(I)=((200)면의 피크 강도 + (220)면의 피크 강도 + (311)면의 피크 강도)/(111)면의 피크 강도
- [63] [식 2]
- [64] 회절 강도비(I)=((200)면의 피크 강도 + (220)면의 피크 강도)/(111)면의 피크 강도
- [65] 상기 SiC층은, 2 mm 이상; 10 mm 이상; 또는 50 mm 이상의 두께로 형성되고, CVD 법에 의해 단일 또는 복수층을 증착될 수 있다. 상기 복수층의 형성 시 동일하거나 또는 상이한 층이 형성되고, 이는 층의 성분, 두께, 저열전도도 영역의 평균 결정립 크기, 열전도도, 결정면의 성장 방향 등이 동일하거나 또는 상이할 수 있다. 이 때, 상기 복수층을 형성하는 SiC 층에 저열전도도 영역을 형성할 경우, 저항 편차가 줄어들고 조직이 균일해짐으로써 층간의 뚜렷한 경계가 희미해지는 효과를 기대할 수 있다.
- [66] 본 발명은, 본 발명에 의한 SiC 소재의 제조방법을 제공하는 것으로, 본 발명의 일 실시예에 따라, 기판을 준비하는 단계; 상기 기판 상에 CVD법을 이용하여 SiC 층을 형성하는 단계;를 포함할 수 있다.
- [67] 상기 기판을 준비하는 단계는, SiC 층 또는 SiC 소재의 제조에 적용 가능한 것이라면 제한 없이 적용될 수 있다.
- [68] 상기 기판 상에 CVD법을 이용하여 SiC 층을 형성하는 단계는, SiC 층 전체가 저열전도도 특성을 갖거나 또는 적어도 일부분에 저열전도도 영역이 형성될 수 있다. 즉, CVD 법 증착 공정 조건, 예를 들어, 공정온도 및 원료 공급 유량 등을 조절하여 성장속도의 제어를 통하여 평균 결정립 크기를 미세하게 조절하고, 결정립계를 증가(예를 들어, 30 % 이상)시켜 열전도도를 낮출 수 있다.
- [69] 상기 공정온도는, 평균 결정립 크기의 조절을 위해 적절하게 선택할 수 있고, 예를 들어, 기존의 CVD법에 의한 SiC 층의 증착 온도에 비하여 낮은 온도 또는 상기 SiC 층을 형성하는 단계의 최대 또는 평균 공정 온도에 비하여 낮은 온도일 수 있다. 상기 원료 공급 유량은, 평균 결정립 크기의 조절을 위해서 적절하게 선택할 수 있고, 예를 들어, 기존의 CVD법에 의한 SiC 층의 증착 시 적용된 공급 유량 또는 상기 SiC 층을 형성하는 단계의 최대 또는 평균 공급 유량에 비하여 90 % 이하; 60 % 이하; 또는 50 % 이하일 수 있다.
- [70] 상기 기판 상에 CVD법을 이용하여 SiC 층을 형성하는 단계는, 기존의 CVD법에 의한 SiC 층의 증착 시 적용된 성장속도 보다 낮은 성장속도 또는 상기 SiC 층을 형성하는 단계의 최대 또는 평균 성장속도에 비하여 낮은 성장속도일 수 있다.
- [71] 실시예 1
- [72] 기판 상에 SiC 층(2 mm 두께)를 CVD 법으로 증착하여 0.5 μm 내지 3 μm 결정립 크기(평균 결정립 크기: 0.82 μm , ASTM E112 측정방법 적용)를 갖는 SiC 층이 형성된 CVD SiC 소재를 제조하였다.
- [73] 실시예 2

- [74] 기판 상에 SiC 층(2 mm 두께)을 CVD 법으로 증착하여 0.5 μm 내지 3 μm 결정립 크기(평균 결정립 크기: 2.2 μm , ASTM E112 측정방법 적용)를 갖는 SiC 층이 형성된 CVD SiC 소재를 제조하였다.
- [75] 비교예 1
- [76] 기판 상에 SiC 층(2 mm 두께)을 CVD 법으로 증착하여 3 μm 내지 15 μm 결정립 크기(평균 결정립 크기: 7.4 μm , ASTM E112 측정방법 적용)를 갖는 SiC 층이 형성된 CVD SiC 소재를 제조하였다.
- [77] 비교예 2
- [78] 기판 상에 SiC 층(2 mm 두께)을 CVD 법으로 증착하여 3 μm 내지 15 μm 결정립 크기(평균 결정립 크기: 9.07 μm , ASTM E112 측정방법 적용)를 갖는 SiC 층이 형성된 CVD SiC 소재를 제조하였다.
- [79] 평가예 1
- [80] 실시예 2 및 비교예 1의 CVD SiC 소재의 SEM 및 XRD를 측정하여 도 1(도 1(a) 및 도 1(b), 실시예 2), 도 2(도 2(a) 및 도 2(b), 비교예 1)에 나타내었다.
- [81] XRD는, "Rigaku DMAX200" 장비를 이용하고, 측정 범위 10~80°, scan speed 10 및 scan step 0.05로 측정하였다. 도 1을 살펴보면, 실시예 2의 CVD SiC 소재의 결정립 크기는 0.5 μm 내지 3 μm 범위를 갖고, (111) 면이 우선성장되어 식 1에 따른 회절 강도비(I)가 0.01인 것을 확인할 수 있다.
- [82] 반면에, 비교예 1의 CVD SiC 소재는 통상적으로 사용되는 소재이며, 3 내지 15 μm 의 결정립 크기(평균 7.4 μm)를 갖고, (111) 면이 우선성장되었으나, (200), (220), (311) 면의 피크 강도가 5000 cps 이상이므로, 본 발명의 식 1에 따른 회절 강도비(I)의 범위를 벗어나는 것을 확인할 수 있다.
- [83] 평가예 2
- [84] 실시예 및 비교예에 제조된 CVD SiC 소재의 열전도도를 측정하여 도 3 및 표 1에 나타내었다. CVD SiC 소재의 결정립크기는 ASTM E122 방법으로 측정하였다. 열전도도는, "NETZSCH사, 모델명 LFA 447 NanoFlash" 분선 장비를 이용하여 KS규격을 기준으로 시편을 준비하여 측정하였다.
- [85] 도 3을 살펴보면, 평균 결정립 크기가 2.2 μm 이하일 경우에 저열전도성 특성을 나타내고, 평균 결정립 크기가 5 μm 이상에서 200 W/mK를 초과하고, 8 μm 이상에서는 300 W/mK를 초과하여 결정립 크기의 증가에 따라 열전도도가 증가되는 것을 확인할 수 있다.
- [86] [표1]

	실시예 1	실시예 2	비교예 1	비교예 2
열전도도(W/mK)	94	153	247	329
평균 결정립크기(μm)	0.82	2.2	7.4	9.07

- [87] 본 발명은, CVD 증착 과정에서 공정변화를 통하여 비교예에 비하여 성장속도를 낮추어 3 μm 이하의 평균 결정립 크기로 미세화하고, (111) 우선성장을 유도하여 80 W/mK 내지 200 W/mK로 낮은 열전도도를 갖는 CVD SiC 소재를 제공할 수 있다. 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [88] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 청구범위의 범위에 속한다.