

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年5月16日(16.05.2013)



(10) 国際公開番号
WO 2013/069198 A1

- (51) 国際特許分類:
B24B 37/08 (2012.01) *B24B 49/12* (2006.01)
B24B 49/10 (2006.01) *H01L 21/304* (2006.01)
- (21) 国際出願番号: PCT/JP2012/006374
- (22) 国際出願日: 2012年10月4日(04.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-243342 2011年11月7日(07.11.2011) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田
区大手町二丁目6番2号 Tokyo (JP).
- (72) 発明者: 青木 一晃(AOKI, Kazuaki); 〒9618061 福
島県西白河郡西郷村大字小田倉字大平150番地
信越半導体株式会社 白河工場内 Fukushima
(JP). 大葉 茂(OBA, Shigeru); 〒9618061 福島県西

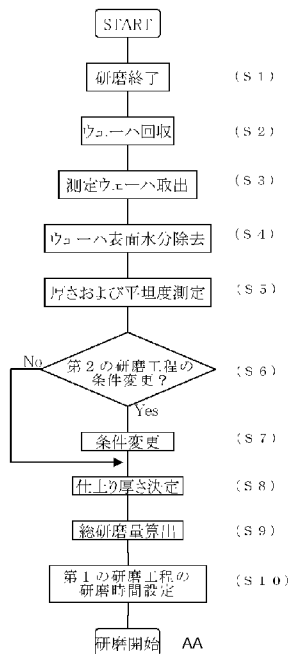
白河郡西郷村大字小田倉字大平150番地信越
半導体株式会社 白河工場内 Fukushima (JP).

- (74) 代理人: 好宮 幹夫(YOSHIMIYA, Mikio); 〒
1100005 東京都台東区上野7丁目6番11号第
一下谷ビル8F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: DOUBLE-SIDED POLISHING METHOD

(54) 発明の名称: 両面研磨方法



(57) Abstract: The present invention provides a double-sided polishing method for double-sided polishing of a wafer in which a wafer held in a carrier is sandwiched between upper and lower plates to which polishing cloths are attached, the carrier is caused to spin and orbit, and both sides of the wafer are simultaneously polished while a polishing agent is supplied, and the method has a first polishing step that polishes at a high polishing rate and a second polishing step that subsequently polishes at a low polishing rate. The double-sided polishing method is characterized by including a step for measuring the flatness of a wafer after polishing and a step for setting polishing conditions for the second polishing step for the subsequent polishing on the basis of the flatness measurement results. This configuration provides a double-sided polishing method capable of stably improving the flatness of a wafer without being impacted by changes over time in the thickness of a carrier.

(57) 要約: 本発明は、キャリアに保持されるウェーハを研磨布が貼付された上下の定盤で挟み込み、キャリアを自転及び公転させ、研磨剤を供給しながらウェーハの両面を同時に研磨するウェーハの両面研磨において、高研磨レートで研磨する第1の研磨工程と、次に低研磨レートで研磨する第2の研磨工程とを有する両面研磨方法であって、研磨後にウェーハの平坦度を測定する工程と、平坦度の測定結果に基づいて次回研磨時の第2の研磨工程の研磨条件を設定する工程とを含むことを特徴とする両面研磨方法である。これにより、キャリアの厚さの経時変化に影響されず、ウェーハの平坦度を安定的に改善できる両面研磨方法が提供される。

S1 END OF POLISHING
S2 WAFER RECOVERY
S3 EXTRACTION OF WAFER TO BE MEASURED
S4 WAFER SURFACE MOISTURE REMOVAL
S5 THICKNESS AND FLATNESS MEASUREMENTS
S6 CHANGE IN CONDITIONS FOR SECOND POLISHING PROCESS?
S7 CONDITION CHANGE
S8 DETERMINATION OF FINISHING THICKNESS
S9 CALCULATION OF TOTAL POLISHING AMOUNT
S10 SET POLISHING TIME FOR FIRST POLISHING PROCESS
AA START POLISHING

WO 2013/069198 A1



ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

規則 4.17 に規定する申立て:

— 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

— 国際調査報告 (条約第 21 条(3))