(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 4 日(04.09.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/132669 A1

(51) 国際特許分類:
H03K 19/173 (2006.01) *G06F 11/00* (2006.01)

(21) 国際出願番号: PCT/JP2014/001129

(22) 国際出願日: 2014 年 3 月 3 日(03.03.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-040536 2013 年 3 月 1 日(01.03.2013) JP

(71) 出願人: アトナープ株式会社(ATONARP INC.) [JP/JP]; 〒1920074 東京都八王子市天神町１６番地１ Tokyo (JP).

(72) 発明者: 佐藤　友美(SATO, Tomoyoshi); 〒3050047 茨城県つくば市千現２丁目１－６つくば研究支援センター　Ｄ２６　アトナープ株式会社　つくばＲ＆Ｄオフィス内 Ibaraki (JP).

(74) 代理人: 今井　彰，外(IMAI, Akira et al.); 〒3900811 長野県松本市中央１丁目４番２０号 日本生命松本駅前ビル８階 Nagano (JP).

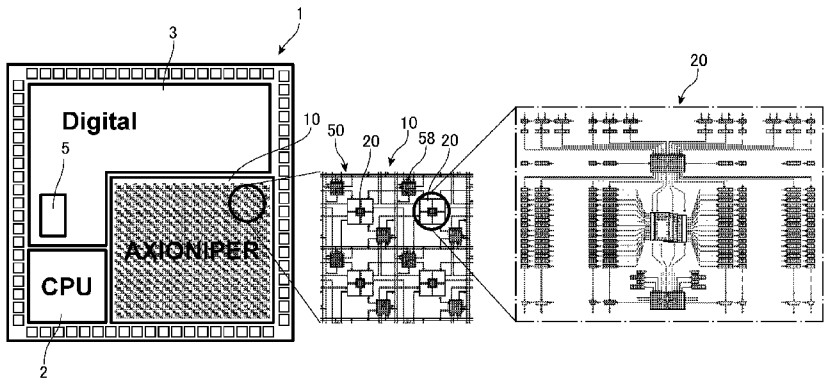
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: DATA PROCESSING DEVICE AND CONTROL METHOD THEREFOR

(54) 発明の名称 : データ処理装置およびその制御方法



(57) **Abstract**: This data processing device has a plurality of elements, and a data processing unit containing a wiring group connecting the plurality of elements. Each of the plurality of elements comprises: a logic element; an acquisition unit that switches the input side of the logic element on and off in cycles with respect to any of the wires of the wiring group, and latches input data; and a post unit that switches the output side of the logic element on and off in cycles with respect to any of the wires of the wiring group. In addition, the data processing unit has a timing control unit that controls, in cycles, the logic executed in the logic element, and the functions of the acquisition unit and the post unit.

(57) 要約: データ処理装置は、複数のエレメントと、複数のエレメントを接続する配線群とを含むデータ処理部を有し、複数のエレメントのそれぞれは、論理エレメントと、論理エレメントの入力側を配線群のいずれかの配線に対しサイクル単位でオンオフし、入力データをラッチする取得ユニットと、論理エレメントの出力側を配線群のいずれかの配線に対しサイクル単位でオンオフするポストユニットとを含み、データ処理部は、さらに、論理エレメントにおいて実行する論理、取得ユニットおよびポストユニットの機能をサイクル単位で制御するタイミング制御ユニットを有する。

WO 2014/132669 A1