

明 細 書

発明の名称：量子コンピュータの制御装置

技術分野

[0001] 本発明は、量子コンピュータの制御装置に関する。

背景技術

[0002] 近年、量子力学的な現象を用いて計算を行う量子コンピュータの研究が注目されている。量子コンピュータの実現には、量子ビットを高精度に制御することが不可欠であり、量子コンピュータの制御に関する様々な技術が提案されている（例えば、特許文献１、特許文献２、非特許文献１、及び非特許文献２参照）。量子コンピュータにおいて現在主流となっている超伝導量子ビットは、マイクロ波パルスによって制御される。

[0003] 図１に、従来の量子コンピュータの一般的な構成を示す。従来の量子コンピュータ１は、制御装置１０と、複数の量子ビットからなる量子ビットシステム２０とを備える。制御装置１０は、サーバ３０と、複数のベースバンド回路４０と、発振回路５０と、アナログ回路６０とを備える。

[0004] サーバ３０は、量子ビットシステム２０の量子ビットの状態制御や読み出しに必要な波形信号を算出したり、各ベースバンド回路４０からの入力信号を解析する。各ベースバンド回路４０は、サーバ３０で算出された波形信号に対してデジタル信号処理を施してベースバンド信号を生成したり、タイミング制御を司るロジックデバイス４２と、アナログ信号とデジタル信号との間で変換するデジタルーアナログ変換器／アナログーデジタル変換器（ＤＡＣ／ＡＤＣ）４４とを備える。ロジックデバイス４２は、例えば、Field Programmable Gate Array（ＦＰＧＡ）などのプログラマブルロジックデバイスであり、Dynamic Random Access Memory（ＤＲＡＭ）などのメモリを搭載している。

[0005] 発振回路５０には、搬送波としてのマイクロ波を発生する複数の発振器が配置されている。アナログ回路６０は、各ベースバンド回路４０、発振回路

50、及び量子ビットシステム20に接続されており、入力されたアナログ信号をミキシング、合波するなどして高周波信号を生成する。量子ビットシステム20の量子ビットには複数の周波数のマイクロ波パルスを照射する必要があることから、アナログ回路60は、ミキサ、ディバイダ、コンバイナなどの部品が複雑に入り組んだ構造になっている。

先行技術文献

特許文献

[0006] 特許文献1：米国特許出願公開第2019/0049495号明細書

特許文献2：米国特許出願公開第2020/0065696号明細書

非特許文献

[0007] 非特許文献1：Colm A. Ryan, Blake R. Johnson, Diego Riste, Brian Donovan, Thomas A. Ohki, “Hardware for Dynamic Quantum Computing,” Review of Scientific Instruments 88 (10), 104703 (2017)

非特許文献2：Yilun Xu, Gang Huang, Jan Balewski, Ravi Naik, Alexis Morvan, Bradley Mitchell, Kasra Nowrouzi, David I. Santiago, Irfan Siddiqi, “QubiC: An open source FPGA-based control and measurement system for superconducting quantum information processors,” IEEE Transactions on Quantum Engineering, vol. 2, pp. 1-11, 2021, Art no. 6003811

発明の概要

発明が解決しようとする課題

[0008] しかしながら、従来の量子コンピュータ1の制御装置10は、各ベースバンド回路40と発振回路50とアナログ回路60とが別々に設けられていることから、校正作業が容易ではなく、ユーザビリティが低いという課題がある。また、アナログ回路60で高周波信号を集中的に生成していることから、量子ビットシステム20の量子ビット数を増加させると、アナログ回路60の回路規模が肥大化し、スケーラビリティが低いという課題もある。さらに、アナログ方式で入力信号をミキシング、合波するアナログ回路60の回

路構成は、ロバスト性及びコンフィギャビリティの点で不利であるという課題もある。

- [0009] 本発明は上記課題に鑑みてなされたものであり、ユーザビリティ、スケーラビリティ、ロバスト性などに優れた量子コンピュータの制御装置を提供することを目的とする。

課題を解決するための手段

- [0010] 本発明に係る量子コンピュータの制御装置は、複数の量子ビットからなる量子ビットシステムに対する制御又は量子ビットシステムからの読み出しのための波形信号を算出するサーバと、波形信号に基づいて、量子ビットシステムに照射する電磁波信号を生成する複数の信号処理ユニットと、を備える。複数の信号処理ユニットの各々は、波形信号にデジタル信号処理を施してベースバンド信号を生成するロジックデバイスと、所定の周波数帯域のデジタル発振信号を生成する1又は複数のデジタル発振器と、ベースバンド信号とデジタル発振信号とをミキシングしてアップコンバートすることにより、1又は複数の混合信号を出力する1又は複数のミキサと、1又は複数の混合信号に対してデジタルーアナログ変換を施してアナログ信号を得るデジタルーアナログ変換器と、アナログ信号から電磁波信号を生成する高周波回路と、高周波回路からの入力信号に対してアナログーデジタル変換を施してデジタル信号を得るアナログーデジタル変換器と、を備える。

発明の効果

- [0011] 本発明に係る量子コンピュータの制御装置によれば、複数の信号処理ユニットの各々が、ベースバンド信号の生成、デジタルーアナログ変換、アナログーデジタル変換、発振信号の生成、ミキシング、及び電磁波信号の生成の機能を有しているため、ユーザビリティを高めるとともに、量子ビットシステムのスケールに対応しやすくなり、スケーラビリティを高めることができる。また、ベースバンド信号をデジタル方式でミキシングすることにより、ロバスト性を高めることができる。

図面の簡単な説明

- [0012] [図1]従来の量子コンピュータの構成を示すブロック図である。
- [図2]本発明の実施形態に係る量子コンピュータの構成を示すブロック図である。
- [図3]各信号処理ユニットの回路構成を示す模式図である。
- [図4A]DACユニット内の回路構成の一部を示す模式図である。
- [図4B]高周波回路のアップコンバータの構成図である。
- [図4C]フィードバック回路のダウンコンバータの構成図である。
- [図4D]量子ビットシステムからの読み出し信号を受けるダウンコンバータの構成図である。
- [図5]クロック分配ユニットの構成を示すブロック図である。
- [図6]異なる信号処理ユニット間での同期を説明する模式図である。
- [図7A]ロジックデバイスとDAC/ADCモジュールとの間の異なるチャンネル間で信号が同期していない例を説明する模式図である。
- [図7B]ロジックデバイスとDAC/ADCモジュールとの間の異なるチャンネル間での信号の同期を説明する模式図である。

発明を実施するための形態

- [0013] 以下、図面を参照して本発明の実施形態を詳述する。
- [0014] 以下の実施形態では、量子コンピュータの一例として、マイクロ波によって制御する超伝導量子コンピュータについて説明するが、後述のように、種々の量子コンピュータについても本発明は適用可能である。
- [0015] 図2に、本実施形態に係る量子コンピュータ100の構成を示す。量子コンピュータ100は、制御装置110と、複数の量子ビットからなる量子ビットシステム120とを備える。
- [0016] 制御装置110は、サーバ130と、複数の信号処理ユニット $140-i$ ($i=1, 2, \dots, N$: N は2以上の整数)と、クロック分配ユニット150と、マスター160とを備える。
- [0017] サーバ130は、各信号処理ユニット $140-i$ 、クロック分配ユニット150及びマスター160に接続され、クロック分配ユニット150は各信

号処理ユニット140-iに接続され、マスター160も各信号処理ユニット140-iに接続され、各信号処理ユニット140-iは量子ビットシステム120に接続されている。量子ビットシステム120は、極低温の冷凍機内に設けられている。

[0018] サーバ130は、ユーザからの指示入力を受けて、量子ビットシステム120の量子ビットの状態制御や読み出しに必要な波形信号を算出し、各信号処理ユニット140-iに出力する。また、サーバ130は、各信号処理ユニット140-iからの入力信号及び解析結果を読み出して所定の処理を施す。

[0019] クロック分配ユニット150は、各信号処理ユニット140-iに共通のクロックを分配する。マスター160は、時刻同期プロトコルにしたがって、各信号処理ユニット140-iに共通の時刻を分配する。クロック分配ユニット150によるクロック分配及びマスター160による時刻分配の詳細は後述する。

[0020] 複数の信号処理ユニット140-iは別々の筐体に設けられている。各信号処理ユニット140-iは、図1に示す従来のベースバンド回路40、発振回路50、及びアナログ回路60の機能を単一のユニットに統合したものであり、サーバ130で算出された波形信号に基づいて、量子ビットシステム120に照射するマイクロ波信号（電磁波信号）を生成する。

[0021] 図3に、各信号処理ユニット140-iの回路構成を示す。各信号処理ユニット140-iは、ロジックデバイス310と、DAC/ADCモジュール330と、高周波（RF）回路350とを備える。ロジックデバイス310、DAC/ADCモジュール330、及びRF回路350の一部（後述のアップコンバータ360）は、同一の基板300上に設けられている。

[0022] ロジックデバイス310は、FPGAなどのプログラマブルロジックデバイスであり、サーバ130で算出された波形信号にデジタル信号処理を施してベースバンド信号を生成したり、タイミング制御を司る。ロジックデバイス310は、I/F312と、高帯域幅メモリ（HBM）314と、送信口

ジック 316 と、受信ロジック 318 と、I/F 320 とを備える。

[0023] I/F 312 は、ロジックデバイス 310 をサーバ 130、クロック分配ユニット 150、及びマスター 160 に接続させるためのインターフェースである。

[0024] HBM 314 は、サーバ 130 から出力された波形信号のデータを保持し、受信ロジック 318 から書き込まれたデータを保存する。ロジックデバイス 310 に HBM 314 が搭載されていることにより、高密度の実装が可能となり、大量のデータをリアルタイムで処理することが可能となる。

[0025] 送信ロジック 316 は、送信タイミングの制御に関するパラメータ 316a を保持しており、HBM 314 に保持された波形信号にデジタル信号処理を施してベースバンド信号を生成し、パラメータ 316a にしたがったタイミングで、後述のフレームカウンタ・トリガに合わせてベースバンド信号を I/F 320 を介して送信する。本実施形態では、ベースバンド信号をパラメータ 316a にしたがって送信を開始してから終了するまでの期間をデータ印加サイクルと定義する。

[0026] 受信ロジック 318 は、ロジック内の処理に必要なパラメータ 318a を保持しており、パラメータ 318a にしたがって、RF 回路 350 からの入力信号を取り込み、解析する。入力信号と解析結果は、HBM 314 に書き込まれる。

[0027] I/F 320 は、ロジックデバイス 310 を DAC/ADC モジュール 330 に接続させるためのインターフェースである。I/F 320 は、例えば、パーソナルコンピュータ（PC）用のインターフェース規格である Peripheral Component Interconnect Express（PCIe（登録商標））をサポートしており、高速データ通信を可能にしている。このように、本実施形態では、PC などの汎用コンピュータとの接続に用いられるインターフェース規格を、DAC/ADC モジュール 330 との接続に利用していることから、専用の基板が不要となり、部品の選定が容易になる。

[0028] DAC/ADC モジュール 330 は、デジタルーアナログ変換器（DAC

）ユニット 332 とアナログーデジタル変換器（ADC）ユニット 334 とを備える。

[0029] DAC ユニット 332 は、送信ロジック 316 で生成されたベースバンド信号から中間周波数（IF）信号を生成し、IF 信号をデジタルーアナログ変換し、得られたアナログ信号を RF 回路 350 に出力する。DAC ユニット 332 で生成される IF 信号は、例えば、中心周波数が 1 ～ 3 GHz、帯域幅が 1 ～ 3 GHz の信号である。

[0030] 図 4 A に、DAC ユニット 332 の回路構成の一部を示す。図 4 A に示す回路構成は、2 つのベースバンド信号（以下、第 1 及び第 2 ベースバンド信号と呼ぶ。）から 1 つの IF 信号を生成する回路の例を示している。DAC ユニット 332 は、ミキサ 410、420、及び 440 と、コンバイナ 430 と、デジタル発振器としての数値制御発振器（NCO）412、422、及び 442 と、DAC 450 とを備える。NCO 412、422、及び 442 は、いずれも所定の周波数帯域（例えば 1 ～ 3 GHz）のデジタル発振信号を搬送波として生成するが、発振周波数は互いに異なる。

[0031] ミキサ 410 は、送信ロジック 316 から入力された第 1 ベースバンド信号と NCO 412 の発振信号とをミキシングしてアップコンバートすることにより、第 1 混合信号を出力する。ミキサ 420 は、送信ロジック 316 から入力された第 2 ベースバンド信号と NCO 422 の発振信号とをミキシングしてアップコンバートすることにより、第 2 混合信号を出力する。コンバイナ 430 は、ミキサ 410 からの第 1 混合信号とミキサ 420 からの第 2 混合信号とを合波し、合波信号を出力する。ミキサ 440 は、コンバイナ 430 からの合波信号と NCO 442 の発振信号とをミキシングしてアップコンバートすることにより、IF 信号を得る。DAC 450 は、ミキサ 440 から出力された IF 信号をアナログ信号に変換し、RF 回路 350 のアップコンバータ 360 に出力する。

[0032] 例えば、ロジックデバイス 310 で対応可能な周波数帯域が 0 ～ 500 MHz であるものとし、中心周波数が 3.2 GHz、帯域幅が 1 GHz の IF

信号を生成するものとする。この場合、NCO412、422、及び442の発振周波数を、それぞれ、1GHz、1.5GHz、及び3.2GHzに設定する。まず、送信ロジック316から入力された、帯域幅が500MHzの第1及び第2ベースバンド信号を、NCO412の発振信号及びNCO422の発振信号とそれぞれミキシングしてアップコンバートすることで、同じ帯域幅で中心周波数の異なる第1及び第2混合信号が生成される。そして、第1及び第2混合信号をコンバイナ430で合波することで、中心周波数が1.25GHz、帯域幅が1GHzの合波信号が得られる。この合波信号をNCO442の発振信号とミキシングしてさらにアップコンバートすることで、中心周波数が3.2GHz、帯域幅が1GHzのIF信号を得ることができる。

[0033] 従来のアナログ方式でのミキシング、合波とは異なり、DACユニット332では、ミキサ410、420、440、及びコンバイナ430によって、デジタル方式で入力信号をミキシングし、合波することにより、アナログ方式よりもロバスト性、再現性を高めることができる。

[0034] なお、図4Aでは、DACユニット332の回路構成の一部を示しているが、出力段のアップコンバータ360の数に対応して、図4Aと同様の複数の回路が設けられている。また、図4Aでは、2つのベースバンド信号から1つのIF信号を生成する回路構成を示しているが、生成するIF信号の帯域幅に応じて、必要なベースバンド信号の数、NCOの数は異なる。例えば、ロジックデバイス310で対応可能な周波数帯域が0～500MHzである場合に、帯域幅が3GHzのIF信号を生成するとき、まず、帯域幅が500MHzの6つのベースバンド信号を、それぞれ、発振周波数の異なる6つのNCOの発振信号とミキシングすることで、同じ帯域幅で中心周波数の異なる6つの混合信号が生成される。これら6つの混合信号を合波することにより、帯域幅が3GHzの合波信号が得られる。この合波信号をさらにアップコンバートして中心周波数を高めることで、帯域幅が3GHzで所望の中心周波数のIF信号を得ることができる。

- [0035] 図3に戻り、ADCユニット334は、RF回路350から入力されたアナログ信号をデジタル信号に変換し、得られたデジタル信号をI/F320を介して受信ロジック318に出力する。
- [0036] なお、図3では、DACユニット332が8出力、ADCユニット334が4入力である例を示しているが、DACユニット332の出力ポートの数、ADCユニット334の入力ポートの数は限定されない。また、DAC/ADCモジュール330は、複数のDACユニット（例えば、4出力のDACユニットが2つ）と複数のADCユニット（例えば、2入力のADCユニットが2つ）とから構成されてもよい。
- [0037] RF回路350は、複数のアップコンバータ360と、複数のフィルタ・通倍器ユニット370と、複数の分配器372と、複数のダウンコンバータ384を有するフィードバック回路380と、複数のダウンコンバータ390とを備える。
- [0038] 複数のアップコンバータ360は、DACユニット332の複数の出力ポートにそれぞれ接続されている。複数のフィルタ・通倍器ユニット370は、複数のアップコンバータ360の出力段にそれぞれ接続されている。
- [0039] フィードバック回路380の複数のダウンコンバータ384の出力段、及び複数のダウンコンバータ390の出力段は、ADCユニット334の複数の入力ポートに接続されている。例えば、ADCユニット334が4入力の場合、2つの入力ポートには、それぞれ、2つのダウンコンバータ384の出力段が接続され、残りの2つの入力ポートには、それぞれ、2つのダウンコンバータ390の出力段が接続されている。
- [0040] 図4Bに示すように、各アップコンバータ360は、局部発振器（LO）362と、ミキサ364と、バラン（balun）366とを備える。LO362は、上述の各NCOよりも高い周波数帯域（例えば10GHz帯）のアナログ発振信号を搬送波として生成するアナログ発振器である。ミキサ364は、DACユニット332から出力されたアナログのIF信号とLO362の発振信号とをミキシングしてアップコンバートすることで、高周波信号（例

えば、中心周波数が10GHzの信号)を出力するアナログミキサである。ミキサ364で得られた高周波信号は、バラン366を介して出力される。LO362の発振信号は、ダウンコンバータ384及び390にも出力される。

[0041] ここで、本実施形態では、RF出力の隣接チャネルのクロストークを抑制するため、基板300上の信号配線を差動配線にしている。特に、DACユニット332の出力、LO362の出力、ミキサ364の出力、及びADCユニット334の入力を差動配線にするのが好ましい。バラン366は、ミキサ364からの差動信号をシングルエンド信号に変換する。なお、RF回路350のうち、基板300の外に設けられた部品は、シングルエンド系である場合がほとんどであるため、シールドケースで覆うことが推奨される。このような構成とすることで、チャネル(データレーン)間のアイソレーションを確保することができ、チャネル間のクロストークを低減させることができる。

[0042] 各フィルタ・通倍器ユニット370は、対応するアップコンバータ360から出力された高周波信号を整数倍の周波数に変換する通倍器と、特定の周波数帯域の信号を通過させるフィルタの他、信号レベルを増幅するアンプを備え、マイクロ波信号(電磁波信号)を出力する。通倍器及びフィルタから得られる信号の周波数帯域は、チャネルによって異なるのが好ましい。

[0043] 各分配器372は、各フィルタ・通倍器ユニット370の出力段に設けられている。フィルタ・通倍器ユニット370からのマイクロ波信号は、分配器372で2つ(第1マイクロ波信号OUT1、第2マイクロ波信号OUT2)に分配され、第1マイクロ波信号OUT1は、ケーブルを介して量子ビットシステム120の量子ビットに照射され、第2マイクロ波信号OUT2は、フィードバック回路380に出力される。

[0044] 図3に示すように、単一の信号処理ユニット140-iから複数の第1マイクロ波信号OUT1が量子ビットシステム120に出力される。複数の第1マイクロ波信号OUT1の一部は、量子ビットの状態を制御するための制

御信号であり、残りの第1マイクロ波信号OUT1は、量子ビットを読み出すための読み出しパルスと、読み出される信号を増幅させるポンプパルスとを含む。例えば、各信号処理ユニット140-iが8出力である場合、8つの第1マイクロ波信号OUT1を、6つの量子ビットの状態をそれぞれ制御するための6つの制御信号と、1つの読み出しパルスと、1つのポンプパルスとから構成させることができる。

[0045] フィードバック回路380は、複数のダウンコンバータ384と、これらの入力段に設けられた複数のスイッチ・合波ユニット382とを備える。

[0046] 各スイッチ・合波ユニット382には、複数の分配器372から出力された複数の第2マイクロ波信号OUT2の一部と、他の（隣接する）信号処理ユニット140-jからの出力信号が外部信号EXTとして入力される。例えば、図3に示すように、8つの第2マイクロ波信号OUT2があり、フィードバック回路380が2つのスイッチ・合波ユニット382を備えたとすると、一方のスイッチ・合波ユニット382には、4つの第2マイクロ波信号OUT2と1つの外部信号EXTとが入力され、他方のスイッチ・合波ユニット382には、残りの4つの第2マイクロ波信号OUT2と1つの外部信号EXTとが入力される。他の信号処理ユニット140-jからの外部信号EXTは、データ印加サイクル内で信号処理ユニット140-i ($i \neq j$) の内部に取り込まれる。

[0047] 各スイッチ・合波ユニット382は、サーバ130からの指示にしたがって、スイッチにより、複数の入力信号（OUT2、EXT）から1又は2以上の入力信号を選択する。1つの入力信号が選択された場合、その入力信号はそのまま対応するダウンコンバータ384に出力され、2以上の入力信号が選択された場合、それらの入力信号は合波され、対応するダウンコンバータ384に合波信号が出力される。第2マイクロ波信号OUT2が選択された場合、その第2マイクロ波信号OUT2は、後述のように、ベースバンド信号を補正するために用いられる。一方、他の信号処理ユニット140-jからの外部信号EXTが選択された場合、その外部信号EXTは、異なる信

号処理ユニット140-i及び140-j ($i \neq j$) 間での同期をモニタするために用いられる。

- [0048] 図4Cに示すように、各ダウンコンバータ384は、ミキサ386を備える。アップコンバータ360のLO362の発振信号は、ミキサ386にも入力される。ミキサ386は、対応するスイッチ・合波ユニット382からの入力信号とLO362の発振信号とをミキシングして、ロジックデバイス310で対応可能な周波数にダウンコンバートし、得られたアナログ信号をモニタ信号としてADCユニット334に出力する。
- [0049] ADCユニット334は、フィードバック回路380から出力されたモニタ信号をデジタル信号に変換し、得られたデジタルモニタ信号を受信ロジック318に出力する。受信ロジック318は、入力されたモニタ信号を取り込んで解析し、モニタ信号及び解析結果をHBM314に書き込む。
- [0050] モニタ信号が、第2マイクロ波信号OUT2に対応する場合、受信ロジック318は、当該モニタ信号と、送信ロジック316が出力したベースバンド信号との差分を算出し、差分をゼロにするために補正用のパラメータを送信ロジック316のパラメータ316aに設定する。送信ロジック316は、HBM314に保持された波形信号から生成したベースバンド信号に対して、パラメータ316aにしたがって補正を施し、補正後のベースバンド信号を出力する。このように、モニタ信号に基づいて自動校正を行うことにより、ユーザビリティを高めることができ、高性能且つ高安定性を実現することが可能となる。
- [0051] モニタ信号が、他の信号処理ユニット140-jから信号処理ユニット140-i ($i \neq j$) に入力された外部信号EXTに対応する場合、信号処理ユニット140-iの受信ロジック318は、当該モニタ信号と参照信号とを比較して、異なる信号処理ユニット140-i及び140-j間における同期を解析し、解析結果をHBM314に書き込む。
- [0052] 図4Dに示すように、RF回路350の各ダウンコンバータ390は、ミキサ392を備える。アップコンバータ360のLO362の発振信号は、

ミキサ392にも入力される。ミキサ392は、読み出しパルスとポンプパルスの照射によって量子ビットから読み出された信号READとLO362の発振信号とをミキシングして、ロジックデバイス310で対応可能な周波数にダウンコンバートし、得られたアナログ信号をADCユニット334に出力する。

[0053] ADCユニット334は、各ダウンコンバータ390から出力されたアナログ信号をデジタル信号に変換し、得られたデジタル信号を受信ロジック318に出力する。受信ロジック318は、ADCユニット334からの入力信号を取り込んで解析し、入力信号及び解析結果をHBM314に書き込む。

[0054] 次に、クロック分配ユニット150の構成について説明する。図5に示すように、クロック分配ユニット150は、クロック生成源510と、第1クロック生成装置521と、第2クロック生成装置522と、第3クロック生成装置523とを備える。クロック生成源510は、所定の周波数（例えば10MHz）のクロックを生成する。クロック生成源510で生成されたクロックは、第1クロック生成装置521、第2クロック生成装置522、及び第3クロック生成装置523に分配される。

[0055] 第1クロック生成装置521、第2クロック生成装置522、及び第3クロック生成装置523は、位相同期回路（PLL）、分周回路などを備えており、互いに異なる周波数の第1クロック、第2クロック、及び第3クロックをそれぞれ生成する。第1クロック、第2クロック、及び第3クロックは、それぞれ、信号線531、532、及び533を介して、全ての信号処理ユニット140-1、140-2、…、140-Nに分配される。

[0056] 第1クロックは、第1周波数（例えば125MHz）のシステム動作クロックである。第2クロックは、ロジックデバイス310とDAC/ADCモジュール330との間の異なるチャネル間の同期に用いられる、第1クロックよりも長周期の第2周波数（例えば62.5kHz）のクロックである（図7B参照）。第3クロックは、上述の各発振器（NCO、LO）の発振信

号の基になる、第3周波数（例えば100MHz）の基準クロックである。

[0057] 各信号処理ユニット140-iのロジックデバイス310では、第1クロックから、より周波数の高い動作クロックが生成され、DAC/ADCモジュール330では、ロジックデバイス310で生成された動作クロックに合わせて信号が取り込まれ、又は出力される。例えば、ロジックデバイス310では、125MHzの第1クロックから250MHzの動作クロックが生成される。

[0058] 図4Aに示すNC0412、422、442の発振信号と、図4Bに示すLO362の発振信号は、第3クロックに基づいて生成されるが、これらの発振器の発振周波数は、量子ビットの個体差、製造ばらつきに応じて可変である。

[0059] 本実施形態の制御装置110は、図1に示す従来の制御装置10とは異なり、各信号処理ユニット140-i内で高周波信号を個別に生成するため、制御装置110全体の同期をとる必要がある。そこで、本実施形態では、以下の4つの同期手法I~IVを用いている。

同期手法I：異なる信号処理ユニット140-i間で同期をとる；

同期手法II：ロジックデバイス310とDAC/ADCモジュール330との間の異なるチャンネル間で同期をとる；

同期手法III：同一チャンネル内の異なるデータ印加サイクル間で出力信号の位相を揃える；

同期手法IV：全ての信号処理ユニット140-iに共通の時刻を分配する。

[0060] 以下、各同期手法について説明する。

<同期手法I>

図5に示すように、第1クロック、第2クロック、及び第3クロックは、クロック分配ユニット150によって、全ての信号処理ユニット140-1、140-2、…、140-Nに分配される。同期手法Iでは、図6に示すように、各信号処理ユニット140-i内でクロックの周期が常に一定に維

持され ($t_1 = t_2$)、且つ、異なる信号処理ユニット $140-i$ 及び $140-j$ ($i \neq j$) 間でのクロックの立ち上がりのタイミングのずれ (位相差) が常に一定に維持されるように ($t_3 = t_4$)、高精度に第1～第3クロックを生成して分配する。

[0061] 高精度なクロック生成及び分配を実現させるためには、クロック生成源 510 におけるクロック生成の精度を高めるとともに、クロック分配ユニット 150 、信号線 531 、 532 、及び 533 を一定の温度に保つようにすればよい。例えば、信号線 531 、 532 、及び 533 を動かさないように固定し、ペルチェ恒温槽により温度を一定に保つことができる。また、サーミスタを用いた温度補償回路によって、温度変化によるクロック信号の位相変化量への影響を小さくすればよい。

[0062] <同期手法ⅠⅠ>

次に、図7A及び図7Bを参照して同期手法ⅠⅠを説明する。図7A及び図7Bでは、ロジックデバイス 310 によって第1クロックから生成された高周波数の動作クロックを $CLK1$ 、第2周波数の第2クロックを $CLK2$ と表記している。例えば、 $CLK1$ の周波数が 250MHz 、 $CLK2$ の周波数が 62.5kHz である場合、 $CLK2$ は、 $CLK1$ の約 4000 倍の周期を有する長周期クロックとなる。

[0063] DAC/ADC モジュール 330 では、 $CLK1$ に合わせて信号が取り込まれ、又は送出される。図3に示すように、ロジックデバイス 310 と DAC/ADC モジュール 330 との間には複数のチャネルが存在するが、異なるチャネル間では信号の伝送遅延が異なっている。異なるチャネル間で同期がとれていない場合、チャネル間で信号を取り込むタイミングにずれが生じる。 $CLK1$ の立ち上がりで信号が取り込まれるとすると、例えば、図7Aに示すように、チャネル m を伝送する信号は、チャネル n ($m \neq n$) を伝送する信号より1クロック遅れて取り込まれてしまうなどの事態が生じる。

[0064] そこで、本実施形態では、ロジックデバイスと DAC/ADC との間のインターフェース規格である $JESD204C$ にしたがって、チャネル間の同

期をとるようにする。JESD204Cで定められた同期は、動作クロック（CLK1）よりも長周期のSYSEFと呼ばれる長周期クロック（CLK2）と、ローカル拡張マルチブロック・クロック（LEMC）とを使用する。LEMCでは、64サンプル（32タプル）を1フレームとして扱っており、1フレームの期間は256nsである。JESD204Cでは、CLK2の立ち上がりにLEMCフレームの先頭を合わせる。ロジックデバイス310は、図7Bに示すように、ベースバンド信号に対し、フレームごとに（256ns周期で）先頭を表すマーカーM（例えば、数ビットのフラグ）を付加し、この先頭のマーカーMとCLK2の立ち上がりとを定期的に合わせることで、ロジックデバイス310とDAC/ADCモジュール330との間におけるベースバンド信号の授受のタイミングを制御する。このようにすると、各チャネルにおいて256ns単位で先頭を揃えることができ、ベースバンド信号の送受信を開始するタイミングのずれや、異なるチャネル間のばらつきを抑制することができる。

[0065] なお、図7A及び図7Bでは、分かりやすく説明するために、ベースバンド信号の振動周期に比して、動作クロックCLK1の周期が長く描画されているが、実際の動作クロックCLK1の周期は、ベースバンド信号の振動周期に比して短い。

[0066] <同期手法III>

次に、図4A及び図4Bを参照して同期手法IIIを説明する。JESD204Cでは、信号を出力するタイミングがLEMCの1フレーム（256ns）に1回と定められている。しかしながら、DACユニット332のNCO412、422、及び442、並びにアップコンバータ360のLO362は、発振周波数が互いに異なり、且つ、量子ビットの特性や製造ばらつきに応じて発振周波数が可変であることから、各ミキサでのミキシングの際に、フレームごとに出力信号の位相がずれることがある。

[0067] 具体的には、LEMCの1フレームの期間を t （=256ns）、NCO412、422、442、及びLO362の発振周波数を、それぞれ、 f_1 、

f_2 、 f_3 、及び f_4 と表記すると、各ミキサでのミキシングの際に、フレームごとに $2\pi f_i t \bmod 2\pi$ のオフセット ($i = 1, 2, 3, 4$) が生じる。全ての発振器についてこのオフセット値が一定であれば位相のずれは生じないが、これらの発振器の発振周波数の違いに起因してオフセット値がばらつくことがある。例えば、 $f_1 = 1 \text{ GHz}$ 、 $f_2 = 1.5 \text{ GHz}$ 、 $f_3 = 3.2 \text{ GHz}$ 、及び $f_4 = 10 \text{ GHz}$ とすると、NCO412、422、及びLO362については、1フレームあたりのオフセット値はゼロであるが、NCO442については、オフセット値は 0.4π となり、フレームごとに出力信号の位相がずれる原因となる。これにより、異なるデータ印加サイクル間で、出力信号の位相がずれてしまうという事態が生じる。

[0068] そこで、本実施形態では、異なるデータ印加サイクル間での位相のずれがなくなるように、LEMCフレームをグルーピングして、ベースバンド信号の出力を開始するタイミングを制御する。上述の例では、1番目から4番目のフレームまでは、NCO442についてオフセット値が 0.4π 、 0.8π 、 1.2π 、 1.6π となるが、5番目のフレームでは、全ての発振器についてオフセット値がゼロとなる。よって、5フレームを1グループとし、5フレーム ($256 \text{ ns} \times 5$) に1回のタイミングで、ベースバンド信号の出力を開始すればよい。

[0069] すなわち、ミキサ410、420、440、及び364でミキシングするときのフレーム数を、それぞれ、 n_1 、 n_2 、 n_3 、及び n_4 と表記すると (いずれも1以上の整数)、全ての発振器について $2\pi f_i t n_i \bmod 2\pi = 0$ 又は一定値 ($i = 1, 2, 3, 4$) を満たす最小の整数 n_1 、 n_2 、 n_3 、及び n_4 の最小公倍数となるフレーム数 n_c でLEMCフレームをグルーピングする。送信ロジック316は、LEMCフレームをカウントするためのフレームカウンタを有しており、 n_c フレームに1回のタイミングでベースバンド信号の出力を開始するように、フレームカウンタ・トリガによって制御すればよい。このように、各発振器の発振周波数に応じて、ベースバンド信号の出力を開始するタイミングを決定することにより、異なるデータ印加サイク

ル間で出力信号の位相が揃い、高精度に量子ビットの状態を制御し、又は量子ビットから読み出しをすることが可能となる。

[0070] <同期手法ⅠⅤ>

同期手法ⅠⅤでは、マスター160が、時刻同期プロトコルにしたがって、全ての信号処理ユニット140-iに共通の時刻を分配し、信号処理の開始時刻を指定する。時刻同期プロトコルとしては、例えば、IEEE1588が挙げられる。ここで、上述のLEMCのフレームを考慮し、各信号処理ユニット140-iへのデータ送信の開始時刻のずれは256ns未満となることが好ましい。また、ロジックデバイス310内で動作周波数の異なる様々なロジックが存在してデータの受け渡しが行われることから、Clock Domain Crossing (CDC) を考慮して、200ns未満のずれに抑制されていることがさらに好ましい。IEEE1588では、マスター160と各信号処理ユニット140-iとの間の接続に10Gビットイーサネットが使用されており、データを送信する際の基準クロックは156.25MHz (= 周期6.4ns) に設定されている。すなわち、 $200\text{ ns} \div 6.4\text{ ns} \div 30$ サイクル未満のずれに抑制されていることが好ましい。このように、全ての信号処理ユニット140-iに共通の時刻を分配することにより、複数の信号処理ユニット140-i間におけるデータ印加サイクル内で開始時刻のずれを低減することができる。

[0071] 以上説明したように、本実施形態に係る量子コンピュータ100の制御装置110は、複数の信号処理ユニット140-iを備え、各信号処理ユニット140-iは、従来のロジックデバイス、DAC/ADC、発振回路、及びミキサなどの機能を単一のユニットに統合したものである。このような構成により、信号処理ユニット140-iごとの校正が可能になり、ユーザビリティを高めることができる。また、量子ビットシステム120の量子ビットの増加に対応しやすくなり、スケーラビリティを高めることができる。さらに、制御装置110全体をコンパクトなサイズにすることができる。また、ベースバンド信号をデジタル方式でミキシングし、合波することにより、

ロバスト性及び再現性を高めることができる。

[0072] なお、本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の変更が可能であり、当業者によってなされる他の実施形態、変形例も本発明に含まれる。

[0073] 例えば、ロジックデバイス 310 として、FPGA などのプログラマブルロジックデバイスの代わりに、特定用途向け集積回路 (ASIC) などの他のロジックデバイスを用いてもよい。

[0074] また、本発明は、超伝導量子コンピュータの他に、マイクロ波で制御可能な半導体量子ドット型量子コンピュータ、マイクロ波で制御可能な冷却原子気体系の量子コンピュータ、電子スピンを分子技術やナノテクノロジーを使って並べるタイプの量子コンピュータ、マイクロ波以外の電磁波によって制御する量子コンピュータなど、種々の量子コンピュータの制御に適用可能であると考えられる。また、本発明は、マイクロ波によって制御する量子ビットを用いた量子シミュレータや量子センサ、量子中継器の制御にも適用可能であると考えられる。

符号の説明

[0075] 100 量子コンピュータ
110 制御装置
120 量子ビットシステム
130 サーバ
140-1、140-2、…、140-N 信号処理ユニット
150 クロック分配ユニット
160 マスター
310 ロジックデバイス
312、320 I/F
314 HBM
316 送信ロジック
318 受信ロジック

330	DAC／ADCモジュール
332	DACユニット
334	ADCユニット
350	RF回路
360	アップコンバータ
362	LO
364	ミキサ
366	バラン
372	分配器
380	フィードバック回路
384、390	ダウンコンバータ
410、420、440	ミキサ
412、422、442	NCO
430	コンバイナ
450	DAC
510	クロック生成源
521	第1クロック生成装置
522	第2クロック生成装置
523	第3クロック生成装置

請求の範囲

[請求項1]

量子コンピュータの制御装置であって、

複数の量子ビットからなる量子ビットシステムに対する制御又は前記量子ビットシステムからの読み出しのための波形信号を算出するサーバと、

前記波形信号に基づいて、前記量子ビットシステムに照射する電磁波信号を生成する複数の信号処理ユニットと、を備え、

前記複数の信号処理ユニットの各々は、

前記波形信号にデジタル信号処理を施してベースバンド信号を生成するロジックデバイスと、

所定の周波数帯域のデジタル発振信号を生成する1又は複数のデジタル発振器と、

前記ベースバンド信号と前記デジタル発振信号とをミキシングしてアップコンバートすることにより、1又は複数の混合信号を出力する1又は複数のミキサと、

前記1又は複数の混合信号に対してデジタルーアナログ変換を施してアナログ信号を得るデジタルーアナログ変換器と、

前記アナログ信号から前記電磁波信号を生成する高周波回路と、

前記高周波回路からの入力信号に対してアナログーデジタル変換を施してデジタル信号を得るアナログーデジタル変換器と、

を備える、量子コンピュータの制御装置。

[請求項2]

前記高周波回路は、

生成された前記電磁波信号を、前記量子ビットシステムに出力するための第1電磁波信号とフィードバック用の第2電磁波信号とに分配する分配器と、

前記第2電磁波信号をダウンコンバートして、モニタ信号として出力するフィードバック回路を備え、

前記アナログーデジタル変換器は、前記モニタ信号に対してアナロ

グーデジタル変換を施してデジタルモニタ信号を出力し、

前記ロジックデバイスは、前記デジタルモニタ信号に基づいて前記ベースバンド信号を補正する、請求項1に記載の量子コンピュータの制御装置。

[請求項3]

前記複数のデジタル発振器は、発振周波数が互いに異なり、

前記複数のミキサは、中心周波数の異なる前記複数の混合信号を出力し、

前記複数の混合信号を合波して、前記ベースバンド信号よりも帯域幅の広い合波信号を生成するコンバイナを更に備え、

前記デジタルーアナログ変換器は、前記合波信号に対してデジタルーアナログ変換を施す、請求項1又は2に記載の量子コンピュータの制御装置。

[請求項4]

少なくとも、前記複数のミキサと、前記複数のデジタル発振器と、前記コンバイナと、前記デジタルーアナログ変換器と、前記アナログーデジタル変換器とを統合した単一のモジュールを構成する、請求項3に記載の量子コンピュータの制御装置。

[請求項5]

一定の温度下で、周波数の異なる複数のクロックを生成し、前記複数のクロックを前記複数の信号処理ユニットの各々に分配するクロック分配ユニットを更に備え、

前記複数のクロックは、少なくとも、前記複数の信号処理ユニットを動作させるための動作クロックと、前記複数のデジタル発振器の前記デジタル発振信号を生成するための基準クロックとを含む、請求項4に記載の量子コンピュータの制御装置。

[請求項6]

前記複数のクロックは、前記動作クロックより周期が長い長周期クロックを更に含み、

前記ロジックデバイスは、前記ベースバンド信号に対し、ローカル拡張マルチブロック・クロックで定められた特定の周期で先頭を定め、前記長周期クロックに前記先頭を定期的に合わせることで、前記ロ

ジックデバイスと前記モジュールとの間における前記ベースバンド信号の授受のタイミングを制御する、請求項5に記載の量子コンピュータの制御装置。

[請求項7] 前記ロジックデバイスは、前記ローカル拡張マルチブロック・クロックで定められた前記特定の周期と、前記複数のデジタル発振器のそれぞれの発振周波数とに基づき、前記ベースバンド信号の前記モジュールへの出力を開始するタイミングを決定する、請求項6に記載の量子コンピュータの制御装置。

[請求項8] 時刻同期プロトコルにしたがって、前記複数の信号処理ユニットに共通の時刻を分配するマスターを更に備える、請求項1～7の何れか1項に記載の量子コンピュータの制御装置。

[請求項9] 前記ロジックデバイスは、前記モジュールと接続するためのインターフェースとして、汎用コンピュータと接続するためのインターフェース規格をサポートしているインターフェースを備える、請求項4～7の何れか1項に記載の量子コンピュータの制御装置。

[請求項10] 前記高周波回路は、
前記1又は複数のデジタル発振器よりも高い周波数帯域のアナログ発振信号を生成するアナログ発振器と、
前記アナログ発振信号と、前記デジタルーアナログ変換器から出力された前記アナログ信号とをミキシングしてアップコンバートするアナログミキサと、
を有するアップコンバータを備える、請求項1～9の何れか1項に記載の量子コンピュータの制御装置。

[請求項11] 少なくとも、前記デジタルーアナログ変換器の出力、前記アナログ発振器の出力、前記アナログミキサの出力、及び前記アナログーデジタル変換器の入力は差動配線であり、
前記アップコンバータは、前記アナログミキサからの出力信号をシングルエンド信号に変換して、前記シングルエンド信号を前記電磁波

信号として出力するバランを更に有する、請求項 10 に記載の量子コンピュータの制御装置。

[請求項12] 前記高周波回路の少なくとも一部は、シールドケースで覆われている、請求項 1 ～ 11 の何れか 1 項に記載の量子コンピュータの制御装置。

[請求項13] 前記ロジックデバイスは、前記サーバで算出された前記波形信号のデータを保持する高帯域幅メモリを有する、請求項 1 ～ 12 の何れか 1 項に記載の量子コンピュータの制御装置。