(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年3 月20 日 (20.03.2008)

PCT

(10) 国際公開番号
WO 2008/032510 A1

(51) 国際特許分類:
H01L 21/52 (2006.01) *H01L 21/60* (2006.01)

(21) 国際出願番号: PCT/JP2007/065418

(22) 国際出願日: 2007 年8 月7 日 (07.08.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-251131 2006 年9 月15 日 (15.09.2006) JP

(71) 出願人 (米国を除く全ての指定国について): リンテック株式会社 **(LINTEC CORPORATION)** [JP/JP]; 〒1730001 東京都板橋区本町２３番２３号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山崎 修 **(YAMAZAKI, Osamu)** [JP/JP]; 〒1730001 東京都板橋区本町２３番２３号 リンテック株式会社内 Tokyo (JP). 市川 功 **(ICHIKAWA, Isao)** [JP/JP]; 〒1730001 東京都板橋区本町２３番２３号 リンテック株式会社内 Tokyo (JP). 佐伯 尚哉 **(SAIKI, Naoya)** [JP/JP]; 〒1730001 東京都板橋区本町２３番２３号 リンテック株式会社内 Tokyo (JP).

(74) 代理人: 鈴木 俊一郎 **(SUZUKI, Shunichiro)**; 〒1410031 東京都品川区西五反田七丁目１３番６号 五反田山崎ビル６階 鈴木国際特許事務所 Tokyo (JP).

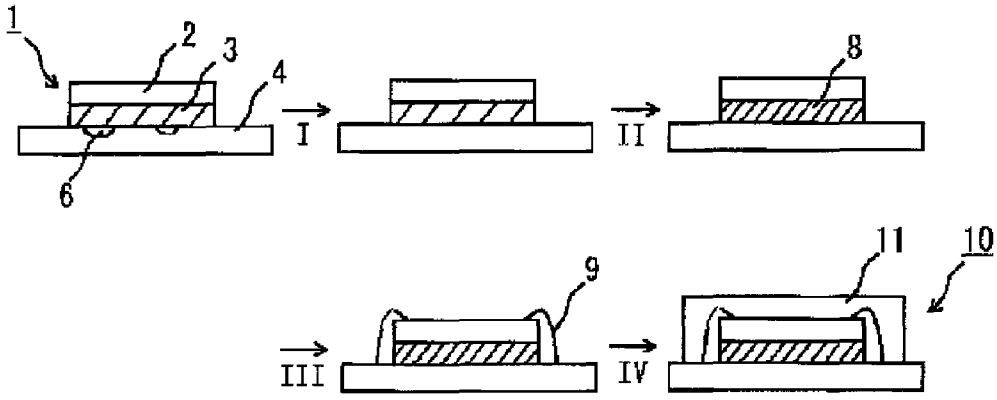
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: PROCESS FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A process for producing a semiconductor device which comprises heating a wiring board having a chip and uncured adhesive layer superposed thereon to cure the uncured adhesive layer, characterized by including a static pressing step in which before the curing, the wiring board having a chip and uncured adhesive layer superposed thereon is statically pressed at a pressure higher by at least 0.05 MPa than ordinary pressure. In the process for semiconductor device production, voids can be easily eliminated regardless of board design and the adhesive is prevented from curling up during the void-eliminating operation.

(57) 要約: 本発明に係る半導体装置の製造方法は、チップと未硬化の接着剤層とが積層された配線基板を加熱して、前記未硬化の接着剤層を硬化させて半導体装置を製造する方法であって、前記硬化前に、前記チップと未硬化の接着剤層とが積層された配線基板を常圧に対し０．０５ＭＰａ以上の静圧により加圧する静圧加圧工程を含むことを特徴とする。上記半導体装置の製造方法は、基板デザインに依存せず簡便にボイドを消滅でき、また、この際に接着剤の巻き上がりも起こらない。

WO 2008/032510 A1

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書