

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2023/067287 A1

(43) Date de la publication internationale
27 avril 2023 (27.04.2023)

WIPO | PCT

(51) Classification internationale des brevets :

G02B 6/12 (2006.01) G02B 6/43 (2006.01)
G02B 6/13 (2006.01) H01L 27/06 (2006.01)
G02B 6/136 (2006.01) G02B 6/42 (2006.01)

(21) Numéro de la demande internationale :

PCT/FR2022/051998

(22) Date de dépôt international :

21 octobre 2022 (21.10.2022)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

FR2111256 22 octobre 2021 (22.10.2021) FR

(71) Déposant : **SOITEC** [FR/FR] ; Parc Technologique des Fontaines Chemin des Franques, 38190 BERNIN (FR).

(72) Inventeurs : **RADU, Ionut** ; c/o SOITEC Parc technologique des Fontaines Chemin des Franques, 38190 BERNIN (FR). **MALEVILLE, Christophe** ; c/o SOITEC Parc technologique des Fontaines Chemin des Franques, 38190 BERNIN (FR).

(74) Mandataire : **REGIMBEAU** ; 20, rue de Chazelles, 75847 PARIS CEDEX 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: PHOTONIC-ELECTRONIC INTEGRATED-CIRCUIT CHIP AND PROCESS FOR FABRICATING SAME

(54) Titre : PUCE DE CIRCUIT INTÉGRÉ PHOTONIQUE-ÉLECTRONIQUE ET SON PROCÉDÉ DE FABRICATION

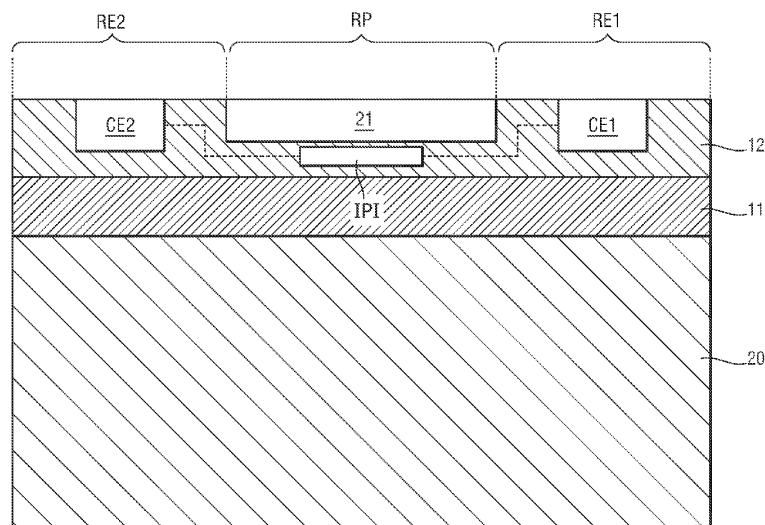


Fig. 1

(57) Abstract: The invention relates to a photonic-electronic integrated-circuit chip formed on a semiconductor-on-insulator substrate, which silicon-on-insulator substrate comprises a buried dielectric layer (11) and an active semiconductor layer (12), said chip comprising an electronic circuit portion (CE1, CE2) and a photonic interface (IPI) for interconnecting the electronic circuit portion, these being co-integrated into the active layer, said chip being characterized in that the electronic circuit portion (CE1, CE2) is formed in a region (RE1, RE2) of the active layer the thickness of which is larger than the thickness of a region (RP) of the active layer in which said photonic interface (IPI) is formed.

(57) Abrégé : L'invention porte sur une puce de circuit intégré photonique- électronique formée sur un substrat semiconducteur sur

[Suite sur la page suivante]



WO 2023/067287 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) **États désignés** (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Déclarations en vertu de la règle 4.17 :

— relative à la qualité d'inventeur (règle 4.17(iv))

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

isolant, lequel substrat silicium sur isolant comprend une couche diélectrique enterrée (11) et une couche active de matériau semiconducteur (12), ladite puce comprenant une partie de circuit électronique (CE1, CE2) et une interface photonique d'interconnexion (IPI) de la partie de circuit électronique co-intégrées dans la couche active et étant caractérisée en ce que la partie de circuit électronique (CE1, CE2) est formée dans une région de la couche active (RE1, RE2) dont l'épaisseur est plus importante que l'épaisseur d'une région de la couche active (RP) dans laquelle est formée ladite interface photonique (IPI).