

存储电路、数据传输电路和存储器

本公开基于 2022 年 02 月 24 日提交中国专利局、申请号为 202210174060.X, 发明名称为“存储电路、数据传输电路和存储器”的中国专利申请提出, 并要求该中国专利申请的优先权, 该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种存储电路、数据传输电路和存储器。

背景技术

动态随机存储存储器 (Dynamic Random Access Memory, DRAM) 具有数据非易失性、省电、体积小, 以及无机械结构等特性, 适宜作为移动设备的存储设备。

随着技术的进步, 消费者对移动设备的性能要求越来越高, 使得存储设备传输速率成为评判存储设备优良的关键参数。

发明内容

为克服相关技术中存在的问题, 本公开提供一种存储电路、数据传输电路和存储器, 以提高存储器的读写数据传输效率, 并保证数据传输的准确性。

本公开示例性的实施例中提供了一种存储电路, 相邻于数据传输区域设置, 包括: 平行于数据传输区域设置的至少一个存储结构, 每一存储结构包括在第一方向上相邻设置的第一存储阵列和第二存储阵列, 第一存储阵列与数据传输区域的距离小于第二存储阵列与数据传输区域的距离, 第一方向为靠近数据传输区域的方向; 第一存储阵列中包含读写模块和转发模块, 第二存储阵列中包含读写模块, 第一存储阵列基于第一存储阵列中的读写模块与数据传输区域进行数据交互, 第二存储阵列基于第二存储阵列中的读写模块和第一存储阵列中的转发模块与数据传输区域进行数据传输。

通过转发模块的设置, 对第二存储阵列的数据读写避免了数据经过第一存储阵列的读写模块的转发, 从而将第一存储阵列和第二存储阵列的数据传输路径分离, 后续可以实现交替读写第一存储阵列和第二存储阵列中的数据, 从而减小不同存储阵列数据读出延时的差值, 避免延迟较长的读出数据截短延迟较短的读出数据, 提升数据传输裕度; 另外, 通过将第一存储阵列和第二存储阵列的数据传输路径分离, 在进行数据读写的过程中, 只需判断数据属于写入过程或读出过程, 即可确认数据的传输方向, 避免了使用同一数据传输路径时, 繁杂的数据通路判断过程, 从而达到更高的数据传输速率, 和数据传输的准确性。

在一示例性的实施例中, 第一存储阵列和第二存储阵列中, 包括: 在第一方向上连续设置的偶数个存储块, 且相邻每两个不重复的存储块共用一读写模块, 读写模块设置于对应的两个存储块之间。

在一示例性的实施例中, 存储块还包括: 在垂于第一方向的第二方向上连续设置的多个存储子块, 多个存储子块共用同一读写模块。

在一示例性的实施例中, 第一存储阵列中的读写模块和第二存储阵列中的读写模块共同沿第一方向排列, 在垂直于第一方向的第二方向上, 转发模块设置于读写模块的相对一侧; 通过对读写模块和转发模块的规整设置, 使得读写模块与转发模块之间的数据传输导线可以规整设置, 通过最短的数据传输导线, 降低数据传输导线的电阻, 提高数据传输的速率和准确性。

在一示例性的实施例中, 每一读写模块的相对一侧设置有一转发模块; 通过多个转发模

块之间近距离传输和对数据的多次转发，降低数据在传输过程中出现错误的可能性。

在一示例性的实施例中，读写模块、转发模块与数据传输区域之间的数据传输导线设置在相邻电源导线之间，电源导线被配置为接收和传输电源信号，以向第一存储阵列和第二存储阵列提供电源信号；将数据传输导线设置在电源导线之间，不会额外增大存储阵列所占用的版图面积。

在一示例性的实施例中，数据传输导线包括低位传输导线和高位传输导线，其中，低位传输导线被配置为传输存储阵列中的低位数据，高位传输导线被配置为传输存储阵列中的高位数据，以进一步提高数据的传输效率和数据传输的准确性。

本公开示例性的实施例还提供了一种数据传输电路，设置在数据传输区域中，包括：至少两个数据传输结构，每一数据传输结构连接至少一个上述实施例提供的存储电路，被配置为存储电路的数据读写；每一数据传输结构包括存储传输端、总线传输端和交互传输端，其中，存储传输端被配置为连接存储电路，总线传输端被配置为连接数据总线，交互传输端被配置为连接另一数据传输结构；从存储传输端输入的数据，通过总线传输端输出或通过交互传输端输出；从总线传输端输入的数据，通过存储传输端输出或通过交互传输端输出；从交互传输端输入的数据，通过总线传输端输出或通过存储传输端输出，其中，从交互传输端输入的数据为另一数据传输结构中的总线传输端或存储传输端输入的数据；控制模块，连接数据传输结构，并接收所属存储器提供的输入控制信号和调整控制信号，控制模块被配置为，基于调整控制信号对输入控制信号进行延迟输出，以生成对应于输入控制信号的输出控制信号，输入控制信号和输出控制信号被配置为指示数据传输结构的数据传输路径。

在一示例性的实施例中，数据传输结构，包括：输入单元，被配置为接收至少一个输入数据和输入控制信号，基于输入控制信号，输出输入控制信号对应的输入数据；输出单元，被配置为接收输入单元输出的输入数据和至少一个输出控制信号，被配置为，基于输出控制信号表征的有效端口输出输入数据；锁存单元，连接输出单元，被配置为锁存输出单元输出的输入数据。

在一示例性的实施例中，输入单元，包括：多个输入控制器，每一输入控制器对应于存储传输端、总线传输端或交互传输端；每一输入控制器被配置为接收对应存储传输端、总线传输端或交互传输端的输入数据和输入控制信号；输入控制器被配置为，基于输入控制信号导通，以输出输入数据。

在一示例性的实施例中，输出单元，包括：多个输出控制器，每一输出控制器对应于存储传输端、总线传输端或交互传输端；每一输出控制器被配置为接收对应存储传输端、总线传输端或交互传输端的输入单元输出的输入数据和输出控制信号；输出控制器被配置为，基于输出控制信号导通，以输出输入数据。

在一示例性的实施例中，数据传输结构，还包括：输入选择单元，被配置为接收至少一个输入控制信号，生成对应于输入控制信号的选通脉冲，选通脉冲与输入控制信号表征的有效端口相对应，且选通脉冲与输入控制信号之间具有选择延时；触发单元，时钟端连接输入选择单元，输入端连接输入单元，输出端连接输出单元，被配置为，基于选通脉冲，将输入端接收的输入数据传输至输出端。

在一示例性的实施例中，输入选择单元，包括：触发子单元，被配置为接收至少一个输入控制信号，若接收到输入控制信号，生成指示信号；延迟子单元，连接触发子单元，被配置为对指示信号进行延时；转换子单元，连接延迟子单元，被配置为将延时后的指示信号转换为选通脉冲。

在一示例性的实施例中，数据传输结构，还包括：反相单元，设置在触发单元和输入单

元之间，被配置为，基于反相控制信号，输出输入数据，或将输入数据反相后输出。

在一示例性的实施例中，反相单元，包括：翻转控制子单元，被配置为接收反相控制信号，并基于反相控制信号生成第一控制信号和第二控制信号；第一选择子单元和第二选择子单元，并联后输入端被配置为接收输入数据，输出端连接触发单元；第一选择子单元被配置为，基于第一控制信号导通，将输入数据反相后输出；第二选择子单元被配置为，基于第二控制信号导通，将输入数据输出。

在一示例性的实施例中，存储传输端包括：第一传输端、第二传输端、第三传输端和第四传输端；总线传输端包括：第五传输端和第六传输端；交互传输端包括：第七传输端和第八传输端；第一传输端、第二传输端与第三传输端、第四传输端分别连接第一存储阵列和第二存储阵列，且第一传输端和第三传输端被配置为传输低比特位数据，第二传输端和第四传输端被配置为传输高比特位数据；第五传输端和第六传输端被配置为所属数据传输结构与数据总线之间的数据交互传输；第七传输端和第八传输端被配置为两个数据传输结构之间的数据交互传输。

在一示例性的实施例中，第五传输端被配置为所属数据传输结构与数据总线之间的数据交互传输；第六传输端被配置为所属数据传输结构向数据总线的单向数据传输。

本公开示例性的实施例还提供了一种存储器，采用上述实施例提供的存储电路进行存储阵列的设置，以提高存储器的读写数据传输效率，并保证数据传输的准确性。

附图说明

构成本公开的一部分的附图用来提供对本公开的进一步理解，本公开的示意性实施例及其说明用于解释本公开，并不构成对本公开的不当限定。在附图中：

图 1 为本公开一实施例提供的存储电路的虚拟结构示意图；

图 2 为本公开一实施例提供的存储电路的一种具体结构示意图；

图 3 为本公开一实施例提供的存储电路的另一种具体结构示意图；

图 4 为本公开另一实施例提供的数据传输电路的结构示意图；

图 5 为本公开另一实施例提供的控制模块的具体结构示意图；

图 6 为本公开另一实施例提供的数据传输结构的一种具体连接方式示意图；

图 7 为本公开另一实施例提供的数据读出时数据传输结构的具体结构示意图；

图 8 为本公开另一实施例提供的数据写入时数据传输结构的具体结构示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

图 1 为本实施例提供的存储电路的虚拟结构示意图，图 2 为本实施例提供的存储电路的一种具体结构示意图，图 3 为本实施例提供的存储电路的另一种具体结构示意图，以下结合附图对本实施例提供的存储电路作进一步详细说明，具体如下：

参考图 1，存储电路，相邻于数据传输区域 100 设置，包括：

平行于数据传输区域 100 设置的至少一个存储结构 400，每一存储结构 400 包括：在第

一方向 X 上相邻设置的第一存储阵列 401 和第二存储阵列 402，其中，第一方向 X 为靠近数据传输区域 100 的方向，且第一存储阵列 401 与数据传输区域 100 的距离小于第二存储阵列 402 与数据传输区域 100 的距离，即在同一存储结构 400 中，第一存储阵列 401 靠近数据传输区域 100 设置，第二存储阵列 402 远离数据传输区域 100 设置。

对于第一存储阵列 401，包括：读写模块 410 和转发模块 420，第一存储阵列 401 基于第一存储阵列 401 中的读写模块 410 与数据传输区域进行数据交互；对于第二存储阵列 402，包括：读写模块 410，第二存储阵列 402 基于第二存储阵列 402 中的读写模块 410 和第一存储阵列 401 中的转发模块 420 与数据传输区域 100 进行数据交互。

即本公开实施例中，读写模块 410 被配置为与所属存储阵列中存储单元的直接交互，在数据读写过程中，从数据传输区域 100 写入的输入，通过存储阵列中的多个读写模块 410 进行传递，从而实现对存储阵列中不同存储单元的写入；而对于与数据传输区域 100 距离较远的存储阵列，通过在与数据传输区域 100 距离较近的存储阵列中设置转发模块 420，实现将数据快速且准确地传递至相应存储阵列。

具体地，通过转发模块 420 的设置，对第二存储阵列 402 的数据读写避免了数据经过第一存储阵列 401 的读写模块 410 的转发，从而将第一存储阵列 401 和第二存储阵列 402 的数据传输路径分离，后续可以实现交替读写第一存储阵列 401 和第二存储阵列 402 中的数据，从而减小不同存储阵列数据读出延时的差值，避免延迟较长的读出数据截短延迟较短的读出数据，提升数据传输裕度；另外，通过将第一存储阵列 401 和第二存储阵列 402 的数据传输路径分离，在进行数据读写的过程中，只需判断数据属于写入过程或读出过程，即可确认数据的传输方向，避免了使用同一数据传输路径时，繁杂的数据通路判断过程，从而达到更高的数据传输速率，和数据传输的准确性。

参考图 2，在本实施例中，第一存储阵列 401 和第二存储阵列 402 中，包括：在第一方向 X 上连续设置的偶数个存储块 430，且相邻每两个不重复的存储块共用一读写模块 410，读写模块设置于对应的两个存储块 430 之间。

具体地，每一存储块 430 中包括多个存储单元，存储块 430 通过相邻设置的读写模块 410 进行数据读写；更具体地，存储块 430 中包括多根字线和多根位线，每一存储单元都对应有一字线 and 一位线，通过导通特定字线和位线，以使存储块 430 中的目标存储单元连接读写模块 410，从而实现读写模块 410 对存储块 430 中不同存储单元的数据读写。

参考图 2 和图 3，在一些实施例中，第一存储阵列 401 中的读写模块 410 和第二存储阵列 402 中的读写模块共同沿第一方向 X 排列，在垂直于第一方向 X 的第二方向上，转发模块 420 设置于读写模块 410 的相对一侧。通过对读写模块 410 和转发模块的规整设置，使得读写模块 410 与转发模块 420 之间的数据传输导线可以规整设置，通过最短的数据传输导线，降低数据传输导线的电阻，提高数据传输的速率和准确性。

进一步地，在本实施例中，每一读写模块 410 的相对一侧设置有转发模块 420，通过多个转发模块 420 之间近距离传输和对数据的多次转发，降低数据在传输过程中出现错误的可能性。

需要说明的是，本实施例附图中每一读写模块 410 的相对一侧都设置有转发模块 420 并不构成对本实施例的限定，在其他实施例中，可以相应减少转发模块的数量，仍可实现上述技术效果。

在具体的电路设计中，读写模块 410、转发模块 420 与数据传输区域 100 之间的数据传输导线设置在相邻电源导线之间，电源导线用于接收和传输电源信号，以向第一存储阵列 401 和第二存储阵列 402 提供电源信号。

具体地，第一存储阵列 401 和第二存储阵列 402 中各存储单元的数据读写过程都需要进行充放电的过程，而对存储单元的充电需要借助存储器的内部电源，即在存储单元版图的设计过程中，需要设置相应的电源网络以连接内部电源，电源网络包括沿不同方向延伸的电源导线，将数据传输导线设置在电源导线之间，可以利用电源导线作为屏蔽线，抑制相邻数据传输导线之间的数据干扰，同时无需增加额外的屏蔽线，无需增加额外的版图。

另外，在一些实施例中，参考图 2 和图 3，数据传输导线还包括低位传输导线和高位数据导线，其中，低位传输导线用于传输存储阵列中的低位数据，高位传输导线用于传输存储阵列中的高位数据。

在一个例子中，若存储阵列一次传输 16bit 数据，此时，低位传输导线用于传输第 1~8bit 的数据，高位传输导线用于传输 9~16bit 数据。另外，在一些实施例中，若存储阵列一次传输 8bit 数据，此时低位传输导线和高位传输导线用于传输不同存储阵列存储的数据，即将低位传输导线和高位传输导线作为并列的数据传输导线进行数据传输，以进一步提高数据的传输效率和数据传输的准确性。

在一些实施例中，参考图 3，存储块 430 还包括：在垂直于第一方向 X 的第二方向上连续设置的多个存储子块 440，多个存储子块 440 共用同一读写模块 410，即在平行于数据传输区域 100 方向上设置的属于同一存储块 430 的多个存储子块 440 共用相邻设置的读写模块 410。

需要说明的是，本实施例以一个存储结构 400 中仅包含第一存储阵列 401 和第二存储阵列 402 为例进行距离说明；在实际应用中，存储结构 400 中还可以包括第三存储阵列，此时在第一存储阵列和第二存储阵列中设置相应的转发模块 420，从而实现第三存储阵列的数据读写；相应地，还可以继续设置第四存储阵列等；即为每一存储阵列都设置不同的数据传输路径的具体实施方案，都应该属于本专利的保护范围。

需要说明的是，本实施例以平行设置的一个存储结构 400 进行举例说明并不构成对本实施例的限定，在其他实施例中，在第一方向 X 上还包括多个存储结构，且每个存储结构的数据传输方式与上述举例说明的存储结构相同。

本实施例通过转发模块 420 的设置，对第二存储阵列 402 的数据读写避免了数据经过第一存储阵列 401 的读写模块 410 的转发，从而将第一存储阵列 401 和第二存储阵列 402 的数据传输路径分离，后续可以实现交替读写第一存储阵列 401 和第二存储阵列 402 中的数据，从而减小不同存储阵列数据读出延时的差值，避免延迟较长的读出数据截短延迟较短的读出数据，提升数据传输裕度；另外，通过将第一存储阵列 401 和第二存储阵列 402 的数据传输路径分离，在进行数据读写的过程中，只需判断数据属于写入过程或读出过程，即可确认数据的传输方向，避免了使用同一数据传输路径时，繁杂的数据通路判断过程，从而达到更高的数据传输速率，和数据传输的准确性。

本实施例中所涉及到的各单元均为逻辑单元，在实际应用中，一个逻辑单元可以是一个物理单元，也可以是一个物理单元的一部分，还可以以多个物理单元的组合实现。此外，为了突出本公开的创新部分，本实施例中并没有将与解决本公开所提出的技术问题关系不太密切的单元引入，但这并不表明本实施例中不存在其它的单元。

需要说明的是，上述实施例所提供的存储电路中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的存储电路实施例。

本公开另一实施例提供一种数据传输电路，以提高存储器的读写数据传输效率。

图 4 为本实施例提供的数据传输电路的结构示意图，图 5 为本实施例提供的控制模块的

具体结构示意图，图 6 为本实施例提供的数据传输结构的一种具体连接方式示意图，图 7 为本实施例提供的数据读出时数据传输结构的具体结构示意图，图 8 为本实施例提供的数据写入时数据传输结构的具体结构示意图，以下结合附图对本实施例提供的数据传输电路作进一步详细说明，具体如下：

参考图 4，数据传输电路，设置在数据传输区域 100 中，包括：

至少两个数据传输结构 101，每一数据传输结构连接至少一个上述实施例提供的存储电路，用于存储电路的数据读写；

每一数据传输结构包括存储传输端 111、总线传输端 112 和交互传输端 113，其中，存储传输端 111 用于连接存储区域 102，总线传输端 112 用于连接数据总线 103，交互传输端 113 用于连接另一数据传输结构的交互传输端 113。

其中，从存储传输端 111 输入的数据，通过总线传输端 112 输出或通过交互传输端 113 输出，从总线传输端 112 输入的数据，通过存储传输端 111 输出或者通过交互传输端 113 输出，从交互传输端 113 输入的数据，通过总线传输端 112 输出或通过存储传输端 111 输出，从交互传输端 113 输入的数据为另一数据传输结构 101 中的总线传输端 112 或存储传输端 111 输入的数据。

控制模块 104，连接数据传输结构 101，并接收所属存储器提供的输入控制信号和调整控制信号。

参考图 4，并结合图 5，控制模块 104 被配置为，基于调整控制信号，对输入控制信号进行延迟输出，以生成对应于输入控制信号的输出控制信号，输入控制信号和输出控制信号用于指示数据传输结构 101 的数据传输路径。

其中，调整控制信号基于数据传输电路所属存储器生成，用于控制相应输入控制信号和输出控制信号之间的延迟。

通过控制模块 104 控制两个数据传输结构 101 的数据传输路径，使得不同的数据传输结构交替传输数据，对应同一数据传输结构 101，可以实现不同存储区域 102 的数据传输，通过多路数据的交替传输，使得数据传输更加紧凑，从而提高存储器的数据传输效率。

需要说明的是，在其他实施例中，数据传输结构的数量可以为任意大于 2 的偶数，两两数据传输结构之间构成上述数据传输电路，从而实现对存储器数据传输效率的进一步提高。

具体地，输入控制信号与输出控制信号之间的信号延迟由调整控制信号控制，有利于避免输出端相对于预设时序提前打开或延后打开，保证数据传输结构准确输出对应的输入数据。在一些实施例中，参考图 4 和图 6，存储传输端 111 包括：第一传输端 A、第二传输端 B、第三传输端 C 和第四传输端 D；总线传输端 112 包括：第五传输端 E 和第六传输端 F；交互传输端 113 包括：第七传输端 G 和第八传输端 H。

第一传输端 A、第二传输端 B 与第三传输端 C、第四传输端 D 连接所属存储器的不同存储区域 102，且第一传输端 A 和第三传输端 C 用于传输低位数据，第二传输端 B 和第四传输端 D 用于传输高位数据；第五传输端 E 和第六传输端 F 用于所属数据传输结构 101 与数据总线 103 之间的数据交互传输；第七传输端 G 和第八传输端 H 用于两个数据传输结构 101 之间的数据交互传输。

需要说明的是，对于第一传输端 A 和第二传输端 B，可以用于传输同一数据的高位数据和低位数据，例如对于 16 位数据的传输，第一传输端 A 用于传输低 8 位的数据，第二传输端 B 用于传输高 8 位的数据；第一传输端 A 和第二传输端 B 也可以用于传输不同数据，例如，对于 8 位数据的传输，第一传输端 A 和第二传输端 B 用于传输不同的数据。

进一步地, 在一些实施例中, 第五传输端 E 用于所属数据传输结构 101 与数据总线 103 之间的数据交互传输, 第六传输端 F 用于所属数据传输结构 101 向数据总线 103 的单向数据传输; 通过对第五传输端 E 和第六传输端 F 的特殊设置, 使得数据由数据总线 103 输入数据传输结构 101 时, 只能通过第五传输端 E 进行数据输入, 通过在第五传输端 E 设置 ECC 模块即可完成对数据的片上 ECC (on die ECC) 的检测, 并不会额外增加使用上述数据传输电路进行数据传输时, 进行 ECC 检测所需的电路版图设置。

在一些实施例中, 参考图 5 并且结合图 6, 输入控制信号包括: Sel A、Sel B、Sel C、Sel D、Sel E、Sel F、Sel G 和 Sel H; 输出控制信号包括: Drv A、Drv B、Drv C、Drv D、Drv E、Drv F、Drv G 和 Drv H。

其中, 第一传输端 A 对应的输入控制信号为 Sel A, 输出控制信号为 Drv A; 第二传输端 B 对应的输入控制信号为 Sel B, 输出控制信号为 Drv B; 第三传输端 C 对应的输入控制信号为 Sel C, 输出控制信号为 Drv C; 第四传输端 D 对应的输入控制信号为 Sel D, 输出控制信号为 Drv D; 第五传输端 E 对应的输入控制信号为 Sel E, 输出控制信号为 Drv E; 第六传输端 F 对应的输入控制信号为 Sel F, 输出控制信号为 Drv F; 第七传输端 G 对应的输入控制信号为 Sel G, 输出控制信号为 Drv G; 第八传输端 H 对应的输入控制信号为 Sel H, 输出控制信号为 Drv H。

参考图 4 和图 6, 从存储传输端 111 输入的数据, 通过总线传输端 112 输出或通过交互传输端 113 输出, 即从第一传输端 A、第二传输端 B、第三传输端 C 和第四传输端 D 读出的数据, 可以通过第五传输端 E 和第六传输端 F 读出或通过第七传输端 G 和第八传输端 H 读出。

从总线传输端 112 输入的数据, 通过存储传输端 111 输出或者通过交互传输端 113 输出, 即从第五传输端 E 写入的数据, 可以通过第一传输端 A、第二传输端 B、第三传输端 C 和第四传输端 D 写入或通过第七传输端 G 和第八传输端 H 写入。

从交互传输端 113 输入的数据, 通过总线传输端 112 输出或通过存储传输端 111 输出, 即从第七传输端 G 和第八传输端 H 输入的数据, 可以通过第一传输端 A、第二传输端 B、第三传输端 C 和第四传输端 D 写入或通过第五传输端 E 和第六传输端 F 读出。

参考图 7 和图 8, 数据传输结构 101, 包括: 输入单元 201, 被配置为接收至少一个输入数据和输入控制信号, 基于输入控制信号, 输出输入控制信号对应的输入数据。

输出单元 203, 被配置为接收输入单元 201 输出的输入数据和至少一个输出控制信号, 被配置为, 基于输出控制信号表征的有效端口输出输入数据。

锁存单元 204, 连接输出单元 203, 被配置为锁存输出单元 203 输出的输入数据。

输入单元 201 包括: 多个输入控制器 211, 每一输入控制器 211 对应于存储传输端 111、总线传输端 112 或交互传输端 113; 每一输入控制器 211 被配置为接收对应的存储传输端 111、总线传输端 112 或交互传输端 113 的输入数据和输入控制信号, 输入控制器 211 被配置为, 基于输入控制信号导通对应的端口, 以输出对应端口的输入数据。

具体地, 对于数据的读出, 参考图 7, 读出数据通过第一传输端 A、第二传输端 B、第三传输端 C 或第四传输端 D 读出该数据传输结构 101 所连接的存储区域的数据, 也可以通过第七传输端 G 和第八传输端 H 读出另一数据传输结构 101 所连接的存储区域的数据。

其中, 第一传输端 A 的输入数据 Data A 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel A 控制, 当接收到输入控制信号 Sel A, 输出第一传输端 A 的输入数据 Data A; 第二传输端 B 的输入数据 Data B 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel B 控制, 当接收到输入控制信号 Sel B, 输出第二传输端 B 的输入数据 Data B; 第三传输端 C

的输入数据 Data C 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel C 控制, 当接收到输入控制信号 Sel C, 输出第三传输端 C 的输入数据 Data C; 第四传输端 D 的输入数据 Data D 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel D 控制, 当接收到输入控制信号 Sel D, 输出第四传输端 D 的输入数据 Data D; 第七传输端 G 的输入数据 Data G 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel G 控制, 当接收到输入控制信号 Sel G, 输出第七传输端 G 的输入数据 Data G; 第八传输端 H 的输入数据 Data H 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel H 控制, 当接收到输入控制信号 Sel H, 输出第八传输端 H 的输入数据 Data H。

具体地, 对于数据的写入, 参考图 8, 写入数据通过第五传输端 E 写入该数据传输结构 101, 也可以通过第七传输端 G 和第八传输端 H 写入另一数据传输结构 101 所接收的写入数据。

其中, 第五传输端 E 的输入数据 Data E 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel E 控制, 当接收到输入控制信号 Sel E, 输出第五传输端 E 的输入数据 Data E; 第七传输端 G 的输入数据 Data G 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel G 控制, 当接收到输入控制信号 Sel G, 输出第七传输端 G 的输入数据 Data G; 第八传输端 H 的输入数据 Data H 连接一输入控制器 211, 该输入控制器通过输入控制信号 Sel H 控制, 当接收到输入控制信号 Sel H, 输出第八传输端 H 的输入数据 Data H。

在一些实施例中, 还包括掩码单元 202, 被配置为根据第五传输端 E 的输入数据 Data E 生成掩码数据 DM, 掩码数据 DM 通过第五传输端 E 对应的输入控制器 211 进行数据输入, 以实现数据总线 103 上数据的选择输入。

具体地, 存储器包含数据掩码功能和数据反转功能, 当数据掩码有效时, 对应的 8 位数据不写入, 当写入的 8 位数据中 1 占多数时, 若传输通路传 0 更省电, 则对写入的 8 位数据进行反转。在同时开启数据掩码 (data mask, DM) 和数据反转 (databus inversion, DBI) 功能时, 由于数据掩码信号和数据反转信号都需要利用到同一数据端口, 因此只能择一输入, 本公开选择输入数据反转信号, 也就是说, 在进行数据写入时, 输入数据和数据反转信号一同传输至数据传输结构, 当数据反转信号有效时, 表征同步输入的输入数据 Data E 需要进行反转, 由于如果不写入输入数据 Data E 就没有进行反转的必要, 因此, 数据反转信号有效还表征输入数据 Data E 需要写入; 当数据反转信号无效时, 若输入数据为正常输入, 则输入数据中 0 应当占多数, 也就是说, 当数据反转信号无效时, 需要检测输入数据中 0 是否占半数或半数以上, 若占半数或半数以上, 则不经过数据反转且正常输入, 若 0 占少数且 1 占多数, 则说明此时输入数据表征的是数据掩码信号有效, 屏蔽对应的 8 位输入数据, 不存入存储阵列中。

也就是说, 当数据反转信号有效时, 第五传输端 E 接收待写入的 8 位原始数据, 反相单元 207 接收反相控制信号 DBI, 此时的反相控制信号 DBI 表征数据翻转信号有效, 例如反相控制信号 DBI 为 1, 并将输入单元 201 输入的数据进行翻转以输出至输出单元 203; 当数据反转信号无效时, 根据 Data E 的内容确定第五传输端 E 接收待写入的 8 位原始数据或者掩码数据 DM, 具体的, 当数据反转信号无效时, 通过掩码单元 202 对输入输出 Data E 进行编译, 判断数据掩码信号是否有效 (假设有效为 1, 无效为 0), 若数据掩码 DM 表征有效, 则说明 8 位原始数据无需写入, 此时第五传输端 E 接收掩码数据 DM, 若数据掩码 DM 表征无效, 则说明 8 位原始数据需要写入, 此时第五传输端 E 接收输入数据 Data E。

需要说明的是, 任一数据传输结构仅对对应的第五传输端 E 输入的数据进行反相, 即进行数据写入时, 翻转控制子单元 221 接收反相控制信号 DBI 只会是输入数据 Data E 对应的反相控制信号, 而不会是输入数据 Data G 和 Data H 对应的反相控制信号。这是因为对于第七传输端 Sel G 和第八传输端 Sel H 输入的数据, 即数据总线 103 通过另一数据传输结构输入

的数据,此时输入数据在另一数据传输结构的反相单元 207 中已完成上述数据反相过程。

输出单元 203 包括:多个输出控制器 212,每一输出控制器 212 对应于存储传输端 111、总线传输端 112 或交互传输端 113;每一输出控制器 212 被配置为接收对应的存储传输端 111、总线传输端 112 或交互传输端 113 的输入数据和输出控制信号,输出控制器 212 被配置为,基于输出控制信号导通,以输出输入数据。

具体地,对于数据的读出,参考图 7,读出数据通过第五传输端 E 或第六传输端 F 读出至数据总线 103,也可以通过第七传输端 G 和第八传输端 H 读出至另一数据传输结构 101,最终通过另一数据传输结构 101 对应的第五传输端 E 或第六传输端 F 读出至对应的另一数据总线 103。

其中,连接第五传输端 E 的输出控制器 212 通过输出控制信号 Drv E 控制,当接收到输出控制信号 Drv E,将数据通过第五传输端 E 输出;连接第七传输端 G 的输出控制器 212 通过输出控制信号 Drv G 控制,当接收到输出控制信号 Drv G,将数据通过第七传输端 G 输出;连接第八传输端 H 的输出控制器 212 通过输出控制信号 Drv H 控制,当接收到输出控制信号 Drv H,将数据通过第八传输端 H 输出。

具体地,对于数据的写入,参考图 8,写入数据通过第一传输端 A、第二传输端 B、第三传输端 C 或第四传输端 D 写入该数据传输结构 101 所连接的存储区域,也可以通过第七传输端 G 和第八传输端 H 写入另一数据传输结构 101 所连接的存储区域。

其中,连接第一传输端 A 的输出控制器 212 通过输出控制信号 Drv A 控制,当接收到输出控制信号 Drv A,将数据通过第一传输端 A 输出;连接第二传输端 B 的输出控制器 212 通过输出控制信号 Drv B 控制,当接收到输出控制信号 Drv B,将数据通过第二传输端 B 输出;连接第三传输端 C 的输出控制器 212 通过输出控制信号 Drv C 控制,当接收到输出控制信号 Drv C,将数据通过第三传输端 C 输出;连接第四传输端 D 的输出控制器 212 通过输出控制信号 Drv D 控制,当接收到输出控制信号 Drv D,将数据通过第四传输端 D 输出;连接第七传输端 G 的输出控制器 212 通过输出控制信号 Drv G 控制,当接收到输出控制信号 Drv G,将数据通过第七传输端 G 输出;连接第八传输端 H 的输出控制器 212 通过输出控制信号 Drv H 控制,当接收到输出控制信号 Drv H,将数据通过第八传输端 H 输出。

在本实施例中,锁存单元 204 包括:首尾相连的第一反相器 214 和第二反相器 213,且第一反相器 214 的输入端和第二反相器 213 的输出端与输出单元 203 的输出端并联,通过锁存单元 204 与输出单元 203 的输出端并联,以实现输出单元 203 输出数据的保存;需要说明的是,在其他实施例中,锁存单元包括:首尾相连的第一反相器和第二反相器,且第一反相器和输入端和第二反相器的输出端与输入单元的输出端口串联,通过锁存单元与输出单元的输出端串联,以实现输出单元输出数据的反相锁存,后续通过串联反相器,以实现输出单元输出数据的保存。

在一些实施例中,还通过对数据的输入进行延迟,以进一步保证数据在多路传输过程中的准确性。

具体地,数据传输结构,参考图 7 和图 8,还包括:输入选择单元 205 和触发单元 206。

其中,输入选择单元 205,被配置为接收至少一个输入控制信号,生成对应于输入控制信号的选通脉冲,选通脉冲与输入控制信号表征的有效端口相对应,且选通脉冲与输入控制信号之间具有选择延时;触发单元 206,时钟端连接输入选择单元 205,输入端连接输入单元 201,输出端连接输出单元 203,被配置为,基于选通脉冲,将输入端接收的输入数据传输至输出端。

输入选择单元 205, 包括: 触发子单元 215, 被配置为接收至少一个输入控制信号, 若接收到输入控制信号, 生成指示信号; 延迟子单元 216, 连接触发子单元 215, 被配置为对指示信号进行延时; 转换子单元 217, 连接延迟子单元 216, 被配置为将延时后的指示信号转换为选通脉冲。

通过延时子单元 216 对指示信号进行延迟, 保证数据传输结构准确输出对应的输入数据; 延时子单元 216 的具体延时参数基于所属存储器设定, 在一些实施例中, 延时子单元 216 的具体延时参数可以通过工作人员进行调配。

在本实施例中触发子单元 215 通过或门实现, 在数据读出时, 参考图 7, 输入控制信号 Sel A、Sel B、Sel C、Sel D、Sel G 或 Sel H 输入触发子单元 215 中, 触发子单元 215 基于输入控制信号 Sel A、Sel B、Sel C、Sel D、Sel G 或 Sel H 的有效电平生成指示信号, 指示信号经过延迟子单元 216 延时后, 由转换子单元 217 转换为选通脉冲以驱动触发单元 206; 在数据写入时, 参考图 5, 输入控制信号 Sel E、Sel G 或 Sel H 输入触发子单元 215 中, 触发子单元 215 基于输入控制信号 Sel E、Sel G 或 Sel H 的有效电平生成指示信号, 指示信号经过延迟子单元 216 延时后, 由转换子单元 217 转换为选通脉冲以驱动触发单元 206。

在一些实施例中, 触发单元由 D 触发器构成。

在一些实施例中, 数据传输结构 101 还包括: 反相单元 207, 设置在触发单元 206 和输入单元 201 之间, 被配置为, 基于反相控制信号, 输出输入数据, 或者将输入数据反相后输出。

通过将数据量化后输出反相控制信号, 通过反相单元对数据直接输出或反相后输出, 以降低数据传输结构 101 的数据能耗; 具体地, 由于数据传输时低电平的耗能较少, 通过低电平传输数据能够节省能耗, 通过对数据进行量化, 若数据中的高电平数据多于低电平数据, 则通过反相控制信号控制数据反相后传输; 若数据中的高电平数据少于低电平数据, 则通过反相控制信号控制数据直接传输。

参考图 7 和图 8, 反相单元 207 包括: 翻转控制子单元 221, 被配置为接收反相控制信号, 并基于反相控制信号生成第一控制信号和第二控制信号; 第一选择子单元 222 和第二选择子单元 223, 并联后输入端被配置为接收输入数据, 输出端连接触发单元 206; 第一选择子单元 222 被配置为, 基于第一控制信号导通, 将输入数据反相后输出; 第二选择子单元 223 被配置为, 基于第二控制信号导通, 将输入数据直接输出。

需要说明的是, 第一控制信号和第二控制信号可以作为两个信号来驱动第一选择子单元 222 和第二选择子单元 223, 也可以作为同一信号的高低电平来驱动第一选择子单元 222 和第二选择子单元 223。

参考图 7, 在一些实施例中, 反相单元 207 还包括: 判断子单元 224, 被配置为接收输入数据并基于输入数据生成反相控制信号。

本实施例通过控制模块 104 控制两个数据传输结构 101 的数据传输路径, 使得不同的数据传输结构交替传输数据, 对应同一数据传输结构 101, 可以实现不同存储区域 102 的数据传输, 通过多路数据的交替传输, 使得数据传输更加紧凑, 从而提高存储器的数据传输效率。

需要说明的是, 本实施例中提到的信号驱动方式中是以信号是否存在为例进行的描述, 在具体的应用中, 可以根据信号是否存在进行驱动, 也可以根据信号的高低电平进行驱动, 即信号存在, 根据信号的电平是否为有效电平进行驱动。

本实施例中所涉及到的各单元均为逻辑单元, 在实际应用中, 一个逻辑单元可以是一个物理单元, 也可以是一个物理单元的一部分, 还可以以多个物理单元的组合实现。此外, 为

了突出本公开的创新部分，本实施例中并没有将与解决本公开所提出的技术问题关系不太密切的单元引入，但这并不表明本实施例中不存在其它的单元。

需要说明的是，上述实施例所提供的数据传输电路中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的数据传输电路实施例。

本公开又一实施例提供一种存储器，采用上述实施例提供的存储电路进行存储阵列的设置，以提高存储器的读写数据传输效率，并保证数据传输的准确性。

在一些实施例中，存储器为动态随机存取存储器 DRAM 芯片，其中，动态随机存取存储器 DRAM 芯片的内存符合 DDR2 内存规格。

在一些实施例中，存储器为动态随机存取存储器 DRAM 芯片，其中，动态随机存取存储器 DRAM 芯片的内存符合 DDR3 内存规格。

在一些实施例中，存储器为动态随机存取存储器 DRAM 芯片，其中，动态随机存取存储器 DRAM 芯片的内存符合 DDR4 内存规格。

在一些实施例中，存储器为动态随机存取存储器 DRAM 芯片，其中，动态随机存取存储器 DRAM 芯片的内存符合 DDR5 内存规格。

本领域技术人员应明白，本公开的实施例可提供为方法、装置（设备）、或计算机程序产品。因此，本公开可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本公开可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质上实施的计算机程序产品的形式。计算机存储介质包括在用于存储信息（诸如计算机可读指令、数据结构、程序模块或其他数据）的任何方法或技术中实施的易失性和非易失性、可移除和不可移除介质，包括但不限于 RAM、ROM、EEPROM、闪存或其他存储器技术、CD-ROM、数字多功能盘（DVD）或其他光盘存储、磁盒、磁带、磁盘存储或其他磁存储装置、或者可以用于存储期望的信息并且可以被计算机访问的任何其他的介质等。此外，本领域普通技术人员公知的是，通信介质通常包含计算机可读指令、数据结构、程序模块或者诸如载波或其他传输机制之类的调制数据信号中的其他数据，并且可包括任何信息递送介质。

本公开是参照根据本公开实施例的方法、装置（设备）和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的物品或者设备不仅包括那些要素，而且还包括没有明确列出的其

他要素，或者是还包括为这种物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括……”限定的要素，并不排除在包括所述要素的物品或者设备中还存在另外的相同要素。

尽管已描述了本公开的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例作出另外的变更和修改。所以，所附权利要求意欲解释为包括优选实施例以及落入本公开范围的所有变更和修改。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开的意图也包含这些改动和变型在内。

工业实用性

本公开中提供的存储电路，能够提高存储器的读写数据传输效率，并保证数据传输的准确性。

权利要求

1. 一种存储电路，相邻于数据传输区域设置，所述存储电路包括：

平行于所述数据传输区域设置的至少一个存储结构，每一所述存储结构包括在第一方向上相邻设置的第一存储阵列和第二存储阵列，所述第一存储阵列与所述数据传输区域的距离小于所述第二存储阵列与所述数据传输区域的距离，所述第一方向为靠近所述数据传输区域的方向；

所述第一存储阵列中包含读写模块和转发模块，所述第二存储阵列中包含读写模块，所述第一存储阵列基于所述第一存储阵列中的所述读写模块与所述数据传输区域进行数据交互，所述第二存储阵列基于所述第二存储阵列中的读写模块和所述第一存储阵列中的所述转发模块与所述数据传输区域进行数据传输。

2. 根据权利要求1所述的存储电路，其中，所述第一存储阵列和所述第二存储阵列中，包括：在所述第一方向上连续设置的偶数个存储块，且相邻每两个不重复的所述存储块共用一所述读写模块，所述读写模块设置于对应的两个所述存储块之间。

3. 根据权利要求2所述的存储电路，其中，所述存储块还包括：在垂于所述第一方向的第二方向上连续设置的多个存储子块，所述多个存储子块共用同一所述读写模块。

4. 根据权利要求1或2所述的存储电路，其中，所述第一存储阵列中的所述读写模块和所述第二存储阵列中的所述读写模块共同沿所述第一方向排列，在垂直于所述第一方向的第二方向上，所述转发模块设置于所述读写模块的相对一侧。

5. 根据权利要求4所述的存储电路，其中，所述每一所述读写模块的相对一侧设置有一所述转发模块。

6. 根据权利要求1所述的存储电路，其中，所述读写模块、所述转发模块与所述数据传输区域之间的数据传输导线设置在相邻电源导线之间，所述电源导线被配置为接收和传输电源信号，以向所述第一存储阵列和所述第二存储阵列提供所述电源信号。

7. 根据权利要求6所述的存储电路，其中，所述数据传输导线包括低位传输导线和高位传输导线，其中，所述低位传输导线被配置为传输存储阵列中的低位数据，所述高位传输导线被配置为传输所述存储阵列中的高位数据。

8. 一种数据传输电路，设置在数据传输区域中，包括：

至少两个数据传输结构，每一所述数据传输结构连接至少一个权利要求1-7中任一项所述的存储电路，被配置为所述存储电路的数据读写；

每一所述数据传输结构包括存储传输端、总线传输端和交互传输端，其中，所述存储传输端被配置为连接所述存储电路，所述总线传输端被配置为连接数据总线，所述交互传输端被配置为连接另一所述数据传输结构；

从所述存储传输端输入的数据，通过所述总线传输端输出或通过所述交互传输端输出；

从所述总线传输端输入的数据，通过所述存储传输端输出或通过所述交互传输端输出；

从所述交互传输端输入的数据，通过所述总线传输端输出或通过所述存储传输端输出，其中，从所述交互传输端输入的数据为另一所述数据传输结构中的所述总线传输端或所述存储传输端输入的数据；

控制模块，连接所述数据传输结构，并接收所属存储器提供的输入控制信号和调整控制信号，所述控制模块被配置为，基于所述调整控制信号对所述输入控制信号进行延迟输出，以生成对应于所述输入控制信号的输出控制信号，所述输入控制信号和所述输出控制信号被配置为指示所述数据传输结构的数据传输路径。

9. 根据权利要求8所述的数据传输电路，其中，所述数据传输结构，包括：

输入单元，被配置为接收至少一个输入数据和所述输入控制信号，基于所述输入控制信

号, 输出所述输入控制信号对应的所述输入数据;

输出单元, 被配置为接收所述输入单元输出的所述输入数据和至少一个所述输出控制信号, 被配置为, 基于所述输出控制信号表征的有效端口输出所述输入数据;

锁存单元, 连接所述输出单元, 被配置为锁存所述输出单元输出的所述输入数据。

10. 根据权利要求 9 所述的数据传输电路, 其中, 所述输入单元, 包括:

多个输入控制器, 每一所述输入控制器对应于所述存储传输端、所述总线传输端或所述交互传输端;

每一所述输入控制器被配置为接收对应所述存储传输端、所述总线传输端或所述交互传输端的所述输入数据和所述输入控制信号;

所述输入控制器被配置为, 基于所述输入控制信号导通, 以输出所述输入数据。

11. 根据权利要求 9 所述的数据传输电路, 其中, 所述输出单元, 包括:

多个输出控制器, 每一所述输出控制器对应于所述存储传输端、所述总线传输端或所述交互传输端;

每一所述输出控制器被配置为接收对应所述存储传输端、所述总线传输端或所述交互传输端的所述输入单元输出的所述输入数据和所述输出控制信号;

所述输出控制器被配置为, 基于所述输出控制信号导通, 以输出所述输入数据。

12. 根据权利要求 9 所述的数据传输电路, 其中, 所述数据传输结构, 还包括:

输入选择单元, 被配置为接收至少一个所述输入控制信号, 生成对应于所述输入控制信号的选通脉冲, 所述选通脉冲与所述输入控制信号表征的有效端口相对应, 且所述选通脉冲与所述输入控制信号之间具有选择延时;

触发单元, 时钟端连接所述输入选择单元, 输入端连接所述输入单元, 输出端连接所述输出单元, 被配置为, 基于所述选通脉冲, 将所述输入端接收的所述输入数据传输至所述输出端。

13. 根据权利要求 12 所述的数据传输电路, 其中, 输入选择单元, 包括:

触发子单元, 被配置为接收至少一个所述输入控制信号, 若接收到所述输入控制信号, 生成指示信号;

延迟子单元, 连接所述触发子单元, 被配置为对所述指示信号进行延时;

转换子单元, 连接所述延迟子单元, 被配置为将延时后的所述指示信号转换为所述选通脉冲。

14. 根据权利要求 12 所述的数据传输电路, 其中, 所述数据传输结构, 还包括: 反相单元, 设置在所述触发单元和所述输入单元之间, 被配置为, 基于反相控制信号, 输出所述输入数据, 或将所述输入数据反相后输出。

15. 根据权利要求 14 所述的数据传输电路, 其中, 所述反相单元, 包括:

翻转控制子单元, 被配置为接收所述反相控制信号, 并基于所述反相控制信号生成第一控制信号和第二控制信号;

第一选择子单元和第二选择子单元, 并联后输入端被配置为接收所述输入数据, 输出端连接所述触发单元;

所述第一选择子单元被配置为, 基于所述第一控制信号导通, 将所述输入数据反相后输出;

所述第二选择子单元被配置为, 基于所述第二控制信号导通, 将所述输入数据输出。

16. 根据权利要求 8 所述的数据传输电路, 其中, 所述存储传输端包括: 第一传输端、第二传输端、第三传输端和第四传输端; 所述总线传输端包括: 第五传输端和第六传输端; 所述交互传输端包括: 第七传输端和第八传输端;

所述第一传输端、所述第二传输端与所述第三传输端、所述第四传输端分别连接第一存

储阵列和第二存储阵列，且所述第一传输端和所述第三传输端被配置为传输低比特位数据，所述第二传输端和所述第四传输端被配置为传输高比特位数据；所述第五传输端和所述第六传输端被配置为所属所述数据传输结构与所述数据总线之间的数据交互传输；所述第七传输端和所述第八传输端被配置为两个所述数据传输结构之间的数据交互传输。

17. 根据权利要求 16 所述的数据传输电路，包括：

所述第五传输端被配置为所属所述数据传输结构与所述数据总线之间的数据交互传输；

所述第六传输端被配置为所属所述数据传输结构向所述数据总线的单向数据传输。

18. 一种存储器，采用权利要求 1-7 任一项所述的存储电路进行存储阵列的设置。