

半导体器件及其制造方法

相关申请的交叉引用

本申请基于申请号为 202110957060.2、申请日为 2021 年 8 月 19 日、发明名称为“半导体器件及其制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本公开实施例涉及半导体制造技术，涉及但不限于一种半导体器件及其制造方法。

背景技术

随着芯片及存储器的技术发展，半导体制造工艺中对于集成度的要求越来越高。为了提升半导体衬底的利用率，提升集成度，垂直沟道结构的半导体器件开始逐渐被应用。垂直沟道结构的晶体管沟道垂直于衬底的表面，因而可以方便地排列成阵列。然而，针对垂直沟道结构的半导体器件，其走线的布局和工艺过程还有待进一步地优化和改善。

发明内容

有鉴于此，本公开实施例为解决现有技术中存在的至少一个问题而提供一种半导体器件及其制造方法。

第一方面，本公开实施例提供一种半导体器件的制造方法，所述半导体器件包括衬底；所述方法包括：

- 在所述衬底上形成沿第一方向延伸的多条第一沟槽；
- 在形成有所述第一沟槽的所述衬底上形成沿第二方向延伸的多条第二沟槽；所述第一方向与所述第二方向垂直；所述第一沟槽的第一深度大于所述第二沟槽的第二深度；
- 在所述第一沟槽和所述第二沟槽内形成第一隔离层；在第二方向的截面上，所述第一隔离层与所述第一沟槽两侧的侧壁之间分别具有第一缝隙；所述第一缝隙的深度小于所述第一深度；
- 在所述第一沟槽两侧的所述第一缝隙的底部沉积第一导电材料的导电层，形成两条相互平行且沿所述第一方向延伸的位线；
- 在所述第一沟槽和第二沟槽内、所述导电层上形成沿所述第二方向延伸的字线。

在一些实施例中，所述在形成有所述第一沟槽的所述衬底上形成沿第二方向延伸的多条第二沟槽，包括：

在所述衬底表面覆盖第一绝缘材料，形成第一绝缘层；其中，所述第一绝缘层覆盖所述第一沟槽的内壁；

5 在所述第一沟槽内填充第二绝缘材料，形成第二绝缘层；

在所述衬底上形成沿第二方向延伸的所述多条第二沟槽。

在一些实施例中，所述在所述第一沟槽和所述第二沟槽内形成第一隔离层，包括：

在所述第二沟槽内填充所述第一绝缘材料；

10 同步去除所述第一沟槽和所述第二沟槽内深度小于第三深度的位置覆盖的所述第一绝缘材料，形成所述第一缝隙；其中，所述第三深度小于所述第一深度且大于所述第二深度；所述第一沟槽和所述第二沟槽内剩余的所述第一绝缘层和所述第二绝缘层为所述第一隔离层。

15 在一些实施例中，在所述第二沟槽内填充所述第一绝缘材料之后，所述方法还包括：

去除第四深度的所述第一绝缘材料，形成凹陷区域；所述第四深度小于所述第二深度；

20 在所述凹陷区域的侧壁上覆盖所述第二绝缘材料，形成保护层；其中，去除所述第一绝缘材料后形成的所述第一缝隙在垂直于衬底表面的方向上位于所述保护层和所述剩余的第一绝缘层之间。

在一些实施例中，所述同步去除所述第一沟槽和所述第二沟槽内深度小于第三深度的位置覆盖的所述第一绝缘材料，形成所述第一缝隙，包括：

利用湿法刻蚀去除所述第一绝缘材料，形成所述第一缝隙。

25 在一些实施例中，所述第一绝缘材料包括氮化硅材料；所述湿法刻蚀使用的刻蚀液包括磷酸溶液。

在一些实施例中，所述在所述衬底表面覆盖第一绝缘材料，形成第一绝缘层，包括：

利用原子层沉积法，在所述衬底表面沉积所述第一绝缘材料，形成所述第一绝缘层。

30 在一些实施例中，在所述第一沟槽内填充第二绝缘材料，形成第二绝缘层之后，所述方法还包括：

对所述第二绝缘层和所述衬底表面的第一绝缘层进行平坦化处理，使所述第一沟槽和所述第二沟槽以外区域的衬底表面显露。

35 在一些实施例中，所述在所述第一沟槽两侧的所述第一缝隙的底部沉积第一导电材料的导电层，形成两条相互平行且沿所述第一方向延伸的位线，包括：

在所述第一缝隙内填充所述第一导电材料；

去除所述第一缝隙内的部分所述第一导电材料，保留所述第一缝隙底部的所述第一导电材料，形成所述位线；其中，所述底部的第一导电材料为所述导电层。

在一些实施例中，所述在所述第一沟槽和第二沟槽内、所述导电层上形成沿所述第二方向的字线，包括：

去除所述第一沟槽和所述第二沟槽内、所述导电层上方部分的所述第一隔离层，形成第三沟槽；

- 5 在所述第三沟槽的底部形成第二隔离层；其中，所述第二隔离层的底部与所述第一沟槽内两条所述位线之间剩余的所述第一隔离层连接，所述第二隔离层的顶部低于所述第一沟槽和所述第二沟槽以外区域的衬底表面；
在所述第二隔离层上方所述第三沟槽内，形成所述字线。

- 10 在一些实施例中，所述在所述第二隔离层上方所述第三沟槽内，形成所述字线，包括：

在所述第二隔离层上的所述第一沟槽以及所述第二沟槽的侧壁上形成栅极氧化层；

在相邻的所述栅极氧化层之间填充第二导电材料，形成栅极导电层；

- 15 沿所述第二方向，在所述第二导电材料上形成第四沟槽；其中，所述第四沟槽在所述第一方向的截面上分离所述栅极导电层；

在所述第四沟槽内填充第一绝缘材料，形成第三隔离层；所述第三隔离层两侧的所述第二导电材料连通的各栅极导电层构成所述字线。

第二方面，本公开实施例提供一种半导体器件，包括：

衬底；

- 20 在所述衬底上沿第一方向延伸的多条第一沟槽以及沿第二方向延伸的多条第二沟槽；其中，第一方向与所述第二方向垂直；所述第一沟槽的第一深度大于所述第二沟槽的第二深度；

- 25 位于所述第一沟槽和所述第二沟槽内的第一隔离层；在第二方向的截面上，所述第一隔离层与所述第一沟槽两侧的侧壁之间分别具有第一缝隙；所述第一缝隙的深度小于所述第一深度；

所述第一沟槽两侧的所述第一缝隙的底部沉积有第一导电材料的导电层，所述导电层构成两条相互平行且沿所述第一方向延伸的位线；

所述第一沟槽和所述第二沟槽内、所述导电层上具有沿第二方向延伸的字线。

- 30 在一些实施例中，所述第一隔离层，包括：

位于所述第一沟槽和所述第二沟槽的底部的第一绝缘层；

位于所述第一绝缘层上的第二绝缘层；所述第二绝缘层与所述第一沟槽两侧的侧壁之间具有所述第一缝隙。

- 35 在一些实施例中，所述第一隔离层和所述第一缝隙内的所述导电层上，覆盖有第二隔离层；

所述第二隔离层上具有所述沿第二方向延伸的字线。

在一些实施例中，所述半导体器件还包括：

栅极氧化层，位于所述第二隔离层上且覆盖在所述第一沟槽和所述第二沟槽的侧壁上；

所述字线，包括：位于相邻的所述栅极氧化层之间的栅极导电层；所述栅极导电层在所述第二方向上连通；

相邻的两条所述字线之间具有第三隔离层。

- 5 本公开实施例提供的技术方案，在半导体器件的制造过程中通过在衬底上形成沟槽，在沟槽中形成与第一沟槽两侧侧壁之间均具有第一缝隙的第一隔离层，然后在第一沟槽两侧的第一缝隙内衬底导电材料的方式，形成掩埋于衬底内的位线结构。如此，一方面相比于对半导体衬底掺杂形成的位线，本公开实施例采用的沉积导电材料形成的位线具有更高的导电性能，因此能够提升半导体器件的整体性能。另一方面，通过在第一沟槽两侧侧壁的第一缝隙内形成的相互平行的双位线结构，可以提升半导体器件的集成度，减少位线之间的寄生电容。
- 10

附图说明

图1为本公开实施例提供的一种半导体器件的制造方法的流程图；

- 图2A至图2E为本公开实施例提供的制造方法中形成第一沟槽的俯视图及各截面图；
- 15

图3A至图3C为本公开实施例提供的制造方法中在第一沟槽内覆盖第一绝缘层的各截面图；

图4A至图4C为本公开实施例提供的制造方法中在第一沟槽内覆盖第二绝缘层的各截面图；

- 20 图5A至图5D为本公开实施例提供的制造方法中形成第二沟槽的各截面图；

图6A至图6D为本公开实施例提供的制造方法中在第二沟槽内填充第一绝缘层的各截面图；

图7A至图7D为本公开实施例提供的制造方法中形成凹陷区域的各截面图；

- 25 图8A至图8C为本公开实施例提供的制造方法中在凹陷区域内形成保护层的各截面图；

图9A至图9D为本公开实施例提供的制造方法中形成第一缝隙的各截面图；

图10A至图10C为本公开实施例提供的制造方法中在第一缝隙内形成位线后的俯视图和各截面图；

- 30 图11A至图11D为本公开实施例提供的制造方法中形成第二隔离层的各截面图；

图12A至图12D为本公开实施例提供的制造方法中形成栅极导电层的各截面图；

图13A至图13D为本公开实施例提供的制造方法中形成字线的各截面图；

图14为本公开实施例提供的一种半导体器件的结构示意图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

如图 1 所示，本公开实施例提供一种半导体器件的制造方法，所述半导体器件包括衬底；所述方法包括：

步骤 S101、在所述衬底上形成沿第一方向延伸的多条第一沟槽；

步骤 S102、在形成有所述第一沟槽的所述衬底上形成沿第二方向延伸的多条第二沟槽；所述第一方向与所述第二方向垂直；所述第一沟槽的第一深度大于所述第二沟槽的第二深度；

步骤 S103、在所述第一沟槽和所述第二沟槽内形成第一隔离层；在第二方向的截面上，所述第一隔离层与所述第一沟槽两侧的侧壁之间分别具有第一缝隙；所述第一缝隙的深度小于所述第一深度；

步骤 S104、在所述第一沟槽两侧的所述第一缝隙的底部沉积第一导电材料的导电层，形成两条相互平行且沿所述第一方向延伸的位线；

步骤 S105、在所述第一沟槽和第二沟槽内、所述导电层上形成沿所述第二方向延伸的字线。

在本公开实施例中，可以通过刻蚀的方法在衬底表面形成具有图形的沟槽。这里，第一方向是平行于衬底表面延伸的方向，在此方向上可以形成多条第一沟槽，这些第一沟槽之间相互平行。示例性地，多条第一沟槽之间相互平行且可以具有相等的间距、深度以及宽度。因此，这些第一沟槽可以通过刻蚀同步形成。当然，上述刻蚀可以是一次刻蚀，也可以是多重刻蚀。

如图 2A 所示，为形成第一沟槽后的俯视图，图 2B、图 2C、图 2D 以及图 2E 分别为图 2A 中在 aa'截面、bb'截面、cc'截面以及 dd'截面上的截面图，衬底 100 上形成有多条平行分布的第一沟槽 110。

在形成第一沟槽后，可以再次利用刻蚀的方法形成垂直于第一沟槽分布的第二沟槽。第二沟槽的延伸方向同样平行于衬底表面，但与第一方向相互垂直。这样，就可以在衬底表面形成网状的结构，即相互交错的多条第一沟槽和第二沟槽。未被刻蚀的区域则形成了一个垂直于衬底表面的半导体柱，这些半导体柱可以用于作为晶体管的垂直沟道，进而可以形成晶体管阵列。

在本公开实施例中，在第一沟槽和第二沟槽内形成第一隔离层，该第一隔离层是由绝缘材料构成的，例如氧化物、氮化物或者其他有机材料等。由于第二沟槽的第一深度大于第二沟槽的第二深度，因此，第一隔离层在第一沟槽内

的厚度与第二沟槽内的厚度也有所不同。

在第一沟槽内的第一隔离层与第一沟槽的两侧的侧壁之间具有第一缝隙，对于第二沟槽的第二深度较浅，该第一缝隙不会延伸到第二沟槽内。然后在第一缝隙的底部衬底的第一导电材料，这样，第一导电材料形成的导电层就会沿
5 第一沟槽两侧的侧壁延伸，形成两条位线。每条第一沟槽的底部都具有两条位线，就形成了半导体器件的双位线结构。需要说明的是，第一导电材料可以为金属材料，也可以为掺杂的半导体材料或者其他导电材料。例如，第一导电材料可以为金属铜、金属钨等等。

由于第一缝隙没有延伸至第二沟槽内，因此，在上述第一沟槽的导电层上，
10 以及第二沟槽内可以形成字线。事实上，字线会沿着第二沟槽延伸，即沿着第二方向延伸。但是由于构成字线的材料可能会有一部分位于第一沟槽内，因此需要在第一沟槽以及第二沟槽内形成。当然，相邻的两条字线之间可以通过绝缘材料隔离开来。

如此，针对垂直沟道的半导体器件，本公开实施例中提供了在衬底内形成
15 掩埋的字线和位线的方式，并且对于每个晶体管的沟道都具有双位线的结构，即两侧均具有通过沉积导电材料形成的导电层。这样，一方面相比于对半导体衬底掺杂形成的位线，本公开实施例采用的沉积导电材料形成的位线具有更高的导电性能，因此能够提升半导体器件的整体性能。另一方面，通过在第一沟槽两侧侧壁的第一缝隙内形成的相互平行的双位线结构，可以提升半导体器件
20 的集成度，减少位线之间的寄生电容。

在一些实施例中，所述在形成有所述第一沟槽的所述衬底上形成沿第二方向延伸的多条第二沟槽，包括：

在所述衬底表面覆盖第一绝缘材料，形成第一绝缘层；其中，所述第一绝缘层覆盖所述第一沟槽的内壁；

25 在所述第一沟槽内填充第二绝缘材料，形成第二绝缘层；

在所述衬底上形成沿第二方向延伸的所述多条第二沟槽。

在本公开实施例中，形成第一沟槽后，可以在衬底表面通过外延生长或者沉积等方式覆盖一层第一绝缘材料，例如，采用化学气相沉积（Chemical Vapor Deposition, CVD）、原子层沉积（Atomic Layer Deposition, ALD）或物理气相
30 沉积（Physical Vapor Deposition, PVD）等方式形成上述第一绝缘层。这里，第一绝缘材料可以是氧化物、氮化物或者其他绝缘材料等。第一绝缘材料可以覆盖在第一沟槽的整个内壁上，包括第一沟槽的底部和侧壁。此外，衬底表面第一沟槽以外的区域也会覆盖上述第一绝缘材料。

图 3A 至 3C 是覆盖第一绝缘材料后 bb'截面、cc'截面以及 dd'截面对应位置的截面图；如图 3A 至 3C 所示，整个衬底 100 的表面，第一沟槽 110 的内表面都覆盖有第一绝缘材料，形成第一绝缘层 111。
35

然后可以在第一沟槽内填充第二绝缘材料，使得所有第一沟槽被填满。图 4A 至图 4C 为填充第二绝缘材料后 bb'截面、cc'截面以及 dd'截面对应位置的截面图，如图 4A 至图 4C 所示，在第一沟槽内的第一绝缘层 111 上均填充有

第二绝缘层 112。第二绝缘材料与第一绝缘材料为不同的绝缘材料，例如，若第一绝缘材料为氮化硅（SiN），则第二绝缘材料可以为氧化硅（SiO₂）。此时可以进行一些研磨等平坦化的处理，使的衬底表面和第二绝缘材料的表面形成平坦的平面。此时的平坦化处理可以去除衬底表面的第一绝缘材料，也可以保留部分第一绝缘材料。

此时，在上述平面上可以进行进一步刻蚀，形成沿第二方向延伸的多条第二沟槽。需要说明的是，刻蚀的过程需要同步作用于衬底的硅材料以及第一沟槽内填充的绝缘材料，这样可以形成完整的第二沟槽，沿着第一沟槽的方向的截面来看，则是在第一沟槽内的第二绝缘材料上形成了多个相邻的凹陷区域。

形成第二沟槽 120 后上述 aa'截面、bb'截面、cc'截面以及 dd'截面上的截面图如图 5A 至图 5D 所示。由于第二沟槽 120 的深度小于第一沟槽 110，因此，在沿着第二沟槽的 dd'截面上仍能够看到第一沟槽 110 底部的形状以及第一绝缘层 111 和 112。

当然，如果去除掉第一沟槽内填充的绝缘材料，第一沟槽与第二沟槽则为相互垂直的两组直线形的沟槽，并且每条第一沟槽与每条第二沟槽存在相交处的公共区域。从整体上看第一沟槽与第二沟槽则构成网状的结构，未被刻蚀掉的衬底区域则为一个垂直于衬底表面方向的半导体柱。

在公开实施例中，第一沟槽的第一深度大于第二沟槽的第二深度，因此，在形成第二沟槽后，第一沟槽的底部仍然保留了一部分沿第一方向延伸的第一绝缘层和第二绝缘层。

如此，在第一绝缘层和第二绝缘层的保护下，可以在形成第一沟槽后再形成第二沟槽，使得第一沟槽与第二沟槽具有不同的深度，并且形成第二沟槽的过程中不会对第一沟槽的内壁造成损伤。

在一些实施例中，所述在所述第一沟槽和所述第二沟槽内形成第一隔离层，包括：

在所述第二沟槽内填充所述第一绝缘材料；

同步去除所述第一沟槽和所述第二沟槽内深度小于第三深度的位置覆盖的所述第一绝缘材料，形成所述第一缝隙；其中，所述第三深度小于所述第一深度且大于所述第二深度；所述第一沟槽和所述第二沟槽内剩余的所述第一绝缘层和所述第二绝缘层为所述第一隔离层。

这里，第一隔离层包括了部分第一绝缘材料以及部分第二绝缘材料构成的结构，包括第一沟槽底部的绝缘材料，以及在形成第二沟槽时第一沟槽中未被刻蚀掉的绝缘材料。

第一沟槽中的第一绝缘材料与第一沟槽两侧侧壁之间具有第一缝隙，该第一缝隙中的至少部分可以趁机导电材料，形成导电层。由于第一缝隙沿着第一沟槽的侧壁向第一方向延伸，因此，导电层为覆盖在第一沟槽侧壁的至少部分区域并沿第一方向延伸的导电线。并且由于第一沟槽两侧均具有第一缝隙，因此可以形成两条导电线。这样，对于半导体器件中的晶体管阵列，每一列晶体管都具有两条位线，即掩埋于衬底内部的双位线结构。

通过在第一缝隙内沉积导电材料的方式形成的掩埋式的双位线结构实现工艺简单，且有利于高集成度的半导体器件设计。

在一些实施例中，在所述第二沟槽内填充所述第一绝缘材料之后，所述方法还包括：

- 5 去除第四深度的所述第一绝缘材料，形成凹陷区域；所述第四深度小于所述第二深度；

在所述凹陷区域的侧壁上覆盖所述第二绝缘材料，形成保护层；其中，去除所述第一绝缘材料后形成的所述第一缝隙在垂直于衬底表面的方向上位于所述保护层和所述剩余的第一绝缘层之间。

- 10 在第二沟槽内填充第一绝缘材料后，第一沟槽与第二沟槽内填满了绝缘材料。填充第一绝缘材料后 aa'截面、bb'截面、cc'截面以及 dd'截面上的截面图如图 6A 至 6D 所示。如图 6C 至 6D 中在第一沟槽 110 内可以看到覆盖在侧壁上的第一绝缘层 111 和填充在第一沟槽内的第二绝缘层 112。而对于图 6A 和图 6B 中第二沟槽 120 内则填充有第一绝缘材料构成的绝缘层 121。

- 15 然后，如图 7A 至图 7D 所示，可以通过回刻一部分的第一绝缘材料，在第一沟槽 110 和第二沟槽 120 内形成凹陷区域 130。需要说明的是，这里去除第一绝缘材料时不会对第二绝缘材料产生影响，因此，第二绝缘材料仍然与第一沟槽的顶部保持平齐，而第一沟槽侧壁的第一绝缘材料则被去除一部分，形成第四深度的凹陷区域。第二沟槽内填充的为第一绝缘材料，因此，第二沟槽内整体凹陷第四深度。

- 20 之后在凹陷区域内覆盖一层第二绝缘材料，使得第一沟槽内的第二绝缘材料在顶部填满第一沟槽，图 8A 至图 8C 为 aa'截面、bb'截面以及 cc'截面上的截面图，dd'截面相比于图 7D 没有发生变化，第二沟槽 120 内则在凹陷区域 130 的内壁上形成一层第二绝缘材料。这样，就在第一沟槽 110 和第二沟槽 120 顶部的区域内可以形成一层保护层 140。其中，图 8B 所示的截面上，保护层 140 与原有的第一沟槽内的第二绝缘材料连为一体，使得凹陷区域 130 在该截面上的宽度减小了。dd'截面相比于图 7D 没有发生变化，可参考图 7D。

- 25 示例性地，可以利用 ALD 的方法在凹陷区域内生长一层氧化硅，然后可以再次进行回蚀，去除在第二沟槽内凹陷区域底部的氧化硅，使得第一绝缘材料（如氮化硅）裸露出来。

- 30 这样，第一沟槽的顶部被第二绝缘材料封住，而第二沟槽内则裸露出了第一绝缘材料的表面，也就形成了保护层。此时，如图 9A 至图 9D 所示，可以针对第一绝缘材料进行刻蚀，保留第二绝缘材料。此时，第一沟槽 110 和第二沟槽 120 内位于顶部的区域保留了上述保护层 140，而下方则镂空，这样可以在第一沟槽 110 侧壁覆盖有第一绝缘材料的部分形成上述第一缝隙 150。

在一些实施例中，所述同步去除所述第一沟槽和所述第二沟槽内深度小于第三深度的位置覆盖的所述第一绝缘材料，形成所述第一缝隙，包括：

利用湿法刻蚀去除所述第一绝缘材料，形成所述第一缝隙。

形成上述第一缝隙的方法，可以利用湿法刻蚀，针对第一绝缘材料进行清

洗,并且刻蚀的深度小于第三深度。这样,第二沟槽内的第一绝缘材料会被去除,同时第一沟槽内的上述第一隔离层两侧的第一绝缘材料会被去除掉一部分,仅保留底部大于第三深度的位置的第一绝缘层。从而在第一沟槽的侧壁形成第一缝隙。

5 在一些实施例中,所述第一绝缘材料包括氮化硅材料;所述湿法刻蚀使用的刻蚀液包括磷酸溶液。

上述第一绝缘材料为氮化硅材料时,磷酸溶液可以对第一绝缘材料产生腐蚀作用,从而去除第一绝缘材料,但磷酸溶液不会对氧化硅等氧化物产生腐蚀作用。因此,第二绝缘材料可以采用氧化物。

10 在一些实施例中,所述在所述衬底表面覆盖第一绝缘材料,形成第一绝缘层,包括:

利用原子层沉积法,在所述衬底表面沉积所述第一绝缘材料,形成所述第一绝缘层。

15 采用ALD的方式形成的第一绝缘层厚度均匀,因此,去除部分第一绝缘材料后形成的第一缝隙也具有均匀的宽度。

如此,在第一缝隙中沉积导电材料可以形成均匀的位线,从而降低位线的阻抗,提升导电性能。

在一些实施例中,在所述第一沟槽内填充第二绝缘材料,形成第二绝缘层之后,所述方法还包括:

20 对所述第二绝缘层和所述衬底表面的第一绝缘层进行平坦化处理,使所述第一沟槽和所述第二沟槽以外区域的衬底表面显露。

在本公开实施例中,在第一沟槽填充绝缘材料形成第二绝缘层后,部分多余的绝缘材料可能覆盖在半导体柱上方,从而影响半导体器件的性能。因此,可以通过化学机械抛光(Chemical Mechanical Polishing, CMP)进行平坦化处理。
25 理。

在一些实施例中,所述在所述第一沟槽两侧的所述第一缝隙的底部沉积第一导电材料的导电层,形成两条相互平行且沿所述第一方向延伸的位线,包括:

在所述第一缝隙内填充所述第一导电材料;

30 去除所述第一缝隙内的部分所述第一导电材料,保留所述第一缝隙底部的所述第一导电材料,形成所述位线;其中,所述底部的第一导电材料为所述导电层。

通过上述实施例中的方法,可以在第一隔离层与第一沟槽侧壁之间形成第一缝隙,然后通过沉积的方法在第一缝隙内填充第一导电材料。例如金属铜、金属钨等金属材料、掺杂的半导体材料或其他导电材料。

35 图10A为俯视图,图10B和图10C是形成位线后的cc'截面以及dd'截面上的截面图。aa'截面、bb'截面则位置看不到导电材料形成的位线,因此没有变化,可参考图9A和图9B,而在如图10B和图10C中所示的第一沟槽的底部则可以看到导电材料形成的位线160。

由于位线沿着第一沟槽的方向延伸,并且第二沟槽内的结构不受到位线的

影响。因此，位线仅需要形成于第一沟槽深度大于第二沟槽的部分。也就是说，用于构成位线所要形成的导电层可以仅覆盖在第一沟槽较底部的部分区域上，即形成一条细线即可。因此，可以去除第一缝隙内的部分第一导电材料，仅保留第一缝隙底部的第一导电材料，从而形成位线。

5 在一些实施例中，所述在所述第一沟槽和第二沟槽内、所述导电层上形成沿所述第二方向的字线，包括：

去除所述第一沟槽和所述第二沟槽内、所述导电层上方部分的所述第一隔离层，形成第三沟槽；

10 在所述第三沟槽的底部形成第二隔离层；其中，所述第二隔离层的底部与所述第一沟槽内两条所述位线之间剩余的所述第一隔离层连接，所述第二隔离层的顶部低于所述第一沟槽和所述第二沟槽以外区域的衬底表面；

在所述第二隔离层上方所述第三沟槽内，形成所述字线。

15 形成位线后，第一沟槽内仍填充有上述第一隔离层和保护层，需要沿着第二沟槽的方向形成字线，因此，需要将部分第一隔离层和保护层去除，使得第一沟槽和第二沟槽内形成第三沟槽。示例性地，第三沟槽底部仍保留有一部分第二绝缘材料可以作为第二隔离层。

在一实施例中，如图 11A 至图 11D 所示，可以在去除部分第一隔离层的过程中将第一沟槽和第二沟槽内的第二绝缘材料均去除，然后重新在第一沟槽 110 内和第二沟槽 120 内覆盖一层第一绝缘材料，并使其覆盖住已经形成的位线，
20 从而形成上述第二隔离层 170。形成第二隔离层 170 可以先填充第一绝缘材料至沟槽顶部，然后整体回刻一定的深度，此时剩余的第一绝缘材料则为上述第二隔离层。在一实施例中，也可以将第一沟槽和第二沟槽内的全部绝缘材料，包括第一绝缘材料和第二绝缘材料去除，然后重新填充一种绝缘材料，可以为第一绝缘材料，也可以为第二绝缘材料，从而形成上述第二隔离层。这里，
25 第一绝缘材料可以为氧化硅，在第三沟槽的侧壁上也可以覆盖一层氧化硅，这层氧化硅则可以作为栅极氧化层。

这样，就将已经形成的位线掩埋于衬底和绝缘材料之间，不会显露在外。此时，可以进一步在第三沟槽内形成字线。

30 在一些实施例中，所述在所述第二隔离层上方所述第三沟槽内，形成所述字线，包括：

在所述第二隔离层上的所述第一沟槽以及所述第二沟槽的侧壁上形成栅极氧化层；

在相邻的所述栅极氧化层之间填充第二导电材料，形成栅极导电层；

35 沿所述第二方向，在所述第二导电材料上形成第四沟槽；其中，所述第四沟槽在所述第一方向的截面上分离所述栅极导电层；

在所述第四沟槽内填充第一绝缘材料，形成第三隔离层；所述第三隔离层两侧的所述第二导电材料连通的各栅极导电层构成所述字线。

字线实质上是有各半导体柱构成的垂直沟道环绕的栅极连接成直线构成的，而栅极则包括栅极氧化层和栅极导电层。因此，在形成栅极氧化层的过程中，

可以在第一沟槽以及第二沟槽内第二隔离层上的区域内（即第三沟槽整体）的侧壁上形成栅极氧化层，使得栅极氧化层环绕着覆盖在每一个半导体柱的侧壁上。

形成栅极氧化层的方法可以利用上述 ALD 的方法沉积一层氧化硅，也可以对半导体柱的侧壁进行氧化处理，使得半导体柱的侧壁表面被氧化为一层均匀的氧化硅。

然后可以在栅极氧化层之间，即侧壁覆盖有栅极氧化层后的上述第三沟槽内填充第二导电材料，形成栅极导电层。第二导电材料可以为金属材料，如金属铜、金属钨等等。如图 12A 至图 12D 所示，金属材料构成的栅极导电层 181 位于栅极氧化层 182 以及上述第二隔离层 170 之间。栅极导电层 201 的顶部还可以再覆盖一层第二绝缘材料，形成栅极保护层 183。这样，栅电极也被掩埋于衬底内部，不会裸露在衬底表面。

此外，由于在第三沟槽内沉积的导电材料全部连接在一起，为了形成沿第二方向延伸字线，还需要在第二沟槽所在位置的中间形成第四沟槽，如图 13A 至 13D 所示，第四沟槽 190 沿着第二方向将导电材料分离成多条字线 180 的结构。然后，可以在第四沟槽 190 内填充绝缘材料，例如，通过 CVD、ALD 或 PVD 等沉积方式，形成第三隔离层 191。在图 13D 中所示的 dd' 截面可以看到第三隔离层 191 与第二隔离层 170 为相同材料时连为一体。需要说明的是，第三隔离层可以为第一绝缘材料，也可以为第二绝缘材料。若为第二绝缘材料，则第三隔离层与上述第二隔离层和顶部的栅极保护层连为一体。

如此，相邻的两条第三隔离层之间的栅极导电层就形成了字线。

如图 14 所示（图 14 包含了沿第一方向的截面和第二方向的截面），本公开实施例提供一种半导体器件 200，包括：

衬底 201；

在所述衬底上沿第一方向延伸的多条第一沟槽 210 以及沿第二方向延伸的多条第二沟槽 220；其中，第一方向与所述第二方向垂直；所述第一沟槽 210 的第一深度大于所述第二沟槽 220 的第二深度；

位于所述第一沟槽 210 和所述第二沟槽 220 内的第一隔离层 230；在第二方向的截面上，所述第一隔离层 230 与所述第一沟槽 210 两侧的侧壁之间分别具有第一缝隙 240；所述第一缝隙 240 的深度小于所述第一深度；

所述第一沟槽两侧的所述第一缝隙 240 的底部沉积有第一导电材料的导电层 250，所述导电层构成两条相互平行且沿所述第一方向延伸的位线；

所述第一沟槽 210 和所述第二沟槽 220 内、所述导电层 250 上具有沿第二方向延伸的字线 260。

在一些实施例中，所述第一隔离层，包括：

位于所述第一沟槽和所述第二沟槽的底部的第一绝缘层；

位于所述第一绝缘层上的第二绝缘层；所述第二绝缘层与所述第一沟槽两侧的侧壁之间具有所述第一缝隙。

在一些实施例中，所述第一隔离层和所述第一缝隙内的所述导电层上，覆

盖有第二隔离层；

所述第二隔离层上具有所述沿第二方向延伸的字线。

在一些实施例中，所述半导体器件还包括：

栅极氧化层，位于所述第二隔离层上且覆盖在所述第一沟槽和所述第二沟槽的侧壁上；

所述字线，包括：位于相邻的所述栅极氧化层之间的栅极导电层；所述栅极导电层在所述第二方向上连通；

相邻的两条所述字线之间具有第三隔离层。

上述半导体器件的结构在形成方法的实施例中已经详细说明并举例，这里不再赘述。

应理解，说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，设备或单元的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元；既可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

另外，在本公开各实施例中的各功能单元可以全部集成在一个处理单元中，也可以是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

以上所述，仅为本公开的实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

5 工业实用性

本公开实施例提供的技术方案，在半导体器件的制造过程中通过在衬底上形成沟槽，在沟槽中形成与第一沟槽两侧侧壁之间均具有第一缝隙的第一隔离层，然后在第一沟槽两侧的第一缝隙内衬底导电材料的方式，形成掩埋于衬底内的位线结构。如此，一方面相比于对半导体衬底掺杂形成的位线，本公开实
10 施例采用的沉积导电材料形成的位线具有更高的导电性能，因此能够提升半导体器件的整体性能。另一方面，通过在第一沟槽两侧侧壁的第一缝隙内形成的相互平行的双位线结构，可以提升半导体器件的集成度，减少位线之间的寄生电容。

权利要求书

1. 一种半导体器件的制造方法, 所述半导体器件包括衬底; 所述方法包括:
在所述衬底上形成沿第一方向延伸的多条第一沟槽;
在形成有所述第一沟槽的所述衬底上形成沿第二方向延伸的多条第二沟槽;
5 所述第一方向与所述第二方向垂直; 所述第一沟槽的第一深度大于所述第二沟槽的第二深度;
在所述第一沟槽和所述第二沟槽内形成第一隔离层; 在第二方向的截面上, 所述第一隔离层与所述第一沟槽两侧的侧壁之间分别具有第一缝隙; 所述第一缝隙的深度小于所述第一深度;
10 在所述第一沟槽两侧的所述第一缝隙的底部沉积第一导电材料的导电层, 形成两条相互平行且沿所述第一方向延伸的位线;
在所述第一沟槽和第二沟槽内、所述导电层上形成沿所述第二方向延伸的字线。
2. 根据权利要求1所述的方法, 其中, 所述在形成有所述第一沟槽的所述衬底上形成沿第二方向延伸的多条第二沟槽, 包括:
15 在所述衬底表面覆盖第一绝缘材料, 形成第一绝缘层; 其中, 所述第一绝缘层覆盖所述第一沟槽的内壁;
在所述第一沟槽内填充第二绝缘材料, 形成第二绝缘层;
在所述衬底上形成沿第二方向延伸的所述多条第二沟槽。
- 20 3. 根据权利要求2所述的方法, 其中, 所述在所述第一沟槽和所述第二沟槽内形成第一隔离层, 包括:
在所述第二沟槽内填充所述第一绝缘材料;
同步去除所述第一沟槽和所述第二沟槽内深度小于第三深度的位置覆盖的所述第一绝缘材料, 形成所述第一缝隙; 其中, 所述第三深度小于所述第一深度且大于所述第二深度; 所述第一沟槽和所述第二沟槽内剩余的所述第一绝缘层和所述第二绝缘层为所述第一隔离层。
- 25 4. 根据权利要求3所述的方法, 其中, 在所述第二沟槽内填充所述第一绝缘材料之后, 所述方法还包括:
去除第四深度的所述第一绝缘材料, 形成凹陷区域; 所述第四深度小于所述
30 第二深度;
在所述凹陷区域的侧壁上覆盖所述第二绝缘材料, 形成保护层; 其中, 去除所述第一绝缘材料后形成的所述第一缝隙在垂直于衬底表面的方向上位于所述保护层和所述剩余的第一绝缘层之间。
5. 根据权利要求3所述的方法, 其中, 所述同步去除所述第一沟槽和所述第二沟槽内深度小于第三深度的位置覆盖的所述第一绝缘材料, 形成所述第一缝隙, 包括:
35 利用湿法刻蚀去除所述第一绝缘材料, 形成所述第一缝隙。
6. 根据权利要求5所述的方法, 其中, 所述第一绝缘材料包括氮化硅材料;

所述湿法刻蚀使用的刻蚀液包括磷酸溶液。

7. 根据权利要求 2 所述的方法, 其中, 所述在所述衬底表面覆盖第一绝缘材料, 形成第一绝缘层, 包括:

5 利用原子层沉积法, 在所述衬底表面沉积所述第一绝缘材料, 形成所述第一绝缘层。

8. 根据权利要求 2 所述的方法, 其中, 在所述第一沟槽内填充第二绝缘材料, 形成第二绝缘层之后, 所述方法还包括:

对所述第二绝缘层和所述衬底表面的第一绝缘层进行平坦化处理, 使所述第一沟槽和所述第二沟槽以外区域的衬底表面显露。

10 9. 根据权利要求 1 所述的方法, 其中, 所述在所述第一沟槽两侧的所述第一缝隙的底部沉积第一导电材料的导电层, 形成两条相互平行且沿所述第一方向延伸的位线, 包括:

在所述第一缝隙内填充所述第一导电材料;

15 去除所述第一缝隙内的部分所述第一导电材料, 保留所述第一缝隙底部的所述第一导电材料, 形成所述位线; 其中, 所述底部的第一导电材料为所述导电层。

10. 根据权利要求 1 所述的方法, 其中, 所述在所述第一沟槽和第二沟槽内、所述导电层上形成沿所述第二方向的字线, 包括:

20 去除所述第一沟槽和所述第二沟槽内、所述导电层上方部分的所述第一隔离层, 形成第三沟槽;

在所述第三沟槽的底部形成第二隔离层; 其中, 所述第二隔离层的底部与所述第一沟槽内两条所述位线之间剩余的所述第一隔离层连接, 所述第二隔离层的顶部低于所述第一沟槽和所述第二沟槽以外区域的衬底表面;

在所述第二隔离层上方所述第三沟槽内, 形成所述字线。

25 11. 根据权利要求 10 所述的方法, 其中, 所述在所述第二隔离层上方所述第三沟槽内, 形成所述字线, 包括:

在所述第二隔离层上的所述第一沟槽以及所述第二沟槽的侧壁上形成栅极氧化层;

在相邻的所述栅极氧化层之间填充第二导电材料, 形成栅极导电层;

30 沿所述第二方向, 在所述第二导电材料上形成第四沟槽; 其中, 所述第四沟槽在所述第一方向的截面上分离所述栅极导电层;

在所述第四沟槽内填充第一绝缘材料, 形成第三隔离层; 所述第三隔离层两侧的所述第二导电材料连通的各栅极导电层构成所述字线。

12. 一种半导体器件, 包括:

35 衬底;

在所述衬底上沿第一方向延伸的多条第一沟槽以及沿第二方向延伸的多条第二沟槽; 其中, 第一方向与所述第二方向垂直; 所述第一沟槽的第一深度大于所述第二沟槽的第二深度;

位于所述第一沟槽和所述第二沟槽内的第一隔离层; 在第二方向的截面上,

所述第一隔离层与所述第一沟槽两侧的侧壁之间分别具有第一缝隙；所述第一缝隙的深度小于所述第一深度；

所述第一沟槽两侧的所述第一缝隙的底部沉积有第一导电材料的导电层，所述导电层构成两条相互平行且沿所述第一方向延伸的位线；

5 所述第一沟槽和所述第二沟槽内、所述导电层上具有沿第二方向延伸的字线。

13. 根据权利要求 12 所述的半导体器件，其中，所述第一隔离层，包括：位于所述第一沟槽和所述第二沟槽的底部的第一绝缘层；

10 位于所述第一绝缘层上的第二绝缘层；所述第二绝缘层与所述第一沟槽两侧的侧壁之间具有所述第一缝隙。

14. 根据权利要求 13 所述的半导体器件，其中，所述第一隔离层和所述第一缝隙内的所述导电层上，覆盖有第二隔离层；

所述第二隔离层上具有所述沿第二方向延伸的字线。

15 15. 根据权利要求 14 所述的半导体器件，其中，所述半导体器件还包括：栅极氧化层，位于所述第二隔离层上且覆盖在所述第一沟槽和所述第二沟槽的侧壁上；

所述字线，包括：位于相邻的所述栅极氧化层之间的栅极导电层；所述栅极导电层在所述第二方向上连通；

相邻的两条所述字线之间具有第三隔离层。

20