

# 半导体封装结构及制备方法

## 相关申请的交叉引用

本公开基于申请号为 202210806439.8、申请日为 2022 年 07 月 08 日、  
5 发明名称为“半导体封装结构及制备方法”的中国专利申请提出,并要求该中国专利申请的优先权,该中国专利申请的全部内容在此引入本公开作为参考。

## 技术领域

本公开半导体技术领域,尤其涉及一种半导体封装结构及制备方法。

## 10 背景技术

在所有部门,行业和地区,电子行业都在不断要求提供更轻、更快、  
更小、多功能、更可靠和更具成本效益的产品。为了满足众多不同消费者的  
的这些不断增长的需求,需要集成更多的电路来提供所需的功能。在几乎  
所有应用中,对减小尺寸,提高性能和改善集成电路功能的需求不断增长。

## 15 发明内容

有鉴于此,本公开实施例提供一种半导体封装结构及制备方法。  
根据本公开实施例的第一方面,提供了一种半导体封装结构,包括:  
第一基板,所述第一基板具有第一面;  
第一芯片堆叠体,位于所述第一基板上,所述第一芯片堆叠体包括沿  
20 垂直于所述第一基板方向依次堆叠的多个第一半导体芯片,所述第一芯片  
堆叠体与所述第一基板的第一面之间电连接;  
中介层,位于所述第一芯片堆叠体上;所述中介层具有第一互连面,  
所述第一互连面具有第一互连区域和第二互连区域,所述第一互连区域与  
所述第一基板之间电连接;  
25 模制层,所述模制层密封所述第一芯片堆叠体、所述中介层与所述第  
一基板的第一面,其中,所述第一互连区域不被所述模制层密封,所述第  
二互连区域被所述模制层密封,且所述第二互连区域上的所述模制层的顶  
表面与所述第一互连区域之间的侧壁上形成有第一材料层。  
在一些实施例中,所述第一材料层的材料包括导电材料或绝缘材料。  
30 在一些实施例中,还包括:

第二材料层，位于所述模制层的顶表面上；

所述第二材料层的材料与所述第一材料层的材料相同。

在一些实施例中，还包括：

5 第一导电线，每个所述第一半导体芯片通过所述第一导电线与所述第一基板之间电连接；

第二导电线，所述第二互连区域通过所述第二导电线与所述第一基板之间电连接。

10 在一些实施例中，所述第一互连区域上包括多个第一焊盘，所述第二互连区域上包括多个第二焊盘，其中，所述第二焊盘的数量大于所述第一焊盘的数量，所述第二焊盘的面积小于所述第一焊盘的面积。

在一些实施例中，所述模制层的顶表面与所述第一互连区域之间的侧壁与垂直于所述第一基板方向的夹角为第一夹角，所述第一夹角大于或等于  $0^\circ$ ，且小于  $90^\circ$ 。

在一些实施例中，还包括：

15 第二封装结构，所述第二封装结构包括第一焊球，所述第一焊球与所述第一互连区域电连接；

所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间具有预设高度，其中，所述第一焊球的高度大于所述预设高度。

20 根据本公开实施例的第二方面，提供一种半导体封装结构的制备方法，包括：

提供第一基板，所述第一基板具有第一面；

在所述第一基板上形成第一芯片堆叠体，所述第一芯片堆叠体包括沿垂直于所述第一基板方向依次堆叠的多个第一半导体芯片，所述第一芯片堆叠体与所述第一基板的第一面之间电连接；

25 在所述第一芯片堆叠体上形成中介层，所述中介层具有第一互连面，所述第一互连面具有第一互连区域和第二互连区域，所述第一互连区域与所述第一基板之间电连接；

30 形成模制层，所述模制层密封所述第一芯片堆叠体、所述中介层与所述第一基板的第一面，其中，所述第一互连区域不被所述模制层密封，所述第二互连区域被所述模制层密封，所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间具有预设高度，且所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间的侧壁上形成有第一材料层。

在一些实施例中，还包括：

35 在形成中介层后，

形成第一导电线；每个所述第一半导体芯片通过所述第一导电线与所述第一基板之间电连接；

形成第二导电线；所述第二互连区域通过所述第二导电线与所述第一

基板之间电连接。

在一些实施例中，还包括：

在所述第一互连区域上形成多个第一焊盘，在所述第二互连区域上形成多个第二焊盘，其中，所述第二焊盘的数量大于所述第一焊盘的数量，

5 所述第二焊盘的面积小于所述第一焊盘的面积。

在一些实施例中，还包括：

在形成中介层后，在所述中介层的第一互连区域上形成覆盖层，所述覆盖层包括第一部分和位于所述第一部分两侧的第二部分，所述第一部分和所述第二部分形成倒扣的 U 字形，以与所述中介层形成密封空腔；所述  
10 第二部分与垂直于所述第一基板方向的夹角为第一夹角，所述第一夹角大于或等于  $0^{\circ}$ ，且小于  $90^{\circ}$ 。

在一些实施例中，所述覆盖层的材料包括导电材料或绝缘材料。

在一些实施例中，还包括：

形成密封所述第一芯片堆叠体、所述中介层、所述覆盖层与所述第一  
15 基板的第一面的模制层预层；

去除部分所述模制层预层，以及所述覆盖层的第一部分，保留所述第二部分，以形成为第一材料层。

在一些实施例中，还包括：

在形成模制层后，在所述模制层的顶表面上形成第二材料层，所述  
20 第二材料层的材料与所述第一材料层的材料相同。

在一些实施例中，还包括：

形成第二封装结构，所述第二封装结构包括接合面以及位于所述接合面上的第一焊球；将所述第一焊球与所述第一互连区域电连接，将所述接合面与  
25 所述第二材料层连接。

本公开实施例中，通过设置中介层，后续第二封装结构可以通过中介层上的第一互连区域与第一芯片堆叠体以及第一基板连接，如此，可实现不同类型或不同规格的芯片结构之间的互连，使得不同芯片结构之间的组合更加灵活。同时因为第一芯片堆叠体和后续与第一芯片堆叠体连接的第二封装结构是独立封装的，因此也更加容易进行测试和失效分析。同时在  
30 模制层的顶表面与第一互连区域之间的侧壁上形成第一材料层，能够对中介层和后续与中介层连接的第二封装结构的接触的区域形成保护。

### 附图说明

为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出  
35 创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体封装结构的结构示意图；  
图 2 为本公开实施例提供的第一基板的结构示意图；  
图 3 为本公开实施例提供的中介层的结构示意图；  
图 4a 和图 4b 为本公开实施例提供的半导体封装结构的其他示例；  
5 图 5 为公开实施例提供的半导体封装结构的制备方法的流程示意图；  
图 6a 至图 6i 为本公开实施例提供的半导体封装结构在制备过程中的器件结构示意图。

附图标记说明：

1-圆环；2-载带；

10 10-第一基板；101-第一面；102-第二面；11-基板衬底；12-基板上绝缘介质层；13-基板下绝缘介质层；14-基板上连接焊盘；15-基板下连接焊盘；16-基板连接通孔；17-基板连接凸块；110-第一信号传输区域；120-第二信号传输区域；130-第三信号传输区域；

20-第一芯片堆叠体；21-第一半导体芯片；201-第一连接端；

15 30-中介层；31-第一互连区域；32-第二互连区域；301-第一互连面；311-第一焊盘；321-第二焊盘；33-基底；34-中介上绝缘介质层；35-中介下绝缘介质层；

40-模制层；401-顶表面；400-模制层预层；

51-第一导电线；52-第二导电线；

20 60-粘附膜；

70-第二封装结构；701-接合面；71-第一焊球；72-第二基板；73-第二模制层；

80-覆盖层；801-第一部分；802-第二部分；81-第一材料层；82-第二材料层；

25 91-第一封装模具；92-第二封装模具。

### 具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限定。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

本公开实施例提供了一种半导体封装结构。图 1 为本公开实施例提供的半导体封装结构的结构示意图。

参见图 1 和图 2，所述半导体封装结构包括：

第一基板 10，所述第一基板 10 具有第一面 101；

第一芯片堆叠体 20，位于所述第一基板 10 上，所述第一芯片堆叠体

20 包括沿垂直于所述第一基板 10 方向依次堆叠的多个第一半导体芯片 21, 所述第一芯片堆叠体 20 与所述第一基板 10 的第一面 101 之间电连接;

中介层 30, 位于所述第一芯片堆叠体 20 上; 所述中介层 30 具有第一互连面 301, 所述第一互连面 301 具有第一互连区域 31 和第二互连区域 32, 5 所述第一互连区域 31 与所述第一基板 10 之间电连接;

模制层 40, 所述模制层 40 密封所述第一芯片堆叠体 20、所述中介层 30 与所述第一基板 10 的第一面 101, 其中, 所述第一互连区域 31 不被所述模制层 40 密封, 所述第二互连区域 32 被所述模制层 40 密封, 且所述第二互连区域 32 上的所述模制层 40 的顶表面 401 与所述第一互连区域 31 之间的侧壁上形成有第一材料层 81。 10

本公开实施例中, 通过设置中介层, 后续第二封装结构可以通过中介层上的第一互连区域与第一芯片堆叠体以及第一基板连接, 如此, 可实现不同类型或不同规格的芯片结构之间的互连, 使得不同芯片结构之间的组合更加灵活。同时因为第一芯片堆叠体和后续与第一芯片堆叠体连接的第二封装结构是独立封装的, 因此也更加容易进行测试和失效分析。同时在模制层的顶表面与第一互连区域之间的侧壁上形成第一材料层, 能够对中介层和后续与中介层连接的第二封装结构的接触的区域形成保护。 15

图 2 为本公开实施例提供的第一基板的结构示意图。

在一些实施例中, 所述第一基板 10 可以是印刷电路板 (PCB) 或再分布基板。 20

如图 2 所示, 所述第一基板 10 包括基板衬底 11 和分别设置在所述基板衬底 11 的上表面和下表面上的基板上绝缘介质层 12 和基板下绝缘介质层 13。

所述基板衬底 11 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅, Silicon On Insulator)衬底或 GOI(绝缘体上锗, Germanium On Insulator)衬底等, 还可以为包括其他元素半导体或化合物半导体的衬底, 例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等), 还可以为叠层结构, 例如 Si/SiGe 等, 还可以是其他外延结构, 例如 SGOI(绝缘体上锗硅)等。 25

所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 可以为阻焊层, 例如所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 的材料可以为绿漆。 30

在本公开实施例中, 所述第一基板 10 的第一面 101 即为所述基板上绝缘介质层 12 的上表面。所述第一基板 10 还包括第二面 102, 即为所述基板下绝缘介质层 13 的下表面。 35

所述第一基板 10 还包括位于所述基板上绝缘介质层 12 内的基板上连接焊盘 14, 位于所述基板下绝缘介质层 13 内的基板下连接焊盘 15, 以及贯穿所述基板衬底 11 并将所述基板上连接焊盘 14 和所述基板下连接焊盘

15 彼此连接的基板连接通孔 16。

所述基板上连接焊盘 14 和所述基板下连接焊盘 15 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。所述基板连接通孔 16 可以为穿硅通孔 (TSV)。

5 所述第一基板 10 还包括基板连接凸块 17，所述基板连接凸块 17 可将半导体封装结构电连接到外部装置上，可以从外部装置接收用于操作第一芯片堆叠体的控制信号、功率信号和接地信号中的至少一个，或者可以从外部装置接收将要被存储在第一芯片堆叠体内的数据信号，也可将第一芯片堆叠体内的数据提供给外部装置。

10 所述基板连接凸块 17 包括导电材料。在本公开实施例中，所述基板连接凸块 17 为焊球，可以理解的是，本公开实施例中提供的基板连接凸块的形状仅作为本公开实施例中的一种下位的、可行的具体实施方式，并不构成对本公开的限制，所述基板连接凸块也可有其他形状结构。基板连接凸块的数量、间隔和位置不限于任何特定布置，可以进行各种修改。

15 继续参见图 2，所述第一基板 10 还包括分别位于所述第一基板 10 相对的两侧的第一信号传输区域 110 和第二信号传输区域 120。所述第一信号传输区域 110 与第一芯片堆叠体 20 之间电连接，所述第二信号传输区域 120 与所述中介层 30 之间电连接。

20 所述第一基板 10 还包括位于所述第一信号传输区域 110 和所述第二信号传输区域 120 之间的第三信号传输区域 130，所述第一芯片堆叠体 20 位于所述第三信号传输区域 130 上。

继续参见图 1，所述第一芯片堆叠结构 20 包括沿垂直于所述第一基板 10 方向依次堆叠的多个第一半导体芯片 21。本实施例中，采用向上依次堆叠多个第一半导体芯片的方式，可以节省半导体封装结构的水平面积。

25 在本公开的一个实施例中，所述第一半导体芯片可以为 DRAM 芯片。

图 3 为本公开实施例提供的中介层的结构示意图。

如图 3 所示，所述中介层 30 包括基底 33 和分别设置在所述基底 33 的上表面和下表面上的中介上绝缘介质层 34 和中介下绝缘介质层 35。

30 所述基底 33 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On Insulator)衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)，还可以为叠层结构，例如 Si/SiGe 等，还可以其他外延结构，例如 SGOI(绝缘体上锗硅)等。

35 所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 可以为阻焊层，例如所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 的材料可以为绿漆。

在一实施例中，所述中介层 30 的基底 33 内具有电磁屏蔽层(未图示)。

通过在中介层的基底内设置电磁屏蔽层，可以防止第二封装结构与第一芯片堆叠体之间发生信息干扰，影响器件工作。

所述中介层 30 包括第一互连区域 31 和第二互连区域 32，所述第一互连区域 31 上包括多个第一焊盘 311，所述第二互连区域 32 上包括多个第二焊盘 321，其中，所述第二焊盘 321 的数量大于所述第一焊盘 311 的数量，  
5 所述第二焊盘 321 的面积小于所述第一焊盘 311 的面积。

因为第一焊盘后续需要与第二封装结构进行匹配互连，因此布局设计相对比较固定，而第二焊盘承载的是第二封装结构与第一基板的互连，因此布局设计更为灵活，将第二焊盘设计成数量较多，面积较小，可以提高  
10 信号传输效率。

所述第一焊盘 311 和所述第二焊盘 321 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。

在一实施例中，在垂直于所述第一基板 10 的方向上，所述第一基板 10 具有第一厚度，所述中介层 30 具有第二厚度，其中，所述第一厚度大于所  
15 述第二厚度。

继续参见图 1，所述半导体封装结构还包括：第一导电线 51，每个所述第一半导体芯片 21 通过所述第一导电线 51 与所述第一基板 10 之间电连接；第二导电线 52，所述第二互连区域 32 通过所述第二导电线 52 与所述  
20 第一基板 10 之间电连接。

具体地，所述第一半导体芯片 21 具有第一连接端 201，所述第一连接端 201 与所述第一信号传输区域 110 位于同一侧，从所述第一连接端 201 上引出第一导电线 51 到所述第一传输区域 110 上，以实现所述第一半导体  
25 芯片 21 与所述第一基板 10 之间的电连接。

所述第二互连区域 32 上形成有第二焊盘 321，从第二焊盘 321 上引出第二导电线 52 到所述第二传输区域 120 上，以实现所述中介层 30 与所述  
30 第一基板 10 之间的电连接。

本公开实施例中，所述第一芯片堆叠体与所述第一基板之间采用引线键合方式进行电连接，其中，引线键合方式包括悬垂（Overhang）方式和导线上膜（Film on wire, FOW）方式。

图 1 所示的实施例中，采用悬垂方式进行引线键合。相邻两个第一半导体芯片 21 之间通过粘附膜 60 连接，所述粘附膜 60 不覆盖其下方一层的第一半导体芯片 21 上的第一连接端 201 以及第一导电线 51，所述粘附膜  
35 60 与其下方一层的所述第一半导体芯片 21 错位设置。

在另一些实施例中，采用导线上膜方式进行引线键合（未图示）。多个所述第一半导体芯片沿垂直于所述第一基板的方向对齐设置，相邻两个第一半导体芯片之间的粘附膜覆盖其下方一层的第一半导体芯片上的第一连接  
40 端以及第一导电线。

可以理解的是，本公开实施例中利用引线的方式进行电连接仅作为本

公开实施例中的一种下位的、可行的具体实施方式，并不构成对本公开的限制，也可以使用其他方式进行电连接，例如混合键合或者凸块互连。

在一实施例中，所述模制层 40 的顶表面 401 与所述第一互连区域 31 之间的侧壁与垂直于所述第一基板 10 方向的夹角为第一夹角，所述第一夹角大于或等于  $0^\circ$ ，且小于  $90^\circ$ 。

例如，在如图 1 所示的实施例中，所述模制层 40 的顶表面 401 和所述第一互连区域 31 之间的侧壁与垂直于所述第一基板 10 方向的夹角为  $0^\circ$ ，即模制层 40 的顶表面 401 与所述第一互连区域 31 之间的侧壁垂直于所述第一基板 10。将模制层的侧壁设置成垂直形状，工艺更加简单。

在如图 4a 所示的实施例中，所述模制层 40 的顶表面 401 和所述第一互连区域 31 之间的侧壁与垂直于所述第一基板 10 方向的夹角为角  $\alpha$ ，其中，角  $\alpha$  大于  $0^\circ$ ，且小于  $90^\circ$ 。将模制层的侧壁设置成非垂直形，如此，可以更加方便后续与第二封装结构的互连。

在一实施例中，所述第一材料层 81 的材料包括导电材料或绝缘材料。当所述第一材料层的材料为导电材料时，能够起到静电保护的作用；当所述第一材料层为绝缘材料时，能够起到绝缘隔离的作用。

在一实施例中，所述半导体封装结构还包括：第二材料层 82，位于所述模制层 40 的顶表面 401 上；所述第二材料层 82 的材料与所述第一材料层 81 的材料相同。

第二材料层位于模制层与第二封装结构之间，能够实现第一芯片堆叠体与第二封装结构的密封，同时也保护模制层与第二封装结构的结合面，并且也能够防止外界的水气和电磁干扰。

在一实施例中，当第一材料层 81 和第二材料层 82 均为导电材料时，可以在中介层上的第一互连区域 31 外围至所述模制层 40 上形成导热通道，提高产品的热性能，具体说来，第一材料层 81 和第二材料层 82 可以是铜、锡或铜-锡合金等。

在一实施例中，当第一材料层 81 和第二材料层 82 均为绝缘材料时，可以在中介层上的第一互连区域 31 外围至所述模制层 40 上形成密封保护环，提高产品的结构稳定性，具体说来，第一材料层 81 和第二材料层 82 可以是氧化硅层、氮化硅层或氮氧化硅层。

在一个实施例中，第一材料层 81 可以是铜、锡或铜-锡合金等，第二材料层 82 可以是二氧化硅。

在一个实施例中，第一材料层 81 可以是二氧化硅，第二材料层 82 可以是铜、锡或铜-锡合金等。

在一实施例中，所述半导体封装结构还包括：第二封装结构 70，所述第二封装结构 70 包括第一焊球 71，所述第一焊球 71 与所述第一互连区域 31 电连接；所述第二互连区域 32 上的所述模制层 40 的顶表面 401 与所述第一互连区域 31 之间具有预设高度  $h$ ，其中，所述第一焊球 71 的高度  $H$

大于所述预设高度  $h$ 。

本公开实施例中，通过设置第一焊球的高度大于模制层的顶表面与第一互连区域之间的高度，可以使得第二封装结构能够与中介层紧密连接，同时，在第二封装结构与中介层连接后，第二封装结构与模制层之间能存在空隙，如此，能增加控制器散热效率，减小热量对芯片的影响。

所述第二封装结构 70 还包括第二基板 72，所述第二基板 72 的结构与  
所述基板 10 的结构可以相同，也可以不相同，这里不再赘述。

在本公开的实施例中，第二封装结构 70 还包括接合面 701，所述第一焊球 71 位于所述接合面 701 上，且穿过所述接合面 701 与第二基板 72 电连接。

在本公开的实施例中，如图 1 所示，接合面 701 的材料可以为二氧化硅，当接合面 701 的材料为二氧化硅时，模制层 40 上的第二材料层 82 为二氧化硅层，通过这样的设置，当第一焊球 71 与第一焊盘 311 接合的同时，通过第二材料层 82 实现模制层 40 与第二封装结构 70 的接合。

在本公开的实施例中，如图 4b 所示，第二材料层 82 可以为铜层、锡层或铜-锡层，当第二材料层 82 为铜层、锡层或铜-锡层时，接合面 701 上与第二材料层 82 相对应的位置处设置有铜层、锡层或铜-锡层，当第一焊球 71 与第一焊盘 311 接合的同时，通过第二材料层 82 实现模制层 40 与第二封装结构 70 的接合。

在一实施例中，在垂直于所述第一基板 10 的方向上，所述模制层 40 具有第一厚度；所述第二封装结构 70 包括第二模制层 73，在垂直于所述第一基板 10 的方向上，所述第二模制层 73 具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。通过这样厚度的设置，可以有效的防止第二封装结构与中介层接合后产生翘曲。

所述第二封装结构 70 还包括第二半导体芯片结构（未图示），所述第二半导体芯片结构与所述第一芯片堆叠体 20 的类型相同或不同。第二封装结构 70 中的第二半导体芯片结构与第二基板 72 电连接。

例如，所述第二半导体芯片结构可以为通用闪存存储芯片（Universal File Store, UFS）。

本公开实施例提供的半导体封装结构可应用于叠层封装（Package on Package, PoP）结构的多芯片封装（UFS Multi Chip Package, UMCP）。

本公开实施例还提供了一种半导体封装结构的制备方法，具体请参见附图 5，如图所示，所述方法包括以下步骤：

步骤 501：提供第一基板，所述第一基板具有第一面；

步骤 502：在所述第一基板上形成第一芯片堆叠体，所述第一芯片堆叠体包括沿垂直于所述第一基板方向依次堆叠的多个第一半导体芯片，所述第一芯片堆叠体与所述第一基板的第一面之间电连接；

步骤 503：在所述第一芯片堆叠体上形成中介层，所述中介层具有第一

互连面，所述第一互连面具有第一互连区域和第二互连区域，所述第一互连区域与所述第一基板之间电连接；

5 步骤 504：形成模制层，所述模制层密封所述第一芯片堆叠体、所述中介层与所述第一基板的第一面，其中，所述第一互连区域不被所述模制层密封，所述第二互连区域被所述模制层密封，所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间具有预设高度，且所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间的侧壁上形成有第一材料层。

10 下面结合具体实施例对本公开实施例提供的半导体封装结构的制备方法再作进一步详细的说明。

图 6a 至图 6i 为本公开实施例提供的半导体封装结构在制备过程中的结构示意图。

首先，参见图 6a，执行步骤 501，提供第一基板 10，所述第一基板 10 具有第一面 101。

15 在一些实施例中，所述第一基板 10 可以是印刷电路板（PCB）或再分布基板。

如图 2 所示，所述第一基板 10 包括基板衬底 11 和分别设置在所述基板衬底 11 的上表面和下表面上的基板上绝缘介质层 12 和基板下绝缘介质层 13。

20 所述基板衬底 11 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On Insulator)衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)，还可以为叠层结构，例如 Si/SiGe 等，还可以其他外延结构，例如 SGOI(绝缘体上锗硅)等。

25 所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 可以为阻焊层，例如所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 的材料可以为绿漆。

30 在本公开实施例中，所述第一基板 10 的第一面 101 即为所述基板上绝缘介质层 12 的上表面。所述第一基板 10 还包括第二面 102，即为所述基板下绝缘介质层 13 的下表面。

所述第一基板 10 还包括位于所述基板上绝缘介质层 12 内的基板上连接焊盘 14，位于所述基板下绝缘介质层 13 内的基板下连接焊盘 15，以及贯穿所述基板衬底 11 并将所述基板上连接焊盘 14 和所述基板下连接焊盘 35 15 彼此连接的基板连接通孔 16。

所述基板上连接焊盘 14 和所述基板下连接焊盘 15 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。所述基板连接通孔 16 可以为穿硅通孔（TSV）。

所述第一基板 10 还包括分别位于所述第一基板 10 相对的两侧的第一信号传输区域 110 和第二信号传输区域 120。所述第一信号传输区域 110 与后续形成的第一芯片堆叠体之间电连接，所述第二信号传输区域 120 与后续形成的中介层之间电连接。

5 在一些实施例中，第一信号传输区域 110 与第二信号传输区域 120 不互连。

所述第一基板 10 还包括位于所述第一信号传输区域 110 和所述第二信号传输区域 120 之间的第三信号传输区域 130，后续第一芯片堆叠体位于所述第三信号传输区域 130 上。

10 在一些实施例中，第一信号传输区域 110 与第三信号传输区域 130 互连，第三信号传输区域 130 与第二信号传输区域 120 之间不互连。

接着，参见图 6b，执行步骤 502，在所述第一基板 10 上形成第一芯片堆叠体 20，所述第一芯片堆叠体 20 包括沿垂直于所述第一基板 10 方向依次堆叠的多个第一半导体芯片 21，所述第一芯片堆叠体 20 与所述第一基板 15 10 的第一面 101 之间电连接。

在本公开实施例中，采用向上依次堆叠多个第一半导体芯片的方式，可以节省半导体封装结构的水平面积。

相邻两个所述芯片 21 之间通过粘附膜 60 连接，所述芯片堆叠结构 20 与基板 10 之间也通过粘附膜 60 连接。

20 接着，参见图 6c 和图 6d，执行步骤 503，在所述第一芯片堆叠体 20 上形成中介层 30，所述中介层 30 具有第一互连面 301，所述第一互连面 301 具有第一互连区域 31 和第二互连区域 32，所述第一互连区域 31 与所述第一基板 10 之间电连接。

具体地，先参见图 6c，在圆环 1 上粘贴载带 2，然后在载带 2 上粘贴粘附膜 60，然后将中介层粘贴在粘附膜 60 上，此时的中介层为整片的条状，对中介层进行切割，形成如图 6c 所示的一个一个的单元。

接着，参见图 6d，在所述第一芯片堆叠体 20 上形成中介层 30。

具体地，先在所述第一芯片堆叠体 20 上形成粘附层 60，然后将图 6c 中形成的单个中介层 30 贴在粘附层 60 上。

30 如图 3 所示，所述中介层 30 包括基底 33 和分别设置在所述基底 33 的上表面和下表面上的中介上绝缘介质层 34 和中介下绝缘介质层 35。

所述基底 33 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On Insulator)衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)，还可以为叠层结构，例如 Si/SiGe 等，还可以其他外延结构，例如 SGOI(绝缘体上锗硅)等。

所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 可以为阻焊层，

例如所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 的材料可以为绿漆。

在一实施例中，所述中介层 30 的基底 33 内具有电磁屏蔽层（未图示）。通过在中介层的基底内设置电磁屏蔽层，可以防止第二封装结构与第一芯片堆叠体之间发生信息干扰，影响器件工作。

在一实施例中，所述方法还包括：在所述第一互连区域 31 上形成多个第一焊盘 311，在所述第二互连区域 32 上形成多个第二焊盘 321，其中，所述第二焊盘 321 的数量大于所述第一焊盘 311 的数量，所述第二焊盘 321 的面积小于所述第一焊盘 311 的面积。

因为第一焊盘后续需要与第二封装结构进行匹配互连，因此布局设计相对比较固定，而第二焊盘承载的是第二封装结构与第一基板的互连，因此布局设计更为灵活，将第二焊盘设计成数量较多，面积较小，可以提高信号传输效率。

所述第一焊盘 311 和所述第二焊盘 321 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。

在一实施例中，在垂直于所述第一基板 10 的方向上，所述第一基板 10 具有第一厚度，所述中介层 30 具有第二厚度，其中，所述第一厚度大于所述第二厚度。

接着，继续参见图 6d，在形成中介层 30 后，在所述中介层 30 的第一互连区域 31 上形成覆盖层 80，所述覆盖层 80 包括第一部分 801 和位于所述第一部分 801 两侧的第二部分 802，所述第一部分 801 和所述第二部分 802 形成倒扣的 U 字形，以与所述中介层 30 形成密封空腔；所述第二部分 802 与垂直于所述第一基板 10 方向的夹角为第一夹角，所述第一夹角大于或等于  $0^\circ$ ，且小于  $90^\circ$ 。

在图 6d 所示的实施例中，所述覆盖层 80 的第二部分 802 与垂直于所述第一基板 10 方向的夹角为  $0^\circ$ ，形成的模制层的结构如图 1 所示，在其他实施例中，所述覆盖层的第二部分与垂直于所述第一基板方向的夹角大于  $0^\circ$ ，且小于  $90^\circ$ ，形成的塑封料的结构如图 4a 所示。

本公开实施例中，通过在所述中介层的第一互连区域上形成覆盖层，如此，后续形成模制层后，为暴露出第一互连区域，无需使用异形封装模具，而可以直接通过去除覆盖层的第一部分的方式露出第一互连区域，异形封装模具制作成本高，工艺更为复杂，如此，通过在第一互连区域上形成覆盖层，能减少成本，同时形成工艺也更为简单。

在一实施例中，所述覆盖层 80 的材料包括导电材料或绝缘材料。

在形成覆盖层 80 后，需要将贴附在所述圆环 1 上的中介层进行清洗，以便清除杂质和灰尘，以避免中介层不干净而对半导体封装结构的性能产生影响。

接着，在形成中介层 30 后，形成第一导电线 51；每个所述第一半导体

芯片 21 通过所述第一导电线 51 与所述第一基板 10 之间电连接；形成第二导电线 52；所述第二互连区域 32 通过所述第二导电线 52 与所述第一基板 10 之间电连接。

具体地，所述第一半导体芯片 21 具有第一连接端 201，所述第一连接端 201 与所述第一信号传输区域 110 位于同一侧，从所述第一连接端 201 上引出第一导电线 51 到所述第一传输区域 110 上，以实现所述第一半导体芯片 21 与所述第一基板 10 之间的电连接。

所述第二互连区域 32 上形成有第二焊盘 321，从第二焊盘 321 上引出第二导电线 52 到所述第二传输区域 120 上，以实现所述中介层 30 与所述第一基板 10 之间的电连接。

本公开实施例中，所述第一芯片堆叠体与所述第一基板之间采用引线键合方式进行电连接，其中，引线键合方式包括悬垂（Overhang）方式和导线上膜（Film on wire, FOW）方式。

图 6d 所示的实施例中，采用悬垂方式进行引线键合。相邻两个第一半导体芯片 21 之间通过粘附膜 60 连接，所述粘附膜 60 不覆盖其下方一层的第一半导体芯片 21 上的第一连接端 201 以及第一导电线 51，所述粘附膜 60 与其下方一层的所述第一半导体芯片 21 错位设置。

在另一些实施例中，采用导线上膜方式进行引线键合（未图示）。多个所述第一半导体芯片沿垂直于所述第一基板的方向对齐设置，相邻两个第一半导体芯片之间的粘附膜覆盖其下方一层的第一半导体芯片上的第一连接端以及第一导电线。

接着，参见图 6e 至图 6g，执行步骤 504，形成模制层 40，所述模制层 40 密封所述第一芯片堆叠体 20、所述中介层 30 与所述第一基板 10 的第一面 101，其中，所述第一互连区域 31 不被所述模制层 40 密封，所述第二互连区域 32 被所述模制层 40 密封，所述第二互连区域 32 上的所述模制层 40 的顶表面 401 与所述第一互连区域 31 之间具有预设高度  $h$ ，且所述第二互连区域 32 上的所述模制层 40 的顶表面 401 与所述第一互连区域 31 之间的侧壁上形成有第一材料层 81。

具体地，先参见图 6e，在形成覆盖层 80 后，形成第一封装模具 91 和第二封装模具 92；所述第一封装模具 91 的表面平行于所述第一基板 10 的表面，所述第一封装模具 91 位于所述覆盖层 80 的上方，且与所述覆盖层 80 之间存在一定距离；所述第二封装模具 92 位于所述第一基板 10 的下方，且平行于所述第一基板 10 的表面。

接着，参见图 6f，所述方法还包括：以所述第一封装模具 91 和所述第二封装模具 92 为掩膜，形成密封所述第一芯片堆叠体 20、所述中介层 30、所述覆盖层 80 与所述第一基板 10 的第一面 101 的模制层预层 400。

在一实施例中，模制层预层 400 包括 EMC 材料。

在形成模制层预层 400 后，去除所述第一封装模具 91 和所述第二封装

模具 92。

接着，参见图 6g，去除部分所述模制层预层 400，以及所述覆盖层 80 的第一部分 801，保留所述第二部分 802，以形成为第一材料层 81。

具体地，可以采用研磨工艺在所述塑封料预层 400 的表面进行研磨，  
5 去除部分塑封料预层 400，以及所述覆盖层 80 的第一部分 801。

继续参见图 6g，在形成模制层 40 后，在所述第一基板 10 的第二面 102 上形成基板连接凸块 17，所述基板连接凸块 17 包括导电材料。

接着，参见图 6h，所述方法还包括：在形成模制层 40 后，在所述模制层 40 的顶表面 401 上形成第二材料层 82，所述第二材料层 82 的材料与所  
10 述第一材料层 81 的材料相同。

具体地，可以先在所述模制层 40 的顶表面 401，以及中介层 30 的表面上形成第二材料层预层（未图示），然后去除中介层 30 的表面上的第二材料层预层，保留模制层 40 的顶表面 401 上的第二材料层预层，以形成第二材料层 82。

接着，参见图 6i，所述方法还包括：形成第二封装结构 70，所述第二封装结构 70 包括接合面 701 以及位于所述接合面 701 上的第一焊球 71；将所述第一焊球 71 与所述第一互连区域 31 电连接；将所述接合面 701 与所  
15 述第二材料层 82 连接。

在一实施例中，所述第一焊球 71 的高度  $H$  大于模制层 40 的顶表面 401 与第一互连区域 31 之间的预设高度  $h$ 。  
20

本公开实施例中，通过设置第一焊球的高度大于模制层的顶表面与第一互连区域之间的高度，可以使得第二封装结构能够与中介层紧密连接，同时，在第二封装结构与中介层连接后，第二封装结构与模制层之间能存在空隙，如此，能增加控制器散热效率，减小热量对芯片的影响。

所述第二封装结构 70 还包括第二基板 72，所述第二基板 72 的结构与  
25 所述基板 10 的结构相同或不同，这里不再赘述。

在本公开的实施例中，第二封装结构 70 还包括接合面 701，所述第一焊球 71 位于所述接合面 701 上，且穿过所述接合面 701 与所述第二基板 72 电连接。

在本公开的实施例中，如图 6i 所示，接合面 701 的材料可以为二氧化硅，当接合面 701 的材料为二氧化硅时，模制层 40 上的第二材料层 82 为二氧化硅层，通过这样的设置，当第一焊球 71 与第一焊盘 311 接合的同时，通过第二材料层 82 实现模制层 40 与第二封装结构 70 的接合。

在本公开的实施例中，如图 4b 所示，第二材料层 82 可以为铜层、锡层或铜-锡层，当第二材料层 82 为铜层、锡层或铜-锡层时，接合面 701 上  
35 与第二材料层 82 相对应的位置处设置有铜层、锡层或铜-锡层，当第一焊球 71 与第一焊盘 311 接合的同时，通过第二材料层 82 实现模制层 40 与第二封装结构 70 的接合。

在一实施例中，在垂直于所述第一基板 10 的方向上，所述模制层 40 具有第一厚度；所述第二封装结构 70 包括第二模制层 73，在垂直于所述第一基板 10 的方向上，所述第二模制层 73 具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。在一实施例中，第二模制层 73 包括 EMC 材料。

所述第二封装结构 70 还包括第二半导体芯片结构（未图示），所述第二半导体芯片结构与所述第一芯片堆叠体 20 的类型相同或不同。第二封装结构 70 中的第二半导体芯片结构与第二基板 72 电连接。

例如，所述第二半导体芯片结构可以为通用闪存存储芯片（Universal File Store, UFS）。

以上所述，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

### 工业实用性

本公开实施例中，通过设置中介层，后续第二封装结构可以通过中介层上的第一互连区域与第一芯片堆叠体以及第一基板连接，如此，可实现不同类型或不同规格的芯片结构之间的互连，使得不同芯片结构之间的组合更加灵活。同时因为第一芯片堆叠体和后续与第一芯片堆叠体连接的第二封装结构是独立封装的，因此也更容易进行测试和失效分析。同时在模制层的顶表面与第一互连区域之间的侧壁上形成第一材料层，能够对中介层和后续与中介层连接的第二封装结构的接触的区域形成保护。

## 权利要求书

- 1、一种半导体封装结构，包括：  
第一基板，所述第一基板具有第一面；  
第一芯片堆叠体，位于所述第一基板上，所述第一芯片堆叠体包括沿  
5 垂直于所述第一基板方向依次堆叠的多个第一半导体芯片，所述第一芯片堆叠体与所述第一基板的第一面之间电连接；  
中介层，位于所述第一芯片堆叠体上；所述中介层具有第一互连面，  
所述第一互连面具有第一互连区域和第二互连区域，所述第一互连区域与  
所述第一基板之间电连接；  
10 模制层，所述模制层密封所述第一芯片堆叠体、所述中介层与所述第一基板的第一面，其中，所述第一互连区域不被所述模制层密封，所述第二互连区域被所述模制层密封，且所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间的侧壁上形成有第一材料层。
- 2、根据权利要求1所述的半导体封装结构，其中，  
15 所述第一材料层的材料包括导电材料或绝缘材料。
- 3、根据权利要求1所述的半导体封装结构，其中，还包括：  
第二材料层，位于所述模制层的顶表面上；  
所述第二材料层的材料与所述第一材料层的材料相同。
- 4、根据权利要求1所述的半导体封装结构，其中，还包括：  
20 第一导电线，每个所述第一半导体芯片通过所述第一导电线与所述第一基板之间电连接；  
第二导电线，所述第二互连区域通过所述第二导电线与所述第一基板之间电连接。
- 5、根据权利要求1所述的半导体封装结构，其中，  
25 所述第一互连区域上包括多个第一焊盘，所述第二互连区域上包括多个第二焊盘，其中，所述第二焊盘的数量大于所述第一焊盘的数量，所述第二焊盘的面积小于所述第一焊盘的面积。
- 6、根据权利要求1所述的半导体封装结构，其中，  
所述模制层的顶表面与所述第一互连区域之间的侧壁与垂直于所述第一  
30 一基板方向的夹角为第一夹角，所述第一夹角大于或等于 $0^{\circ}$ ，且小于 $90^{\circ}$ 。
- 7、根据权利要求1所述的半导体封装结构，其中，还包括：  
第二封装结构，所述第二封装结构包括第一焊球，所述第一焊球与所述  
述第一互连区域电连接；  
所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间  
35 具有预设高度，其中，所述第一焊球的高度大于所述预设高度。
- 8、一种半导体封装结构的制备方法，包括：

提供第一基板，所述第一基板具有第一面；

在所述第一基板上形成第一芯片堆叠体，所述第一芯片堆叠体包括沿垂直于所述第一基板方向依次堆叠的多个第一半导体芯片，所述第一芯片堆叠体与所述第一基板的第一面之间电连接；

5 在所述第一芯片堆叠体上形成中介层，所述中介层具有第一互连面，所述第一互连面具有第一互连区域和第二互连区域，所述第一互连区域与所述第一基板之间电连接；

10 形成模制层，所述模制层密封所述第一芯片堆叠体、所述中介层与所述第一基板的第一面，其中，所述第一互连区域不被所述模制层密封，所述第二互连区域被所述模制层密封，所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间具有预设高度，且所述第二互连区域上的所述模制层的顶表面与所述第一互连区域之间的侧壁上形成有第一材料层。

9、根据权利要求8所述的方法，其中，还包括：

15 在形成中介层后，

形成第一导电线；每个所述第一半导体芯片通过所述第一导电线与所述第一基板之间电连接；

形成第二导电线；所述第二互连区域通过所述第二导电线与所述第一基板之间电连接。

20 10、根据权利要求8所述的方法，其中，还包括：

在所述第一互连区域上形成多个第一焊盘，在所述第二互连区域上形成多个第二焊盘，其中，所述第二焊盘的数量大于所述第一焊盘的数量，所述第二焊盘的面积小于所述第一焊盘的面积。

11、根据权利要求8所述的方法，其中，还包括：

25 在形成中介层后，在所述中介层的第一互连区域上形成覆盖层，所述覆盖层包括第一部分和位于所述第一部分两侧的第二部分，所述第一部分和所述第二部分形成倒扣的U字形，以与所述中介层形成密封空腔；所述第二部分与垂直于所述第一基板方向的夹角为第一夹角，所述第一夹角大于或等于 $0^{\circ}$ ，且小于 $90^{\circ}$ 。

30 12、根据权利要求11所述的方法，其中，  
所述覆盖层的材料包括导电材料或绝缘材料。

13、根据权利要求11所述的方法，其中，还包括：

形成密封所述第一芯片堆叠体、所述中介层、所述覆盖层与所述第一基板的第一面的模制层预层；

35 去除部分所述模制层预层，以及所述覆盖层的第一部分，保留所述第二部分，以形成为第一材料层。

14、根据权利要求8所述的方法，其中，还包括：

在形成模制层后，在所述模制层的顶表面上形成第二材料层，所述第

二材料层的材料与所述第一材料层的材料相同。

15、根据权利要求 14 所述的方法，其中，还包括：

形成第二封装结构，所述第二封装结构包括接合面以及位于所述接合面上的第一焊球；

- 5      将所述第一焊球与所述第一互连区域电连接；  
      将所述接合面与所述第二材料层连接。