明　細　書

半導体装置とその製造方法

技術分野

本発明は半導体装置に関し、特にフリップチップ実装技術を用いた半導体装置及びその製造方法に関するものである。

背景技術

近年、半導体素子の集積度が高くなり、半導体装置の小型化及び接続端子の狭ピッチ化が進んでいる。このためフリップチップ実装技術を用いた半導体装置の開発が盛んに行われている。以下図面を参照しながら、従来のフリップチップ実装技術を用いた半導体装置の一例について説明する。

図９に、従来のフリップチップ実装技術を用いた半導体装置の断面図を示す。半導体素子１０１の素子形成面上にはアルミ電極端子１０２が形成され、アルミ電極端子１０２以外の部分はＳｉ酸化膜あるいは窒化膜等からなる絶縁膜１０３で覆われている。アルミ電極端子１０２面上には、Ａｕ、Ｃｕ等の導電性金属材料からなる突起電極１０４が形成されている。一方、樹脂、セラミクス、ガラス等の絶縁物からなる回路基板１０５の主面上には、所望の回路パターン１０６及び電極端子１０７が形成されている。

電極端子１０７は回路パターン１０６に接続され、フリップチップ実装の際半導体素子１０１と電気的接続を行う。突起電極１０４と電極端子１０７とは、導電性接着剤１０８により電気的に接続されている。導電性接着剤１０８はＡｇ、Ｃｕ、Ｎｉ等の導電性金属材料の粉体を樹脂

中に含んだ接着剤である。半導体素子１０１と回路基板１０５の間の隙間部は絶縁樹脂１０９が充填されている。絶縁樹脂１０９が硬化されると、その硬化収縮応力により半導体素子１０１と回路基板１０５を接着した後、これらを強力に引きつけて固定する。そのため、半導体装置における半導体素子１０１と回路基板１０５の接続の機械的強度を高められ、安定した固定が保たれることになる。

以上のように構成された従来の半導体装置の製造方法を、図１０の製造プロセスを示す工程図を用いて説明する。まず、通常の半導体プロセスによって所望の素子や配線及び絶縁膜１０３を形成した半導体素子１０１を多数個形成した半導体ウエハを作製する。

次に、アルミ電極端子１０２にプローブを接触させ電気的検査を行い半導体素子１０１の良否を判定したうえで、突起電極１０４を形成する。さらに、半導体ウエハを個々の半導体素子１０１に切断する。

一方、予めＡｕやＣｕ等の導電性金属材料を用いて、絶縁物からなる回路基板１０５上に所望の回路パターン１０６や電極端子１０７を形成しておき、この回路基板１０５上に導電性接着剤１０８を介して所定の電極端子１０７と突起電極１０４の電気的接続が行えるように半導体素子１０１をフェースダウンにて配置する。

その後、加熱処理を行い導電性接着剤１０８を硬化させ、電気検査を行い動作状態を確認する。そして正常な動作を確認した後、半導体素子１０１と回路基板１０６の間に液状のエポキシ系等の絶縁性を有する樹脂１０９を毛細管現象を利用して充填する。充填完了後、加熱処理等を行い絶縁樹脂１０９を硬化させてフリップチップ実装を行う。

以上のような製造プロセスを経て、フリップチップ実装技術を用いた半導体装置を製造していた。

しかしながら、前記従来の半導体装置及びその製造方法では、図１１

に示すように、主に、回路基板１０５の局所的な反りやうねり等により回路基板１０５の平坦精度にばらつきがあり、また電極端子１０７部の膜厚精度にもばらつきがあるため、一つの半導体素子領域内に位置する回路基板側の電極端子１０７の先端面が、一定水平面上になく、高さ方向においてばらつきがあった。

このため、半導体素子１０１をフェースダウンにて搭載する際には、回路基板１０７の凹部においては半導体素子１０１と回路基板１０５の間の隙間部の寸法が他の部分と比較して大きいため、この凹部に位置する電極端子１０７の先端面に導電性接着剤１０８が到達することができず、電気的接続の不良が発生する場合があるという問題点があった。

発明の開示

本発明は前記従来の問題点を解決するため、半導体素子と回路基板とをより確実に安定して電気的に接続することにより、極めて品質の安定した、生産性の良い半導体装置及びその製造方法を提供することを目的とする。

前記目的を達成するため、本発明の半導体装置は、半導体素子の素子形成面上の電極端子部に形成した導電性金属材料の突起電極と、導電性接着剤と、回路基板上の電極端子とを介して、前記半導体素子と前記回路基板との電気的接続を行なうフリップチップ実装技術が用いられている半導体装置であって、前記各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、それぞれ均一となるよう前記各突起電極が高さ方向に塑性変形していることを特徴とする。

前記のような半導体装置によれば、各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、それぞれ均一となるよう突起電極の高さが適正に加工されているため、半導体素子と

回路基板との電気的接続を確実なものとすることができる。

前記半導体装置においては、前記突起電極の材料が、Ａｕ及びＣｕから選ばれる少なくとも一つの金属材料であることが好ましい。

また、前記各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、１μｍ～１０μｍの範囲であることが好ましい。

また、半導体素子の素子形成面上の電極端子と、導電性接着剤と、回路基板上の電極端子部に形成した導電性金属材料の突起電極とを介して、前記半導体素子と前記回路基板との電気的接続を行なうフリップチップ実装技術が用いられていることが好ましい。

前記の回路基板側に突起電極が形成された好ましい半導体装置においては、半導体素子の素子形成面上の電極端子上に、導電性金属材料の積層膜からなるバリヤ層が形成されていることが好ましい。

前記バリヤ層が形成された好ましい半導体装置によれば、半導体素子の素子形成面上の電極端子の腐食を防止することができる。

また、前記半導体装置においては、突起電極の突出高さが、実質的に同じであることが好ましい。

前記突起電極の突出高さが、実質的に同じであることが好ましい半導体装置においては、突起電極を導電性接着剤による接着の前に、予め硬質材料の平面部に押し当てて各突起電極の先端面の高さを均一なものとしておくことが好ましい。

また、前記突起電極を硬質材料の平面部に押し当てて各突起電極の先端面の高さを均一なものとした好ましい半導体装置においては、前記突起電極を硬質材料の平面部に押し当てることにより、前記突起電極の先端面における圧力を1.5×10^{8}～5.0×10^{8}Ｎ／m^{2}の範囲とすることが好ましい。

また、前記硬質材料の平面性が距離２０ｍｍ間において４μｍ以内であることが好ましい。

次に、本発明の第１番目の半導体装置の製造方法は、半導体素子の素子形成面に突起電極を形成した後、突起電極の頂頭部に導電性接着剤を転写させ、半導体素子を回路基板上にフェースダウンにて搭載する際に、半導体素子の背面より加圧することにより、半導体素子の各突起電極の先端面とこれと相対向する回路基板側の電極端子面との間の距離が、それぞれ均一となるように半導体素子の突起電極を塑性変形させることを特徴とする。

前記第１番目の半導体装置の製造方法によれば、半導体素子の背面より加圧することにより、各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、それぞれ均一となるよう突起電極の高さを適正に加工できるため、極めて信頼性の高い半導体装置を容易かつ安価に製造できる。

前記第１番目の半導体装置の製造方法においては、前記半導体素子の背面より加圧することにより、突起電極の先端面における圧力を１．５×10^8～５．０×10^8Ｎ／m^2の範囲とすることが好ましい。

また、半導体素子の突起電極を塑性変形させた後に、半導体素子の各突起電極の頂頭部に導電性接着剤を転写させて、再度半導体素子を回路基板上にフェースダウンにて搭載することが好ましい。

前記の突起電極を塑性変形させた後に、再度半導体素子を回路基板にフェースダウンにて搭載する好ましい半導体装置の製造方法においては、フェースダウンにて半導体素子を回路基板の搭載する際には、半導体素子はほとんど加圧されないので、半導体素子と回路基板との位置ずれを防止することができる。

次に、本発明の第２番目の半導体装置の製造方法は、回路基板の電極

端子部に突起電極を形成した後、この突起電極を硬質材料の平面部に押し当てて各突起電極の先端面の高さを均一なものとし、その後前記各突起電極の頂頭部に導電性接着剤を転写させてから、回路基板上に前記半導体素子をフェースダウンにて搭載することを特徴とする。

前記第２番目の半導体装置の製造方法によれば、半導体素子を加圧する工程が無いので、半導体素子に与えるダメージを小さくすることができる。

前記第２番目の半導体装置の製造方法においては、前記突起電極を硬質材料の平面部に押し当てることにより、前記突起電極の先端面における圧力を１．５×１０^{8}～５．０×１０^{8}Ｎ／ｍ^{2}の範囲とすることが好ましい。

また、前記硬質材料の平面性が距離２０ｍｍ間において４μｍ以内であることが好ましい。

図面の簡単な説明

図１は、本発明の実施例１に係る半導体装置の断面図。

図２は、本発明の実施例１に係る半導体装置の製造プロセスを示す工程図。

図３Ａは、図２の製造プロセスにおいて、導電性接着剤転写工程における半導体装置の断面図、図３Ｂは、マウント工程から半導体素子加圧工程における半導体装置の断面図。

図４は、本発明の実施例２に係る半導体装置の製造プロセスを示す工程図。

図５Ａは、図４の製造プロセスにおいて、マウント工程から半導体素子加圧工程における半導体装置の断面図、図５Ｂは、導電性接着剤転写工程における半導体装置の断面図。

図６は、本発明の実施例３に係る半導体装置の断面図

図７は、本発明の実施例３に係る半導体装置の製造プロセスを示す工程図。

図８Ａは、図７の回路基板加圧工程において、回路基板加圧前の状態を示した半導体装置の断面図、図８Ｂは、回路基板加圧後の状態を示した半導体装置の断面図。

図９は、従来のフリップチップ実装技術を用いた半導体装置の一例の断面図。

図１０は、従来のフリップチップ実装技術を用いた半導体装置の製造プロセスの一例を示す工程図。

図１１は、従来の半導体装置の一例の断面図。

発明を実施するための最良の形態

以下、本発明の半導体装置及びその半導体の製造方法の実施例について、図面を用いて説明する。

（実施例１）

図１は実施例１に係る半導体装置の断面図である。図１に示すように、半導体素子１の素子形成面上にはアルミ電極端子２が形成され、アルミ電極端子２以外の部分はＳｉ酸化膜や窒化膜等からなる絶縁膜３で覆われている。

アルミ電極端子２上には、Ａｕ、Ｃｕ等の導電性金属材料からなる突起電極４が形成されている。一方、樹脂、セラミクス、ガラス等の絶縁物からなる回路基板５上には所望の回路パターン６及び電極端子７が形成されている。電極端子７は回路パターン６に接続され、フリップチップ実装の際、半導体素子１との電気的接続を行う。導電性接着剤８はＡｇ、Ｃｕ、Ｎｉ等の導電性金属材料の粉体を樹脂中に含んだ接着剤であ

る。半導体素子１と回路基板５の間の隙間部には絶縁樹脂９が充填されている。

絶縁樹脂９が硬化されると、その硬化収縮力により半導体素子１と回路基板５を接着した後、半導体素子１と回路基板５を強力に引きつけて固定する。そのため、半導体装置における半導体素子１と回路基板５の接続の機械的強度が高められ、安定した固定が保たれる。

図１に示したように、突起電極４の高さは、回路基板５上の電極端子７の高さに応じて加工されている。すなわち、主に回路基板５の主面上の平坦精度のばらつき及び電極端子７の膜厚精度のばらつきに起因して電極端子７の先端面の高さ方向の位置にはばらつきがあるが、このばらつきに応じて突起電極４の高さは、塑性変形により高さを低くしている。この場合、塑性変形前の突起電極４の高さのばらつきは電極端子７の先端面の高さ方向の位置のばらつきと比べると小さく、その高さはほぼ一定であるため、電極端子７の先端面の高さ方向の位置に応じて、塑性変形による突起電極４の高さの変化量は異なることなる。具体的には、電極端子７の先端面と半導体素子１との距離が短い程、突起電極４の高さの変化量は大きくなっている。

このため、半導体素子１側の突起電極４先端面と回路基板５側の電極端子７面との間の距離が均一となる。この距離は１μｍ～１０μｍの範囲であることが好ましい。より好ましくは、５μｍ程度である。この結果、突起電極４頂頭部に転写された導電性接着剤８からなる接合層は、確実に回路基板５側の電極端子７面に到達して付着することができ、電気的接続不良の発生を防ぐことができる。

次に、実施例１に係る半導体装置の製造方法を、図２、３を参照しながら説明する。図２は、実施例１に係る半導体装置の製造プロセスを示す工程図である。図２に示したように、まず、従来プロセスと同様に、

半導体素子１の素子形成面に素子を形成する。

次に、ボールボンディング法を用いてアルミ電極端子２面上にＡｕの突起電極４を形成した後、半導体ウエハを個々の半導体素子１に切断する。その後、突起電極４の頂頭部のみに必要量の導電性接着剤８を転写した後、予め所望の回路パターン６や電極端子７を形成した回路基板５上の所定の位置に配置した上で、半導体素子１の背面より加圧して突起電極４の塑性変形を促し、突起電極４の高さを適正にする加工を施す。

最後に、加熱処理を行い導電性接着剤８を硬化させ、電気検査により正常な動作を確認した後、半導体素子１と回路基板６の間に液状のエポキシ系等の絶縁性樹脂９を充填し硬化させて半導体装置とする。

図３は、図２に示した製造プロセスにおいて、導電性接着剤転写から半導体素子加圧工程までを説明した図である。図３において、図中に示した番号は図１と同じである。図３Ａは、図２の製造プロセスにおいて、導電性接着剤転写工程における半導体装置の断面図、図３Ｂは、マウント工程から半導体素子加圧工程における半導体装置の断面図を示している。

図３Ａに示したように、突起電極４の頂頭部付近にのみ必要量の導電性接着剤８が転写される。次に図３Ｂに示したように、半導体素子１は回路基板５上の所定の位置にフェースダウンにて配置された後、半導体素子１の背面より圧力Ｐが加圧されて、突起電極４の塑性変形を促し突起電極４の高さが適正となるまで加工が行われる共に、フェースダウン方式によるマウントを完了する。

半導体素子１の背面より加圧する圧力は、前記突起電極４の先端面において１．５×10^{8}～５．０×10^{8}Ｎ／m^{2}の範囲であることが好ましい。このような圧力の範囲であれば、突起電極４の先端面と電極端子７面との間の距離を１μｍ～１０μｍの範囲で均一にできる。

なお、突起電極４を形成する際、転写バンプ法を用いて、予め別の場所で作製したＡｕやＣｕ等の導電性金属材料魂を、アルミ電極端子２面に押し当て、圧力、熱、及び超音波振動等を加えて導電性金属材料魂をアルミ電極端子２面に付着させ、突起電極４としても良い。

また、無電解あるいは電解によるメッキ法を用いて、アルミ電極端子２面上に導電性金属材料を析出して突起電極４としても良い。

以上のように、実施例１に係る半導体装置の製造方法によれば、従来のプロセスと比較して、突起電極を加圧する工程と半導体素子をマウントする工程を同時に行えるため、工程の簡略化が図られるという効果も併せ持つ。

（実施例２）

次に、本発明の製造方法の半導体装置の実施例２について図４、５を参照しながら説明する。図４は実施例２に係る半導体装置の製造プロセスを示す工程図である。前記実施例１に係る半導体装置の製造方法では、先に導電性接着剤を転写した半導体素子を、回路基板上にフェースダウンにて配置した後、加圧して突起電極の塑性変形とマウントを同時に行っていた。

実施例２に係る半導体装置の製造方法では、予め回路基板上でフェースダウンにて配置した半導体素子を加圧して突起電極の塑性変形を行った後、いったん、半導体素子を回路基板から取り外し、導電性接着剤の転写を行った上で、再度、フェースダウン方式によるマウントを実施する。

図５は、図４に示した製造プロセスにおいて、フェースダウン方式によるマウント（１）から導電性接着剤転写までを説明した図である。図５において、図中に示した番号は図１と同じである。図５Ａは、図４の製造プロセスにおいて、マウント工程から半導体素子加圧工程における

半導体装置の断面図、図５Ｂは、導電性接着剤転写工程における半導体装置の断面図を示している。

図５Ａに示したように、回路基板５上の所定の位置にフェースダウンにて配置された半導体素子１は背面より圧力Ｐが加圧され、適正な突起電極４の塑性変形が施される。

次に、半導体素子１は、いったん回路基板５より取り外された後、図５Ｂに示したように、突起電極４の頂頭部のみに必要量の導電性接着剤８が転写される。その後、再度、回路基板５上の所定位置にフェースダウン方式にてマウントされる。このようにして、図１に示す構成と実質的に同一の構成を有する半導体装置を製造することができる。

前記実施例１に係る半導体装置の製造方法においては半導体素子のマウント時に加圧されるため、半導体素子と回路基板との位置関係が所定の位置よりずれる可能性があるが、実施例２に係る半導体装置の製造方法によれば、マウントする際には加圧がほとんど加えられないので、半導体素子と回路基板との位置関係が所定の位置よりずれる可能性は少ない。このため、微細ピッチ接続構造のようなマウント精度を有する半導体装置の製造に適している。

（実施例３）

次に、実施例３に係る半導体装置及びその製造方法について、図６から図８を参照しながら説明する。図６は実施例３に係る半導体装置を示す断面図である。図6において、１２はアルミ電極端子面上に形成されたＣｒ及びＡｕの積層膜からなるバリア層で、１４は回路基板側の電極端子面上に形成した突起電極である。その他は図１と同じである。

図１に示した実施例１に係る半導体装置の構成と異なるのは、アルミ電極端子２面に直接導電性接着剤が接触すると、アルミが腐食する可能性があるため、バリヤ層１２を形成した点と、Ａｕ、Ｃｕ等の導電性金

属材料からなる突起電極１４が回路基板５側の電極端子７面上に形成されている点である。

本実施例に係る半導体装置においても実施例１に係る半導体装置と同じく、図６に示したように、突起電極１４の高さは、回路基板５上の電極端子７の高さ方向の位置に応じて加工されている。すなわち、主に回路基板５の主面上の平坦精度のばらつき及び電極端子７の膜厚精度のばらつきに起因して電極端子７の高さ方向の位置にはばらつきがあるが、このばらつきに応じて突起電極１４は塑性変形により高さを低くしている。この場合、塑性変形前の突起電極１４の高さのばらつきは電極端子７の高さ方向の位置のばらつきと比べると小さく、その高さはほぼ一定であるため、電極端子７の先端面の高さ方向の位置に応じて、塑性変形による突起電極１４の高さの変化量は異なることなる。具体的には、電極端子７の先端面と半導体素子１との距離が短い程、突起電極１４の高さの変化量は大きくなっている。

このため、半導体素子１側のバリア層１２の表面と突起電極１４先端面との間の距離は均一となる。この距離は、実施例１と同様に１μｍ～１０μｍの範囲であることが好ましい。より好ましくは、５μｍ程度である。この結果、突起電極１４頂頭部に転写された導電性接着剤８からなる接合層は、確実に半導体素子１側のバリア層１２面に到達して付着することができ、電気的接続不良が発生しない。

次に、実施例３に係る半導体装置の製造方法について、図７、８を参照しながら説明する。図７は、実施例３に係る半導体装置の製造プロセスを示す工程図である。図７に示したように、半導体素子１の素子形成面に素子を形成した後、アルミ電極端子２面上にメッキ法によりＣｒ及びＡｕを積層したバリヤ層１２形成する。その後、検査を行った上で半導体ウエハを個々の半導体素子１に切断する。

一方、回路基板５は、主面上に所望の回路パターン６や電極端子７を形成した後、電極端子面７上にボールボンディング法を用いてＡｕの突起電極１４を形成する。

次に、この突起電極１４を所望の平坦精度を有し、かつ硬質な材料から成る平面板に押し当てることで突起電極１４の適正な塑性変形を促し、突起電極１４先端面の高さをほぼ均一化する。

その後、突起電極１４の頂頭部のみに必要量の導電性接着剤８ペーストを転写させてから、回路基板５上の所定の位置に半導体素子１をフェースダウンにてマウントした後、加熱処理を行い導電性接着剤８を硬化させ、電気検査により正常な動作を確認して、最後に半導体素子１と回路基板６の間に液状のエポキシ系等の絶縁性を有する樹脂９を充填し硬化させて半導体装置とする。

図８は、図７に示した製造プロセスにおいて、回路基板加圧から導電性接着剤転写工程までを説明した図である。図７において、図中に示した番号は図６と同じである。図８Ａは、図７の回路基板加圧工程において、回路基板加圧前の状態を示した半導体装置の断面図、図８Ｂは、回路基板加圧後の状態を示した半導体装置の断面図を示している。

図８Ａに示したように、回路基板５の主面上に形成した突起電極１４を所望の平坦精度を有し、かつ硬質な材料からなる平面板に押し当てることで突起電極１４の適正な塑性変形を促し、突起電極１４先端面の高さを均一化する。前記硬質材料の平面性は、距離２０ｍｍ間において４μｍ以内であることが好ましい。硬質な材料からなる平面板に押し当てる圧力は、前記突起電極４の先端面において１．５×10^{8}～５．０×10^{8}Ｎ／m^{2}の範囲であることが好ましい。その後、図８Ｂに示すように突起電極１４の頂頭部のみに導電性接着剤８ペーストを転写させてから、半導体素子１のマウントを行う。

なお、突起電極１４を形成する際、転写バンプ法を用いて、予め別の場所で作製したＡｕやＣｕ等の導電性金属材料魂を、電極端子７面に押し当て、圧力、熱、及び超音波振動等を加えて導電性金属材料魂を電極端子７面に付着させ、突起電極１４としても良い。

また、無電解あるいは電解によるメッキ法を用いて、電極端子７面上に導電性金属材料を析出して突起電極１４としても良い。

また、ペーストを用いた厚膜製膜技術を用いても良い。バリヤ層１２については、材料はＣｒ－Ａｕ膜以外でもかまわない。

また、アルミ電極端子２がアルミ以外のＡｕやＰｔ等の侵されにくい材料で形成されている場合は、特にバリア層を必要としない。

以上のように、実施例３に係る半導体装置の製造方法よれば、半導体素子を加圧する工程がなくなるので、半導体素子に与えるダメージが少なくてすむ利点がある。特に半導体素子がＧａ－Ａｓ等の化合物半導体などのもろい材料で作製されている場合には、効果的である。

以上のように、本発明の半導体装置によれば、各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、それぞれ均一となるよう突起電極の高さが適正に加工されているため、半導体素子と回路基板との電気的接続を確実なものとすることができる。

また、本発明の半導体装置の製造方法によれば、半導体素子の背面より加圧することにより、各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、それぞれ均一となるよう突起電極の高さが適正に加工できるため、半導体素子と回路基板との電気的接続の確実な極めて信頼性の高い半導体装置を容易かつ安価に製造できる。

産業上の利用可能性

以上のように、本発明の半導体装置は、半導体素子と回路基板との電気的接続が確実で極めて信頼性が高いので、半導体素子と回路基板とが電気的に接続される半導体装置として利用できる。

また、本発明の半導体装置の製造方法によれば、各突起電極が塑性変形させることにより、半導体素子と回路基板との電気的接続を確実にすることができるので、フリップチップ実装技術を用いた半導体装置の製造方法として利用できる。

請 求 の 範 囲

1．半導体素子の素子形成面上の電極端子部に形成した導電性金属材料の突起電極と、導電性接着剤と、回路基板上の電極端子とを介して、前記半導体素子と前記回路基板との電気的接続を行なうフリップチップ実装技術が用いられている半導体装置であって、前記各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、それぞれ均一となるよう前記各突起電極が高さ方向に塑性変形していることを特徴とする半導体装置。

2．前記突起電極の材料が、Ａｕ及びＣｕから選ばれる少なくとも一つの金属材料である請求項１に記載の半導体装置。

3．前記各突起電極の先端面と前記導電性接着剤を介して相対向する各電極端子面との間の距離が、１μｍ～１０μｍの範囲である請求項１に記載の半導体装置。

4．半導体素子の素子形成面上の電極端子と、導電性接着剤と、回路基板上の電極端子部に形成した導電性金属材料の突起電極とを介して、前記半導体素子と前記回路基板との電気的接続を行なうフリップチップ実装技術が用いられている請求項１に記載の半導体装置。

5．前記半導体素子の素子形成面上の電極端子上に、導電性金属材料の積層膜からなるバリヤ層が形成されている請求項４に記載の半導体装置。

6．前記突起電極の突出高さが、実質的に同じである請求項１に記載の半導体装置。

7．前記突起電極を導電性接着剤による接着の前に、予め硬質材料の平面部に押し当てて各突起電極の先端面の高さを均一なものとしておく請求項６に記載の半導体装置。

* C L M S *

8．前記突起電極を硬質材料の平面部に押し当てることにより、前記突起電極の先端面における圧力を1．5×10^{8}～5．0×10^{8}N／m^{2}の範囲とする請求項7に記載の半導装置。

9．前記硬質材料の平面性が距離20mm間において4μm以内である請求項7に記載の半導装置。

10．半導体素子の素子形成面に突起電極を形成した後、突起電極の頂頭部に導電性接着剤を転写させ、半導体素子を回路基板上にフェースダウンにて搭載する際に、半導体素子の背面より加圧することにより、半導体素子の各突起電極の先端面とこれと相対向する回路基板側の電極端子面との間の距離が、それぞれ均一となるように半導体素子の突起電極を塑性変形させることを特徴とした半導体装置の製造方法。

11．前記半導体素子の背面より加圧することにより、前記突起電極の先端面における圧力を1．5×10^{8}～5．0×10^{8}N／m^{2}の範囲とする請求項10に記載の半導装置の製造方法。

12．半導体素子の突起電極を塑性変形させた後に、半導体素子の各突起電極の頂頭部に導電性接着剤を転写させて、再度半導体素子を回路基板上にフェースダウンにて搭載する請求項10に記載の半導体装置の製造方法。

* C L M S *