(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 3 月 25 日(25.03.2010)

PCT

(10) 国際公開番号
WO 2010/032729 A1

(51) 国際特許分類:
H01L 25/065 (2006.01) *H01L 25/07* (2006.01)
H01L 21/3205 (2006.01) *H01L 25/18* (2006.01)
H01L 23/52 (2006.01)

(21) 国際出願番号: PCT/JP2009/066099

(22) 国際出願日: 2009 年 9 月 15 日(15.09.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-240015 2008 年 9 月 18 日(18.09.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 国立大学法人東京大学 (The University of Tokyo) [JP/JP]; 〒1138654 東京都文京区本郷七丁目３番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大場 隆之 (OHBA, Takayuki) [JP/JP]; 〒1138654 東京都文京区本郷七丁目３番１号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 伊東 忠彦 (ITOH, Tadahiko); 〒1506032 東京都渋谷区恵比寿４丁目２０番３号 恵比寿ガーデンプレイスタワー３２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

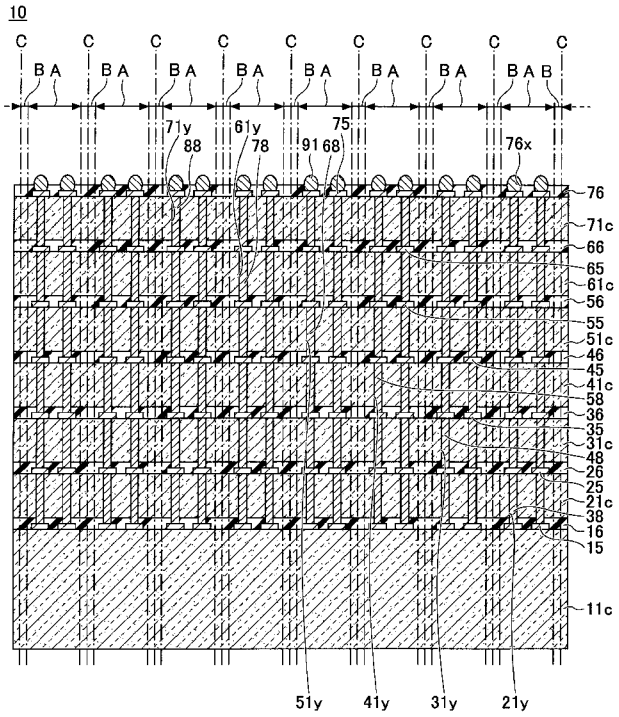
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) **Title**: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の製造方法

[図3]



(57) **Abstract**: Provided is a method for manufacturing a semiconductor device, wherein semiconductor substrates, each of which has a plurality of semiconductor chips respectively having semiconductor integrated circuits on the main surface, are laminated, the semiconductor chips configuring the semiconductor substrates of different layers are connected such that signals can be transmitted, and then the semiconductor chip portion is divided into pieces. The method is provided with: a first step of preparing a first semiconductor substrate and a second semiconductor substrate; a second step of thinning the second semiconductor substrate; a third step of firmly bonding the surface on the opposite side to the main surface of the thinned second semiconductor substrate to the main surface of the first semiconductor substrate with an insulating layer therebetween; a fourth step of forming a via hole on the thinned second semiconductor substrate such that the via hole penetrates from the main surface of the second semiconductor substrate to the surface on the opposite side; and a fifth step of forming a connecting section which enables transmission of signals between the semiconductor chips on the first semiconductor substrate and the semiconductor chips on the second semiconductor substrate through the via hole.

(57) 要約:

[続葉有]

WO 2010/032729 A1

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

主面側に半導体集積回路を有する複数の半導体チップが形成された半導体基板を積層し、異なる層の前記半導体基板を構成する前記半導体チップ同士を信号伝達可能に接続し、その後前記半導体チップ部分を個片化する半導体装置の製造方法であって、第１の半導体基板及び第２の半導体基板を準備する第１工程と、前記第２の半導体基板を薄型化する第２工程と、薄型化された前記第２の半導体基板の主面と反対側の面を、絶縁層を介して前記第１の半導体基板の主面に固着する第３工程と、薄型化された前記第２の半導体基板に、前記第２の半導体基板の主面から主面と反対側の面に貫通するビアホールを形成する第４工程と、前記ビアホールを介して、前記第１の半導体基板の前記半導体チップと前記第２の半導体基板の前記半導体チップとの間の信号伝達を可能にする接続部を形成する第５工程と、を有することを特徴とする。