(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
6. März 2003 (06.03.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2003/019617 A3

(51) Internationale Patentklassifikation[7]: H01L 25/16, 31/0232

(21) Internationales Aktenzeichen: PCT/EP2002/009497

(22) Internationales Anmeldedatum:
26. August 2002 (26.08.2002)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

101 41 571.0	24. August 2001 (24.08.2001)	DE
101 41 558.3	24. August 2001 (24.08.2001)	DE
102 22 960.0	23. Mai 2002 (23.05.2002)	DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von AU, GB, IE, IL, IN, JP, KE, KP, KR, NZ, SG, TZ, UG, US, ZA)*: **SCHOTT GLAS** [DE/DE]; Hattenbergstrasse 10, 55122 Mainz (DE).

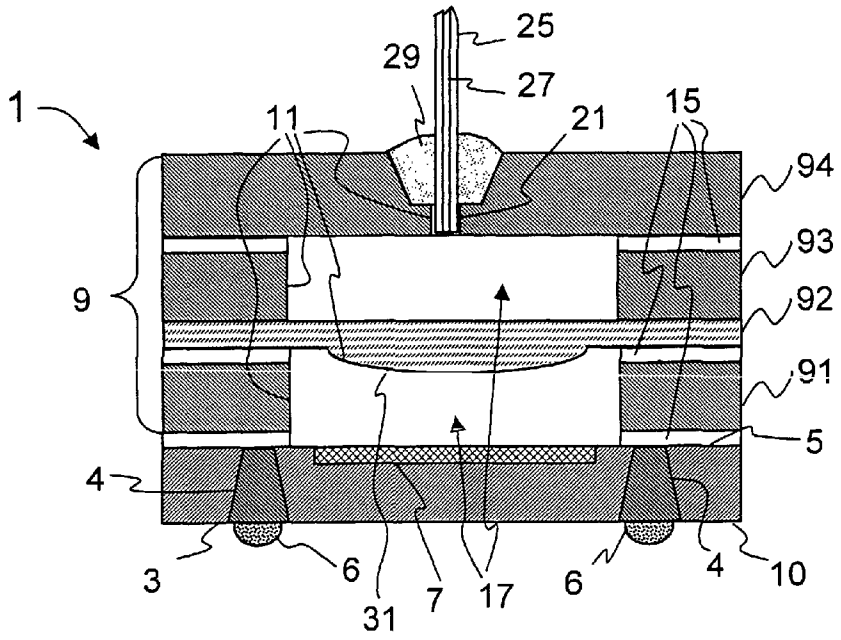
(71) Anmelder *(nur für AU, BB, BF, BJ, BZ, CF, CG, CI, CM, GA, GB, GD, GE, GH, GM, GN, GQ, GW, IE, IL, IN, KE, KG, KP, KR, KZ, LC, LK, LR, LS, MG, ML, MN, MR, MW, MZ, NE, NZ, PH, SD, SG, SL, SN, SZ, TD, TG, TT, TZ, UG, VN, ZA, ZM, ZW)*: **CARL-ZEISS-STIFTUNG TRADING AS SCHOTT GLAS** [DE/DE]; Hattenbergstrasse 10, 55122 Mainz (DE).

(71) Anmelder *(nur für BB, BF, BJ, BZ, CF, CG, CI, CM, GA, GD, GE, GH, GM, GN, GQ, GW, JP, KE, KG, KZ, LC, LK, LR, LS, MG, ML, MN, MR, MW, MZ, NE, SD, SL, SN, SZ, TD, TG, TT, TZ, UG, VN, ZM, ZW)*: **CARL-ZEISS-STIFTUNG** [DE/DE]; 89518 Heidenheim an der Brenz (DE).

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD FOR PRODUCING ELECTRONIC COMPONENTS

(54) **Bezeichnung:** VERFAHREN ZUR HERSTELLUNG VON ELEKTRONISCHEN BAUELEMENTEN



(57) **Abstract:** The invention concerns a method enabling integration of functional structures in the package housing electronic components, for producing an electronic component comprising at least a semiconductor having on at least one side, at least an active detecting and/or transmitting device. Said method is characterized in that it comprises the following steps: preparing at least a chip on a wafer, preparing at least a support structure having at least a functional structure for the active detecting and/or transmitting device, assembling the wafer to at least a support, so that the side of the chip including the active detecting and/or transmitting device faces the support, separating the chip.

[Fortsetzung auf der nächsten Seite]

WO 2003/019617 A3

(72) **Erfinder; und**
(75) **Erfinder/Anmelder** *(nur für US)*: **LEIB, Jürgen** [DE/DE]; Philipp-Dirr-Strasse 14, 85345 Freising (DE). **BIECK, Florian** [DE/DE]; Mozartstrasse 21, 55118 Mainz (DE).

(74) **Anwalt: HERDEN, Andreas**; Blumbach, Kramer & Partner GbR, Alexandrastrasse 5, 65187 Wiesbaden (DE).

(81) **Bestimmungsstaaten** *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten** *(regional)*: ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:
— *mit internationalem Recherchenbericht*

(88) **Veröffentlichungsdatum des internationalen Recherchenberichts:** 22. Januar 2004

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Um eine Integration funktioneller Strukturen in die Gehäusung von elektronischen Bauelementen zu erreichen, ist ein Verfahren zur Herstellung eines elektronischen Bauelements vorgesehen, welches wenigstens ein Halbleiterelement umfasst, das auf zumindest einer Seite zumindest eine sensorisch aktive und/oder emittierende Einrichtung aufweist, wobei das Verfahren die Schritte umfasst: Bereitstellen zumindest eines Dies auf einem Wafer, Herstellen zumindest einer strukturierten Auflage, welche zumindest eine für die sensorisch aktive und/oder emittierende Einrichtung funktionelle Strukture aufweist, Zusammenfügen des Wafers mit der zumindest einen Auflage, so dass die Seite des Dies, welche die sensorisch aktive und/oder emittierende Einrichtung aufweist, der Auflage zugewandt ist, Abtrennen des Dies.