

半导体芯片、半导体器件及其形成方法

相关申请引用说明

本申请要求于 2022 年 09 月 07 日递交的中国专利申请号 202211090956.6、申请名为“半导体芯片、半导体器件及其形成方法”的优先权，其全部内容以引用的形式附录于此。

技术领域

本公开涉及半导体制造技术领域，尤其涉及一种半导体芯片、半导体器件及其形成方法。

背景技术

随着集成电路技术的发展，半导体器件的生产工艺取得了巨大的进步。但是最近几年，二维半导体技术的发展遇到了各种挑战：物理极限、现有显影技术极限以及存储电子密度极限等。在此背景下，为解决二维半导体器件遇到的困难以及追求更低的单位存储单元的生产成本，三维结构的半导体器件应运而生。

当前可以通过键合工艺将多片芯片堆叠，从而形成具有三维堆叠芯片结构的半导体器件。但是，当前实现多片芯片堆叠的工艺较为复杂，例如需要使用多套掩膜版、或者需要在芯片内部设置多个连接插塞（Contact），从而导致半导体器件制造成本和制造难度的增大，且不利于半导体器件良率的提高。

因此，如何简化形成具有多片芯片堆叠结构的半导体器件的制程工艺，降低半导体器件的制造成本，同时改善半导体器件的良率，是当前亟待解决的技术问题。

发明内容

本公开一些实施例提供的半导体芯片、半导体器件及其形成方法，简化了具有多片芯片堆叠结构的半导体器件的制程工艺，降低半导体器件的制造成本，同时改善半导体器件的良率。

基于此，一方面，本公开提供了一种半导体芯片，包括：

基底，所述基底包括顶面、以及与所述顶面相对的底面；

多对相互独立的信号通孔组，各所述信号通孔组在所述基底中间隔排布，且每对所述信号通孔组中的两个所述信号通孔组关于所述基底的顶面上的一条轴线对称分布，且分别分布于所述轴线两侧的第一区域和第二区域，所述轴线平行于第一方向或第二方向，每个所述信号通孔组包括以多边形形状排布的多个信号通孔，每个所述信号通孔组中任意两个所述信号通孔电性隔离，每个所述信号通孔沿第三方向贯穿所述基底，其中，所述第一方向和所述第二方向相互垂直且均平行于所述顶面，所述第三方向为垂直于所述基底的顶面的方向。

在一些实施例中，还包括：

多个顶层金属互连结构，多个所述顶层金属互连结构均位于所述基底的顶面，且多个所述顶层金属互连结构与多个所述信号通孔组一一对应电连接，每个所述顶层金属互连结构包括与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接的多条导电通路。

在一些实施例中，所述顶层金属互连结构包括：

第一导电层，位于所述基底的顶面上，所述第一导电层包括多个间隔排布的第一导电元件，多个所述第一导电元件以所述多边形形状排布，且多个所述第一导电元件与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接；

第二导电层，位于所述第一导电层上，所述第二导电层包括间隔排布、且与多个所述第一导电元件一一对应的多个第二导电元件，多个所述第二导电元件以所述多边形形状排布，且每个所述第二导电元件和与其对应的所述第一导电元件部分重叠设置；

多个连接元件，多个所述连接元件分别与多个所述第一导电元件和多个所述第二导电元件一一对应，每个所述连接元件用于电连接与其对应的所述第一导电元件和所述第二导电元件，构成所述导电通路。

在一些实施例中，所述第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部，所述第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部；

多个所述第一导电元件的所述第一端部与多个所述信号通孔一一对应电连接；

对于相互对应的所述第一导电元件和所述第二导电元件，所述连接元件的一端电连接所述第二导电元件的所述第三端部、所述连接元件的另一端电连接所述第一导电元件的所述第二端部。

在一些实施例中，还包括：

多个内部电路，与多个所述顶层金属互连结构一一对应，每个所述内部电路和与其对应的所述顶层金属互连结构中的一条导电通路电连接。

在一些实施例中，还包括：

多条引出线，与多个所述内部电路一一对应，每条所述引出线的一端电连接一个所述内部电路、另一端仅与所述顶层金属互连结构中的一个所述第一导电元件电连接。

在一些实施例中，每个所述信号通孔组包括四个所述信号通孔，且四个所述信号通孔以正方形形状或者菱形形状排布。

另一方面，本公开还提供了一种半导体器件，包括：

基板；

堆叠结构，位于所述基板上，包括沿所述第三方向依次堆叠、且电连接的N个单元结构，每个所述单元结构包括四个如权利要求1所述的半导体芯片，其中，N为正整数；

所述单元结构中的四个所述半导体芯片沿第三方向依次堆叠，位于最底层的第一半导体芯片与位于其上的第二半导体芯片以面对面的方式堆叠、所述第二位半导体芯片与位于其上的第三半导体芯片以背对背的方式堆叠、所述第三半导体芯片与位于其上的第四半导体芯片以面对面的方式堆叠；

所述堆叠结构中任意相邻的两个所述半导体芯片的所述轴线对准，且其中一个所述半导体芯片的所述第一区域与另一个所述半导体芯片的所述第二区域对准；

其中，面对面是指相邻两个半导体芯片的顶面相对，背对背是指相邻两个半导体芯片的底面相对。

在一些实施例中，还包括：

多对信号传输链路组，多对信号传输链路组分别与每个所述半导体芯片中的多对信号通孔组一一对应，所述信号传输链路组包括多条信号传输链路，所述信号传输链路组中的多条所述信号传输链路相互独立、且均沿所述第三方向呈螺旋状延伸，每个所述信号传输链路组中的多条所述信号传输链路与所述半导体芯片中对应的所述信号通孔组中的多个所述信号通孔一一对应，且每条所述信号传输链路包括每个所述半导体芯片中一个对应的所述信号通孔。

在一些实施例中，还包括：

多对键合柱组，所述键合柱组仅位于以面对面的方式堆叠的所述半导体芯片之间，并且分别与以面对面的方式堆叠的两个所述半导体芯片的多对所述信号通孔组一一对应，用于实现以面对面方式堆叠的所述半导体芯片之间的信号传递，每个所述键合柱组中包括多个所述键合柱，每个所述键合柱分别与以面对面的方式堆叠的两个所述半导体芯片的多个所述信号通孔一一对应；多对信号传输链路组与以面对面的方式堆叠的每两个所述半导体芯片之间的所述多对键合柱组一一对应，每个所述信号传输链路组中的多条所述信号传输链路与所述多对键合柱组中的多个所述键合柱一一对应，每条所述信号传输链路包括以面对面方式堆叠的两个所述半导体芯片之间一个对应的所述键合柱。

在一些实施例中，对于以背对背的方式堆叠的两个所述半导体芯片，其中一个所述半导体芯片中的多个所述信号通孔与另一个所述半导体芯片中的多个所述信号通孔一一对应且直接接触电连接。

在一些实施例中，每个所述半导体芯片均包括多个顶层金属互连结构，多个所述顶层金属互连结构均位于所述基底的顶面，且多个所述顶层金属互连结构与多个所述信号通孔组一一对应电连接，每个所述顶层金属互连结构包括与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接的多条导电通路，每条所述信号传输链路包括每个所述半导体芯片中一个对应的所述信号通孔及一条对应的所述导电通路；

所述顶层金属互连结构包括第一导电层、第二导电层和多个连接元件，所述第一导电层位于所述基底的顶面上，所述第一导电层包括多个间隔排布的第一导电元件，多个所述第一导电元件以所述多边形形状排布，且多个所述第一导电元件与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接；所述第二导电层位于所述第一导电层上，所述第二导电层包括间隔排布、且与多个所述第一导电元件一一对应的多个第二导电元件，多个所述第二导电元件以所述多边形形状排布，且每个所述第二导电元件和与其对应的所述第一导电元件部分重叠设置；多个所述连接元件分别与多个所述第一导电元件和多个所述第二导电元件一一对应，每个所述连接元件用于电连接与其对应的所述第一导电元件和所述第二导电元件，构成所述导电通路；

所述第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部，所述第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部；多个所述第一导电元件的所述第一端部与多个所述信号通孔一一对应电连接；对于相互对应的所述第一导电元件和所述第二导电元件，所述连接元件的一端电连接所述第二导电元件的所述第三端部、所述连接元件的另一端电连接所述第一导电元件的所述第二端部。

在一些实施例中，对于以所述面对面的方式堆叠的两个所述半导体芯片，多对所述键合柱组分别与两个所述半导体芯片的多个顶层金属互连结构一一对应，每个所述键合柱的一端电连接一个所述半导体芯片中对应的一个所述第二导电元件的所述第四端部、所述键合柱的另一端电连接另一个所述半导体芯片中对应的一个所述第二导电元件的所述第四端部。

在一些实施例中，每个所述半导体芯片还包括多个内部电路，多个所述内部电路与多个所述顶层金属互连结构一一对应，每个所述内部电路和与其对应的所述顶层金属互连结构中的一条导电通路电连接；

多条引出线，与多个所述内部电路一一对应，每条所述引出线的一端电连接一个所述内部电路、另一端仅与对应的所述顶层金属互连结构中的一个所述第一导电元件电连接。

在一些实施例中，对于每个所述单元结构，一条所述信号传输链路仅电连接一个所述半导体芯片中的一条所述引出线。

在一些实施例中，还包括：

接口电路，位于所述基板内，且电连接多对所述信号传输链路组，所述接口电路用于向所述信号传输链路组传输与所述信号传输链路组内的多条所述信号传输链路一一对应的多个控制信号，且每个所述控制信号仅从每个所述单元结构中的一个所述半导体芯片中一条所述引出线引出；

对于一个所述半导体芯片中的每对所述信号通孔组，所述接口电路通过一条对应的所述信号传输链路向与一个所述信号通孔组的一个所述信号通孔电连接的所述引出线输出第一控制信号、并通过另一条对应的所述信号传输链路向与另一个所述信号通孔组中的一个所述信号通孔电连接的所述引出线传输不同于所述第一控制信号的第二控制信号。

又一方面，本公开还提供了一种半导体器件的形成方法，包括如下步骤：

提供基板；

形成半导体芯片，所述半导体芯片包括基底和多对相互独立的信号通孔组，所述基底包括顶面、以及与所述顶面相对的底面；各所述信号通孔组在基底中间隔排布，且每对所述信号通孔组中的两个所述信号通孔组关于所述基底的顶面上的一条轴线对称分布，且分别分布于所述轴线两侧的第一区域和第二区域，所述轴线平行于第一方向或第二方向，每个所述信号通孔组包括以多边形形状排布的多个信号通孔，每个所述信号通孔组中任意两个所述信号通孔电性隔离，每个所述信号通孔沿第三方向贯穿所述基底，其中，所述第一方向和所述第二方向相互垂直且均平行于所述顶面，所述第三方向为垂直于所述基底的顶面的方向；

基于所述多个半导体芯片于所述基板上形成堆叠结构，所述堆叠结构包括沿所述第三方向依次堆叠且电连接的N个单元结构，每个所述单元结构包括四个所述半导体芯片，所述单元结构中的四个所述半导体芯片沿第三方向依次堆叠，位于最底层的第一半导体芯片与位于其上的第二半导体芯片以面对面的方式堆叠、所述第二位半导体芯片与位于其上的第三半导体芯片以背对背的方式堆叠、所述第三半导体芯片与位于其上的第四半导体芯片以面对面的方式堆叠，其中，N为正整数；

所述堆叠结构中任意相邻的两个所述半导体芯片的所述轴线对准，且其中一个所述半导体芯片的所述第一区域与另一个所述半导体芯片的所述第二区域对准；

其中，面对面是指相邻两个半导体芯片的顶面相对，背对背是指相邻两个半导体芯片的底面相对。

在一些实施例中，形成半导体芯片的具体步骤包括：

形成所述基底，并于所述基底中定义位于所述轴线两侧的所述第一区域和所述第二区域；

于所述第一区域和所述第二区域形成沿所述第三方向贯穿所述基底的所述信号通孔组；

形成多个顶层金属互连结构于所述基底的顶面，且多个所述顶层金属互连结构与多个所述信号通孔组一一对应电连接，每个所述顶层金属互连结构包括与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接的多条导电通路。

在一些实施例中，形成顶层金属互连结构于所述基底的顶面的具体步骤包括：

形成第一导电层于所述基底的顶面上, 所述第一导电层包括多个间隔排布的第一导电元件, 多个所述第一导电元件以所述多边形形状排布, 所述第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部, 且多个所述第一导电元件的所述第一端部与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接;

形成第二导电层于所述第一导电层上方, 所述第二导电层包括间隔排布、且与多个所述第一导电元件一一对应的多个第二导电元件, 多个所述第二导电元件以所述多边形形状排布, 所述第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部, 且每个所述第二导电元件和与其对应的所述第一导电元件部分重叠设置;

形成连接元件于所述第一导电层和所述第二导电层之间, 对于相互对应的所述第一导电元件和所述第二导电元件, 所述连接元件的一端电连接所述第二导电元件的所述第三端部、所述连接元件的另一端电连接所述第一导电元件的所述第二端部, 形成所述导电通路。

在一些实施例中, 基于所述多个半导体芯片于所述基板上形成堆叠结构的具体步骤包括:

提供四个所述半导体芯片;

于所述基板上放置第一半导体芯片;

于所述第一半导体芯片上方以面对面的方式堆叠第二半导体芯片;

于所述第二半导体芯片上方以背对背的方式堆叠第三半导体芯片;

于所述第三半导体芯片上方以面对面的方式堆叠第四半导体芯片, 形成包括所述第一半导体芯片、所述第二半导体芯片、所述第三半导体芯片和所述第四半导体芯片的所述单元结构;

在形成的所述单元结构上重复执行以上步骤, 依次形成沿所述第三方向堆叠的N个所述单元结构;

其中, 所述堆叠结构中任意相邻的两个所述半导体芯片的所述轴线对准, 且其中一个所述半导体芯片的所述第一区域与另一个所述半导体芯片的所述第二区域对准。

在一些实施例中, 于第一半导体芯片上方以面对面的方式堆叠第二半导体芯片的具体步骤包括:

形成键合柱组于所述第一半导体芯片的所述顶层金属互连结构上, 所述键合柱组中包括多个所述键合柱, 所述键合柱的底端与所述第一半导体芯片中的一个所述第二导电元件的所述第四端部键合连接;

所述键合柱的顶端与所述第二半导体芯片的所述顶层金属互连结构键合连接, 所述键合柱的顶端与所述第二半导体芯片的一个所述第二导电元件的所述第四端部键合连接。

在一些实施例中, 于所述第二半导体芯片上方以背对背的方式堆叠第三半导体芯片的具体步骤包括:

将位于所述第二半导体芯片中的多个所述信号通孔与位于所述第三半导体芯片中对应的多个所述信号通孔直接接触或直接电连接。

在一些实施例中, 所述半导体芯片还包括多个内部电路, 多个所述内部电路与多个所述顶层金属互连结构一一对应, 所述半导体器件的形成方法还包括:

于所述内部电路和对应的所述顶层金属互连结构之间形成引出线, 使得每个所述内部电路和与其对应的所述顶层金属互连结构中的一条导电通路电连接。

在一些实施例中, 还包括如下步骤:

形成接口电路于所述基板内;

电连接所述堆叠结构中任意相邻的两个所述半导体芯片, 形成与每个半导体芯片中的多对信号通孔组一一对应的多对信号传输链路组, 每个所述信号传输链路组包括多条信号传输链路, 每条所述信号传输链路包括每个所述半导体芯片中一个对应的所述信号通孔、每个所述半导体芯片中一条对应的所述导电通路和以面对面方式堆叠的两个半导体芯片之间一个对应的所述键合柱;

电连接所述接口电路与所述堆叠结构中位于最底层的所述半导体芯片中的多对信号通孔组, 将所述接口电路电连接至多对所述信号传输链路组, 用于向所述信号传输链路组传输与所述信号传输链路组内的多条所述信号传输链路一一对应的多个控制信号, 且每个所述控制信号仅通过每个所述单元结构中的一个所述半导体芯片中的一条所述引出线引出至一个对应的所述内部电路; 对于一个所述半导体芯片中的每对所述信号通孔组, 所述接口电路还用于通过一条对应的所述信号传输链路向一个所述信号通孔组的一个所述信号通孔电连接的所述引出线输出第一控制信号、并通过另一条对应的所述信号传输链路向与另一个所述信号通孔组中的一个所述信号通孔电连接的所述引出线传输不同于所述第一控制信号的

第二控制信号。

本公开一些实施例提供的半导体芯片、半导体器件及其形成方法，通过在半导体芯片中设置多对相互独立的信号通孔组，各所述信号通孔组在基底中间隔排布，且每对所述信号通孔组中的两个所述信号通孔组关于所述基底的顶面上的一条轴线对称分布，且分别分布于所述轴线两侧的第一区域和第二区域，使得在堆叠多片所述半导体芯片时，仅需进行简单的旋转操作，即可实现半导体芯片的面对面堆叠连接，确保了所述半导体器件中的同一种控制信号按照一种方向向上传播，减少了形成半导体器件的过程中所需要的掩模版数量，简化了多个半导体芯片依次堆叠的操作，降低了半导体器件的制造难度，且有助于提高所述半导体器件的良率。

附图说明

附图 1 是本公开具体实施方式中半导体芯片的俯视结构示意图；

附图 2 是本公开具体实施方式中半导体芯片的第一区域的立体结构示意图；

附图 3 是本公开具体实施方式中半导体芯片的第二区域的立体结构示意图；

附图 4A-图 4C 是本公开具体实施方式中半导体器件的堆叠结构示意图；

附图 5 是本公开具体实施方式中第一半导体芯片的第一区域与第二半导体芯片的第二区域键合后的结构示意图；

附图 6 是本公开具体实施方式中第一半导体芯片的第二区域与第二半导体芯片的第一区域键合后的结构示意图；

附图 7 是本公开具体实施方式中半导体器件的截面示意图；

附图 8 是本公开具体实施方式中半导体器件的形成方法流程图。

具体实施方式

下面结合附图对本公开提供的半导体器件及其形成方法的具体实施方式做详细说明。

本具体实施方式提供了一种半导体器件的形成方法，附图 1 是本公开具体实施方式中半导体芯片的俯视结构示意图，附图 2 是本公开具体实施方式中半导体芯片的第一区域的立体结构示意图，附图 3 是本公开具体实施方式中半导体芯片的第二区域的立体结构示意图。如图 1-图 3 所示，半导体芯片，包括：

基底 10，基底 10 包括顶面 31、以及与顶面 31 相对的底面 30；

多对相互独立的信号通孔组，各信号通孔组在基底 10 中间隔排布，且每对信号通孔组中的两个信号通孔组关于基底 10 的顶面 31 上的一条轴线 AA 对称分布，且分别分布于轴线 AA 两侧的第一区域 P1 和第二区域 P2，轴线 AA 平行于第一方向 D1 或第二方向 D2，每个信号通孔组包括以多边形形状排布的多个信号通孔，每个信号通孔组中任意两个信号通孔电性隔离，每个信号通孔沿第三方向 D3 贯穿基底，其中，第一方向 D1 和第二方向 D2 相互垂直且均平行于顶面 31，第三方向 D3 为垂直于基底 10 的顶面 31 的方向。

具体来说，半导体芯片为 DRAM（Dynamic Random Access Memory，动态随机存储器）芯片。本具体实施方式中的多对可以是两对以上。以下以半导体芯片其中的一对信号通孔组、且每个信号通孔组包括四个信号通孔为例进行说明。如图 1 所示，半导体芯片包括关于轴线 AA 对称分布的第一区域 P1 和第二区域 P2，一对信号通孔组包括位于第一区域 P1 的第一信号通孔组 20 和位于第二区域 P2 的第二信号通孔组 21，且第一信号通孔组 20 与第二信号通孔组 21 关于轴线 AA 对称分布。第一信号通孔组 20 和第二信号通孔组 21 均包括以多边形形状排布的多个信号通孔，且多个信号通孔一一用于传输多种不同的控制信号。这种信号通孔组的分布可以保证，在半导体芯片堆叠（例如面对面堆叠）时，无需更改单个半导体芯片的制造工艺，简化工艺流程。在一示例中，第一信号通孔组 20 中的多个信号通孔与第二信号通孔组 21 中的多个信号通孔的具体数量、结构和材料均相同，不仅能够简化半导体芯片的制造工艺，而且还便于不同种类的控制信号通过多个信号通孔分别传输，从而能够减小半导体芯片的驱动负载。以上仅是举例说明，在其他具体实施方式中，半导体芯片还可以包括两对以上的信号通孔组，且每对信号通孔组中的两个信号通孔组关于轴线 AA 对称分布，且位于轴线 AA 同一侧的多个信号通孔组间隔排布。

举例来说，继续参考图 1，第一信号通孔组 20 包括沿逆时针方向依次排布的第一信号通孔 201、第二信号通孔 202、第三信号通孔 203 和第四信号通孔 204，第二信号通孔组 21 包括沿顺时针方向依次排布的第五信号通孔 211、第六信号通孔 212、第七信号通孔 213 和第八信号通孔 214。

参考图 2 和图 3, 在一些实施例中, 半导体芯片还包括:

多个顶层金属互连结构, 多个顶层金属互连结构均位于基底 10 的顶面 31, 且多个顶层金属互连结构与多个信号通孔组一一对应电连接, 每个顶层金属互连结构包括与对应的信号通孔组中的多个信号通孔一一对应电连接的多条导电通路。

具体来说, 通过在半导体芯片的顶层金属互连结构中设置多条相互独立的导电通路, 从而使得多种控制信号能够沿多条导电通路一一传输, 在确保每种控制信号在半导体芯片内部稳定传输的同时, 又能减少不同控制信号之间的串扰, 而且还能保证在半导体芯片堆叠时, 实现螺旋上升的信号传输通路, 从而改善半导体芯片的电性能。

继续参考图 2 和图 3, 在一些实施例中, 顶层金属互连结构包括:

第一导电层, 位于基底 10 的顶面上, 第一导电层包括多个间隔排布的第一导电元件, 多个第一导电元件以多边形形状排布, 且多个第一导电元件与对应的信号通孔组中的多个信号通孔一一对应电连接;

第二导电层, 位于第一导电层上, 第二导电层包括间隔排布、且与多个第一导电元件一一对应的多个第二导电元件, 多个第二导电元件以多边形形状排布, 且每个第二导电元件和与其对应的第一导电元件部分重叠设置;

多个连接元件 35, 多个连接元件 35 与多个第二导电元件一一对应, 每个连接元件用于电连接第二导电元件和与其对应的第一导电元件。

具体来说, 顶层金属互连结构包括沿第三方向 D3 分层设置的第一导电层和第二导电层。第一导电层中第一导电元件的数量、第二导电层中第二导电元件的数量、以及连接元件 35 的数量均相同。以下以半导体芯片包括位于第一信号通孔组 20 上的第一顶层金属互连结构、以及位于第二信号通孔组 21 上的第二顶层金属互连结构为例进行说明。如图 2 所示, 第一顶层金属互连结构中的第一导电层包括与第一信号通孔组 20 中的四个信号通孔(即第一信号通孔 201、第二信号通孔 202、第三信号通孔 203 和第四信号通孔 204)一一对应电连接的四个第一导电元件(即与第一信号通孔 201 电连接的左侧第一导电元件 321、与第二信号通孔 202 电连接的前侧第一导电元件 322、与第三信号通孔 203 电连接的右侧第一导电元件 323、以及与第四信号通孔电连接的后侧第一导电元件 324)。第二导电层包括与多个第一导电元件一一对应电连接的多个第二导电元件(即通过连接元件 35 与左侧第一导电元件 321 电连接的左侧第二导电元件 331、通过连接元件 35 与前侧第一导电元件 322 电连接的前侧第二导电元件 332、通过连接元件 35 与右侧第一导电元件 323 电连接的右侧第二导电元件 333、以及通过连接元件 35 与后侧第一导电元件 324 电连接的后侧第二导电元件 334)。如图 3 所示, 位于第二信号通孔组 21 上的第二顶层金属互连结构与第一顶层金属互连结构的具体构造相同。

在一些实施例中, 第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部, 第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部;

多个第一导电元件的第一端部与多个信号通孔一一对应电连接;

对于相互对应的第一导电元件和第二导电元件, 连接元件 35 的一端电连接第二导电元件的第三端部、连接元件的另一端电连接第一导电元件的第二端部。

举例来说, 如图 2 和图 3 所示, 第一导电层中的左侧第一导电元件 321 和右侧第一导电元件 323 沿第二方向 D2 延伸, 左侧第一导电元件 321 和右侧第一导电元件 323 沿第二方向 D2 均包括沿第二方向 D2 相对分布的第一端部和第二端部, 前侧第一导电元件 322 和后侧第一导电元件 324 均沿第一方向 D1 延伸, 前侧第一导电元件 322 和后侧第一导电元件 324 均包括沿第一方向 D1 相对分布的第一端部和第二端部。第一导电层中沿逆时针方向或者顺时针方向任意相邻的两个第一导电元件中, 一个第一导电元件的第一端部与另一个第一导电元件的第二端部相邻但不连接, 从而使得第一导电层中的多个第一导电元件以首尾(例如第一导电元件的第一端部为首端、第二端部为尾端)相对的方式排布呈多边形形状(例如正方形形状或者菱形形状)。第二导电层中的左侧第二导电元件 331 和右侧第二导电元件 333 沿第二方向 D2 延伸, 左侧第二导电元件 331 和右侧第二导电元件 333 均包括沿第二方向 D2 相对分布的第三端部和第四端部。前侧第二导电元件 332 和后侧第二导电元件 334 均沿第一方向 D1 延伸, 前侧第二导电元件 332 和后侧第二导电元件 334 均包括沿第一方向 D1 相对分布的第三端部和第四端部。第二导电层中沿逆时针方向或者顺时针方向任意相邻的两个第二导电元件中, 一个第二导电元件的第三端部与另一个

第二导电元件的第四端部相邻，从而使得第二导电层中的多个第二导电元件以首尾（例如第二导电元件的第三端部为首端、第四端部为尾端）相对的方式排布呈多边形形状（例如正方形形状或者菱形形状）。连接元件 35 的一端电连接第二导电元件的第三端部、连接元件的另一端电连接第一导电元件的第二端部。采用上述包括第一导电层和第二导电层的顶层金属互连结构，可以简化顶层金属互连结构的具体结构，降低顶层金属互连结构的制造难度。在一示例中，顶层金属互连结构还包括位于第一导电层和第二导电层之间的绝缘介质层，以电性隔离第一导电元件的第一端部与第二导电元件。

在一些实施例中，半导体芯片还包括：

多个内部电路，与多个顶层金属互连结构一一对应，每个内部电路和与其对应的顶层金属互连结构中的一条导电通路电连接。

在一些实施例中，半导体芯片还包括：

多条引出线，与多个内部电路一一对应，每条引出线 50 的一端电连接一个内部电路、另一端仅与顶层金属互连结构中的一个第一导电元件电连接，以通过引出线将来自于外界的控制信号传输至半导体芯片内部的内部电路中。

举例来说，如图 1 所示，半导体芯片中的一对信号通孔组中的第一信号通孔组 20 通过第一引出线 50 电连接半导体芯片内的第一内部电路，第二信号通孔组通过第二引出线 51 电连接半导体芯片内的第二内部电路。

在一些实施例中，每个信号通孔组包括四个信号通孔，且四个信号通孔以正方形形状或者菱形形状排布。在其他实施例中，信号通孔组还可以包括五个以上的信号通孔，例如信号通孔组包括五个、六个、七个或者八个信号通孔。

本具体实施方式还提供了一种半导体器件，附图 4A-附图 4C 是本公开具体实施方式中半导体器件的堆叠结构示意图，附图 5 是本公开具体实施方式中第一半导体芯片的第一区域与第二半导体芯片的第二区域键合后的结构示意图，附图 6 是本公开具体实施方式中第一半导体芯片的第二区域与第二半导体芯片的第一区域键合后的结构示意图，附图 7 是本公开具体实施方式中半导体器件的截面示意图。图 7 中每个半导体芯片中的第一区域 P1 和第二区域 P2 对称分布于轴线 AA（参见图 1）的相对两侧，在图 7 所示视角下，轴线 AA 不可见。如图 4A、图 7 所示，半导体器件，包括：

基板 110；

堆叠结构，位于基板 110 上，包括沿第三方向 D3 依次堆叠、且电连接的 N 个单元结构，每个单元结构包括四个如上的半导体芯片，其中，N 为正整数；

单元结构中的四个半导体芯片沿第三方向 D3 依次堆叠，位于最底层的第一半导体芯片 101 与位于其上的第二半导体芯片 102 以面对面的方式堆叠、第二位半导体芯片 102 与位于其上的第三半导体芯片 103 以背对背的方式堆叠、第三半导体芯片 103 与位于其上的第四半导体芯片 104 以面对面的方式堆叠；

堆叠结构中任意相邻的两个半导体芯片的轴线 AA 对准，且其中一个半导体芯片的第一区域 P1 与另一个半导体芯片的第二区域 P2 对准；

其中，面对面是指相邻两个半导体芯片的顶面相对，背对背是指相邻两个半导体芯片的底面相对。

继续参考图 4A、图 7，位于最底层的第一半导体芯片 101 与位于其上的第二半导体芯片 102 以面对面的方式堆叠是指，第一半导体芯片 101 和第二半导体芯片 102 以第一半导体芯片 101 的基底 10 的顶面 31 与第二半导体芯片 102 的基底 10 的顶面 31 相对的方式堆叠。第二位半导体芯片 102 与位于其上的第三半导体芯片 103 以背对背的方式堆叠是指，第二半导体芯片 102 和第三半导体芯片 103 以第二半导体芯片 102 的基底 10 的底面 30 与第三半导体芯片 103 的基底 10 的底面 30 相对的方式堆叠。本具体实施方式中的第一半导体芯片 101、第二半导体芯片 102、第三半导体芯片 103 和第四半导体芯片 104 均与图 1-图 3 所示的半导体芯片具有相同的结构。本具体实施方式仅示出了两个单元结构，即包括第一半导体芯片 101、第二半导体芯片 102、第三半导体芯片 103 和第四半导体芯片 104 的第一单元结构 70、以及包括第五半导体芯片 105、第六半导体芯片 106、第七半导体芯片 107 和第八半导体芯片 108 的第二单元结构 71。堆叠结构中任意相邻的两个单元结构（例如第一单元结构 70 和第二单元结构 71）的轴线 AA 对准，且每个单元结构（例如第一单元结构 70 或第二单元结构 71）内任意相邻的两个半导体芯片（例如第一单元结构 70 内的第一半导体芯片 101 和第二半导体芯片 102）的轴线 AA 对准，即堆叠结构中任

意相邻的两个半导体芯片的轴线 AA 对准。

本具体实施方式通过形成关于轴线 AA 对称分布的一对信号通孔组，且每对信号通孔组中的两个信号通孔组中均包括呈多边形形状排布的多个信号通孔，从而使得多个半导体芯片在基板 110 上堆叠时，无需更改单个半导体芯片的制造工艺，简化半导体芯片的工艺流程。而且，本具体实施方式的一些实施例中通过基板内的接口电路向半导体器件中的多个半导体芯片依次传输控制信号，从而无需针对每个半导体芯片单独设置驱动器和接口电路，简化了半导体器件的驱动操作，且能够降低半导体器件的驱动负载，增大数据眼图，并减少半导体器件的功耗。另外，本具体实施方式一些实施例中的一对信号通孔组中的两个信号通孔组相互独立，无需对两个信号通孔组同时驱动，即可以通过基板内的接口电路同时向一对信号通孔组中的两个信号通孔组传输不同的控制信号，从而能够提高半导体器件的驱动效率，简化半导体器件的驱动操作。

在一些实施例中，半导体器件还包括：

多对信号传输链路组，多对信号传输链路组分别与每个半导体芯片中的多对信号通孔组一一对应，信号传输链路组包括多条信号传输链路，信号传输链路组中的多条信号传输链路相互独立、且均沿第三方向 D3 呈螺旋状延伸，每个信号传输链路组中的多条信号传输链路与每个半导体芯片中对应的信号通孔组中的多个信号通孔一一对应，且每条信号传输链路包括每个半导体芯片中一个对应的信号通孔。

具体来说，多对信号传输链路组与半导体芯片中的多个信号通孔组一一对应，每对信号传输链路组包括与每对信号通孔组中的两个信号通孔组一一对应的两个信号传输链路组，每个信号传输链路组包括与信号通孔组中的多个信号通孔一一对应的多条信号传输链路，每条信号传输链路包括每个半导体芯片内与其对应的一个信号通孔。例如，如图 4B 所示，一条信号传输链路包括第一半导体芯片 101 中的第一信号通孔 201、第二半导体芯片 102 中的第八信号通孔 214、第三半导体芯片 103 中的第三信号通孔 203 和第四半导体芯片 104 中的第六信号通孔 212。再例如，如图 4C 所示，另一条信号传输链路包括第一半导体芯片 101 中的第二信号通孔 202、第二半导体芯片 102 中的第七信号通孔 213、第三半导体芯片 103 中的第四信号通孔 204 和第四半导体芯片 104 中的第五信号通孔 211。信号传输链路组中的多条信号传输链路相互独立、且均沿第三方向 D3 呈螺旋状延伸，且避免信号传输链路之间的信号串扰。

在一些实施例中，对于以面对面的方式堆叠的两个半导体芯片，电连接在同一条信号线传输链路上的两个半导体芯片中的信号通孔在任一基底的顶面上的投影呈中心对称分布，对称中心为多边形在基底的顶面上的投影。在一示例中，对于一个信号传输链路组中的任意两条信号传输链路，连接在一条信号传输链路上的两个信号通孔之间的虚拟直线与堆叠结构的中心线之间具有第一夹角，连接在另一条信号传输链路上的两个信号通孔之间的虚拟直线与堆叠结构的中心线之间具有第二夹角，且第一夹角等于第二夹角。

在一些实施例中，信号传输链路组还包括：

多对键合柱组，键合柱组仅位于以面对面的方式堆叠的半导体芯片之间，并且分别与以面对面的方式堆叠的两个半导体芯片的多对信号通孔组一一对应，用于实现以面对面方式堆叠的半导体芯片之间的信号传递，每个键合柱组中包括多个键合柱 80，每个键合柱 80 分别与以面对面的方式堆叠的两个半导体芯片的多个信号通孔一一对应；多对信号传输链路组与以面对面的方式堆叠的每两个半导体芯片之间的多对键合柱组一一对应，每个信号传输链路组中的多条信号传输链路或多对键合柱组中的多个键合柱 80 一一对应，每条信号传输链路包括以面对面方式堆叠的两个半导体芯片之间一个对应的键合柱 80。

例如，如图 5 所示，以面对面的方式堆叠的第一半导体芯片 101 和第二半导体芯片 102 之间具有一个键合柱组，键合柱组中的四个键合柱 80 与第一半导体芯片 101 中的四个信号通孔（即第一信号通孔 201、第二信号通孔 202、第三信号通孔 203 和第四信号通孔 204）一一对应、且与第二半导体芯片 102 中的四个信号通孔（即第五信号通孔 211、第六信号通孔 212、第七信号通孔 213 和第八信号通孔 214）一一对应。举例来说，在如图 5 所示的结构中，一条信号传输链路包括第一半导体芯片 101 中的第一信号通孔 201、第二半导体芯片 102 中的第八信号通孔 214、以及用于电连接第一半导体芯片 101 中的第一信号通孔 201 和第二半导体芯片 102 中的第八信号通孔 214 的键合柱 80。

在一些实施例中，对于以背对背的方式堆叠的两个半导体芯片，其中一个半导体芯片中的多个信号通孔与另一个半导体芯片中的多个信号通孔一一对应且直接接触电连接。

例如,如图 4B 所示,以背对背的方式堆叠的第二半导体芯片 102 和第三半导体芯片 103 中,第二半导体芯片 102 中的第八信号通孔 214 与第三半导体芯片 103 中的第三信号通孔 203 直接接触电连接。再例如,如图 4C 所示,以背对背方式堆叠的第二半导体芯片 102 和第三半导体芯片 103 中,第二半导体芯片 102 中的第七信号通孔 213 与第三半导体芯片 103 中的第四信号通孔 204 直接接触电连接。

在一些实施例中,每个半导体芯片均包括多个顶层金属互连结构,多个顶层金属互连结构均位于基底 10 的顶面,且多个顶层金属互连结构与多个信号通孔组一一对应电连接,每个顶层金属互连结构包括与对应的信号通孔组中的多个信号通孔一一对应电连接的多条导电通路,每条信号传输链路包括每个半导体芯片中一个对应的信号通孔及一条对应的导电通路;

顶层金属互连结构包括第一导电层、第二导电层和多个连接元件 35,第一导电层位于基底的顶面上,第一导电层包括多个间隔排布的第一导电元件,多个第一导电元件以多边形形状排布,且多个第一导电元件与对应的信号通孔组中的多个信号通孔一一对应电连接;第二导电层位于第一导电层上,第二导电层包括间隔排布、且与多个第一导电元件一一对应的多个第二导电元件,多个第二导电元件以多边形形状排布,且每个第二导电元件和与其对应的第一导电元件部分重叠设置;多个连接元件分别与多个第一导电元件和多个第二导电元件一一对应,每个连接元件用于电连接与其对应的第一导电元件和第二导电元件,构成导电通路;

第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部,第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部;多个第一导电元件的第一端部与多个信号通孔一一对应电连接;对于相互对应的第一导电元件和第二导电元件,连接元件 35 的一端电连接第二导电元件的第三端部、连接元件的另一端电连接第一导电元件的第二端部。

在一些实施例中,对于以面对面的方式堆叠的两个半导体芯片,多对键合柱组分别与两个半导体芯片的多个顶层金属互连结构一一对应,每个键合柱 80 的一端电连接一个半导体芯片中对应的一个第二导电元件的第四端部、键合柱 80 的另一端键合电连接另一个半导体芯片中对应的一个第二导电元件的第四端部。

具体来说,单元结构内的四个半导体芯片(即第一半导体芯片 101、第二半导体芯片 102、第三半导体芯片 103 和第四半导体芯片 104)的结构均相同,因而仅通过简单的旋转(例如翻转)操作即可实现半导体芯片的面对面键合。举例来说,第一半导体芯片 101 中的多个第二导电元件通过键合柱 80 与第二半导体芯片 102 中的多个第二导电元件键合一一对应连接。第二半导体芯片 102 中的多个信号通孔与第三半导体芯片 103 中的多个信号通孔一一对应且直接接触电连接。

例如,如图 4A 和图 5 所示,第一半导体芯片 101 中与第一信号通孔组 20 电连接的顶层金属互连结构包括四条导电通路,即第一导电通路、第二导电通路、第三导电通路和第四导电通路。其中,第一半导体芯片 101 中的第一导电通路由依次电连接的左侧第一导电元件 321、电连接左侧第一导电元件 321 和左侧第二导电元件 331 的连接元件 35、以及左侧第二导电元件 331。第一半导体芯片 101 中的第二导电通路由依次电连接的前侧第一导电元件 322、电连接前侧第一导电元件 322 和前侧第二导电元件 332 的连接元件 35、以及前侧第二导电元件 332。第一半导体芯片 101 中的第三导电通路由依次电连接的右侧第一导电元件 323、电连接右侧第一导电元件 323 和右侧第二导电元件 333 的连接元件 35、以及右侧第二导电元件 333。第一半导体芯片 101 中的第四导电通路由依次电连接的后侧第一导电元件 324、电连接后侧第一导电元件 324 和后侧第二导电元件 334 的连接元件 35、以及后侧第二导电元件 334。第一半导体芯片 101 中与第二信号通孔组 21 电连接的顶层金属互连结构也包括四条导电通路,即第一导电通路、第二导电通路、第三导电通路和第四导电通路。且第一半导体芯片 101 中与第一信号通孔组 20 电连接的顶层金属互连结构和与第二信号通孔组 21 电连接的顶层金属互连结构相同,参见图 4A 和图 6。

如图 4A 和图 5 所示,一条信号传输链路包括第一半导体芯片 101 中的第一信号通孔 201、第一半导体芯片 101 中的第一导电通路、电连接第一半导体芯片 101 中的第一导电通路与第二半导体芯片 102 中的第四导电通路的键合柱 80、第二半导体芯片 102 中的第四导电通路、第二半导体芯片 102 中的第八信号通孔 214。

在一些实施例中,每个半导体芯片还包括多个内部电路,多个内部电路与多个顶层金属互连结构一一对应,每个内部电路和与其对应的顶层金属互连结构中的一条导电通路电连接;

多条引出线 50，与多个内部电路一一对应，每条引出线 50 的一端电连接一个内部电路、另一端仅与对应的顶层金属互连结构中的一个第一导电元件电连接。

在一些实施例中，对于每个单元结构，一条信号传输链路仅电连接一个半导体芯片中的一条引出线。

举例来说，如图 4A 和图 5 所示，第一半导体芯片 101 包括与第一信号通孔组 20 电连接的左侧第一导电元件 321、以及与左侧第一导电元件 201 电连接的第一引出线 50，第一引出线 50 位于第一半导体芯片 101 的第一区域 P1（参见图 1）。如图 6 所示，第一半导体芯片 101 还包括与第二组信号通孔组 21 电连接的左侧第一导电元件 321、以及与左侧第一导电元件 201 电连接的第二引出线 51，第二引出线 51 位于第一半导体芯片 101 的第二区域 P2（参见图 1）。第一半导体芯片 101 中的第一引出线 50 与第一半导体芯片 101 内部的第一内部电路（图中未示出）电连接，第一半导体芯片 101 中的第二引出线 51 与第一半导体芯片 101 内部的第二内部电路（未示出）电连接。

在一些实施例中，半导体器件还包括：

接口电路，位于基板 110 内，且电连接多对信号传输链路组，接口电路用于向信号传输链路组传输与信号传输链路组内的多条信号传输链路一一对应的多个控制信号，且每个控制信号仅从每个单元结构中的一个半导体芯片中一条引出线引出；

对于一个半导体芯片中的每对信号通孔组，接口电路通过一条对应的信号传输链路向与一个信号通孔组的一个信号通孔电连接的引出线输出第一控制信号、并通过另一条对应的信号传输链路向与另一个信号通孔组中的一个信号通孔电连接的引出线传输不同于第一控制信号的第二控制信号。

举例来说，如图 7 所示，对于每对信号传输链路组中的两个信号传输链路组，接口电路向其中一个信号传输链路组传输与一个信号传输链路组内的四条信号传输链路一一对应的四个第一子控制信号（即 CS_0 信号、CS_2 信号、WE_1 信号、WE_3 信号），且接口电路向另一个信号传输链路组传输与另一个信号传输链路组内的四条信号传输链路一一对应的四个第二子控制信号（即 CS_1 信号、CS_3 信号、WE_0 信号、WE_2 信号）。对于一个半导体芯片内由第一信号通孔组 20 和第二信号通孔组 21 组成的一对信号通孔组，接口电路通过第一信号通孔组 20 向半导体芯片内的第一引出线输出 CS_0 信号，使得 CS_0 信号传输至半导体芯片内的第一内部电路中；且接口电路通过第二信号通孔组 21 向半导体芯片内的第二引出线 51 输出 WE_0 信号，使得 WE_0 信号传输至半导体芯片内的第二内部电路中。如图 4B 和图 7 所示，对于传输 CS_0 信号的信号传输链路，仅与第一单元结构 70 中的第一半导体芯片 101 中的第一引线 50 电连接。

举例来说，如图 4A 和图 7 所示，CS_0 信号经基板内的接口电路传输至第一单元结构 70 中的第一半导体芯片 101 中的第一信号通孔 201，并依次经与第一信号通孔 201 电连接的左侧第一导电元件 321、第一引线 50 输出至第一半导体芯片 101 内部的第一内部电路中。WE_1 信号经基板内的接口电路传输至第一单元结构 70，并经第一单元结构 70 内的第一半导体芯片 101 传输至第二半导体芯片 102，并经第二半导体芯片 102 中的第五信号通孔传输至第二半导体芯片 102 中的第二引线 51，并经第二引线 51 输出至第二半导体芯片 102 内的第二内部电路中。CS_2 信号经基板内的接口电路传输至第一单元结构 70，并将第一单元结构 70 内的第一半导体芯片 101 和第二半导体芯片 102 传输至第三半导体芯片 103，并经第三半导体芯片 103 中的第一信号通孔传输至第三半导体芯片 103 中的第一引线 50，并经第一引线 50 输出至第三半导体芯片 103 中的第一内部电路中。WE_3 信号经基板内的接口电路传输至第一单元结构 70，并将第一单元结构 70 内的第一半导体芯片 101、第二半导体芯片 102 和第三半导体芯片 103 后，传输至第四半导体芯片 104，并经第四半导体芯片 104 中的第五信号通孔传输至第四半导体芯片 104 中的第二引线 51，并经第二引线 51 输出至第四半导体芯片 104 中的第二内部电路中。以此类推，基板中的接口电路通过信号传输链路将对应的第一子控制信号和第二子控制信号分别传输至堆叠结构中其他单元结构的对应半导体芯片中，例如图 7 中的第二单元结构 71 中的半导体芯片 105-108。

以下举例说明信号传输链路组中的多条信号传输链路相互独立、且均沿第三方向 D3 呈螺旋状延伸。

具体地，如图 4B 所示，堆叠结构中的一条信号传输链路包括一个单元结构内的第一半导体芯片 101 中的第一信号通孔 201、第一半导体芯片 101 内的左侧第一导电元件 321、第一半导体芯片 101 内电连接左侧第一导电元件 321 和左侧第二导电元件 331 的连接元件 35、第一半导体芯片内的左侧第二导电元件 331、以面对面的方式堆叠的第一半导体芯片 101 和第二半导体芯片 102 之间的键合柱 80、第二半导体

芯片 102 中的后侧第二导电元件 334、第二半导体芯片 102 内电连接后侧第二导电元件 334 和后侧第一导电元件 324 的连接元件 35、第二半导体芯片 102 内的后侧第一导电元件 324、第二半导体芯片 102 中的第八信号通孔 214、第三半导体芯片 103 中的第三信号通孔 203、第三半导体芯片 103 中的右侧第一导电元件 323、第三半导体芯片 103 内电连接右侧第一导电元件 323 和右侧第二导电元件 333 的连接元件 35、第三半导体芯片 103 中的右侧第二导电元件 333 传输、第三半导体芯片 103 和第四半导体芯片 104 之间的键合柱 80、第四半导体芯片 104 中的前侧第二导电元件 332、第四半导体芯片 104 中电连接前侧第二导电元件 332 和前侧第一导电元件 322 的连接元件 35、第四半导体芯片 104 中的前侧第一导电元件 322、第四半导体芯片 104 中的第六信号通孔 212。

堆叠结构通过每条信号传输链路在芯片间传输一个对应的控制信号，继续参考图 4B 和图 7，来自于外界的 CS_0 信号通过基板 110 内的接口电路传输至一个单元结构内的第一半导体芯片 101 中的第一信号通孔 201 之后，依次经第一半导体芯片 101 内与第一信号通孔 201 电连接的左侧第一导电元件 321、连接元件 35、左侧第二导电元件 331 传输至键合柱 80，经键合柱 80 传输至第二半导体芯片 102 中的后侧第二导电元件 334，之后依次经第二半导体芯片 102 内的连接元件 35、后侧第一导电元件 324 传输至第二半导体芯片 102 中的第八信号通孔 214，之后通过与第二半导体芯片 102 中的第八信号通孔 214 电连接的第三半导体芯片 103 中的第三信号通孔 203 传输至第三半导体芯片 103 的顶层金属互连结构中，并依次经第三半导体芯片 103 中的右侧第一导电元件 323、连接元件 35、右侧第二导电元件 333 传输至键合柱 80，并经键合柱 80 传输至第四半导体芯片 104 中，并在第四半导体芯片 104 中依次经前侧第二导电元件 332、连接元件 35、前侧第一导电元件 322、第六信号通孔 212 后，传输至下一个单元结构，即同一种类型的控制信号沿着一条独立的信号传输路径螺旋向上传输。

再例如，图 4C 和图 7 所示，堆叠结构中另一条信号传输链路包括一个单元结构中的第一半导体芯片 101 中的第二信号通孔 202、第一半导体芯片 101 中的前侧第一导电元件 322、第一半导体芯片 101 中电连接前侧第一导电元件 322 和前侧第二导电元件 332 的连接元件 35、第一半导体芯片 101 中的前侧第二导电元件 332、第一半导体芯片 101 和第二半导体芯片 102 中的键合柱 80、第二半导体芯片 102 中的右侧第二导电元件 333、第二半导体芯片 102 中电连接右侧第二导电元件 333 和右侧第一导电元件 323 的连接元件 35、第二半导体芯片 102 中的右侧第一导电元件 323、第二半导体芯片 102 中的第七信号通孔 213、第三半导体芯片 103 中的第四信号通孔 204、第三半导体芯片 103 中的后侧第一导电元件 324、第三半导体芯片 103 中电连接后侧第一导电元件 324 和右侧第二导电元件 334 的连接元件 35、第三半导体芯片 103 中的后侧第二导电元件 334、第三半导体芯片 103 和第四半导体芯片 104 之间的键合柱 80、第四半导体芯片 104 中的左侧第二导电元件 331、第四半导体芯片 104 中电连接左侧第二导电元件 331 和左侧第一导电元件 321 的连接元件 35、第四半导体芯片 104 中的左侧第一导电元件 321、第四半导体芯片 104 中的第五信号通孔 211。

继续参考图 4C、图 7，来自于外界的 WE_1 信号通过基板 110 内的接口电路传输至第一半导体芯片 101 中的第二信号通孔 202 之后，依次经第一半导体芯片 101 内与第二信号通孔 202 电连接的前侧第一导电元件 322、连接元件 35、前侧第二导电元件 332 传输至键合柱 80，经键合柱 80 传输至第二半导体芯片 102 中的右侧第二导电元件 333、连接元件 35、右侧第一导电元件 323 传输至第二半导体芯片 102 中的第七信号通孔 213，之后通过与第二半导体芯片 102 中的第七信号通孔 213 电连接的第三半导体芯片 103 中的第四信号通孔 204 传输至第三半导体芯片 103 的顶层金属互连结构中，并依次经第三半导体芯片 103 中的后侧第一导电元件 324、连接元件 35、后侧第二导电元件 334 传输至键合柱 80，并经键合柱 80 传输至第四半导体芯片 104 中，并在第四半导体芯片 104 中依次经左侧第二导电元件 331、连接元件 35、左侧第一导电元件 321、第五信号通孔 211 后，传输至下一个单元结构，即同一种类型的控制信号沿着一条独立的信号传输路径螺旋向上传输。

本具体实施方式还提供了一种半导体器件的形成方法，附图 8 是本公开具体实施方式中半导体器件的形成方法流程图。本具体实施方式形成的半导体器件的结构可以参见图 1-图 7。如图 1-图 8 所示，半导体器件的形成方法，包括如下步骤：

步骤 S81，提供基板 110；

步骤 S82，形成半导体芯片，半导体芯片包括基底 10 和多对相互独立的信号通孔组，基底 10 包括

顶面 31、以及与顶面 31 相对的底面 30；各信号通孔组在基底中间隔排布，且每对信号通孔组中的两个信号通孔组关于基底 10 的顶面上的一条轴线 AA 对称分布，且分别分布于轴线两侧的第一区域 P1 和第二区域 P2，轴线 AA 平行于第一方向 D1 或第二方向 D2，每个信号通孔组包括以多边形形状排布的多个信号通孔 111，每个信号通孔组中任意两个信号通孔 111 电性隔离，每个信号通孔 111 沿第三方向 D3 贯穿基底 10，其中，第一方向 D1 和第二方向 D2 相互垂直且均平行于顶面 31，第三方向 D3 为垂直于基底 10 的顶面 31 的方向；

步骤 S83，基于多个半导体芯片于基板 110 上形成堆叠结构上，堆叠结构包括沿第三方向 D3 依次堆叠且电连接的 N 个单元结构，每个单元结构包括四个半导体芯片，单元结构中的四个半导体芯片沿第三方向 D3 依次堆叠，位于最底层的第一半导体芯片 101 与位于其上的第二半导体芯片 102 以面对面的方式堆叠、第二位半导体芯片 102 与位于其上的第三半导体芯片 103 以背对背的方式堆叠、第三半导体芯片 103 与位于其上的第四半导体芯片 104 以面对面的方式堆叠，其中，N 为正整数；

堆叠结构中任意相邻的两个半导体芯片的轴线 AA 对准，且其中一个半导体芯片的第一区域 P1 与另一个半导体芯片的第二区域 P2 对准；

其中，面对面是指相邻两个半导体芯片的顶面相对，背对背是指相邻两个半导体芯片底面相对。

在一些实施例中，形成半导体芯片的具体步骤包括：

形成基底 10，并于基底 10 中定义位于轴线 AA 两侧的第一区域 P1 和第二区域 P2；

于第一区域 P1 和第二区域 P2 形成沿第三方向 D2 贯穿基底 10 的信号通孔组；

形成多个顶层金属互连结构于基底 10 的顶面 31，且多个顶层金属互连结构与多个信号通孔组一一对应电连接，每个顶层金属互连结构包括与对应的信号通孔组中的多个信号通孔 111 一一对应电连接的多条导电通路。

在一些实施例中，形成顶层金属互连结构于基底的顶面的具体步骤包括：

形成第一导电层于基底 10 的顶面 31 上，第一导电层包括多个间隔排布的第一导电元件，多个第一导电元件以多边形形状排布，第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部，且多个第一导电元件的第一端部与对应的信号通孔组中的多个信号通孔 111 一一对应电连接；

形成第二导电层于第一导电层上方，第二导电层包括间隔排布、且与多个第一导电元件一一对应的多个第二导电元件，多个第二导电元件以多边形形状排布，第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部，且每个第二导电元件和与其对应的第一导电元件部分重叠设置；

形成连接元件 35 于第一导电层和第二导电层之间，对于相互对应的第一导电元件和第二导电元件，连接元件的一端电连接第二导电元件的第三端部、连接元件的另一端电连接第一导电元件的第二端部，形成导电通路。

在一些实施例中，基于多个半导体芯片于基板 110 上形成堆叠结构的具体步骤包括：

提供四个半导体芯片序；

于基板 110 上放置第一半导体芯片；

于第一半导体芯片上方以面对面的方式堆叠第二半导体芯片 102；

于第二半导体芯片 102 上方以背对背的方式堆叠第三半导体芯片 103；

于第三半导体芯片 103 上方以面对面的方式堆叠第四半导体芯片 104，形成包括第一半导体芯片 101、第二半导体芯片 102、第三半导体芯片 103 和第四半导体芯片 104 的单元结构；

在形成的单元结构上重复执行以上步骤，依次形成沿第三方向 D3 堆叠的 N 个单元结构；

其中，堆叠结构中任意相邻的两个半导体芯片的轴线 AA 对准，且其中一个半导体芯片的第一区域 P1 与另一个半导体芯片的第二区域 P2 对准。。

在一些实施例中，于第一半导体芯片 101 上方以面对面的方式堆叠第二半导体芯片 102 的具体步骤包括：

形成键合柱组于第一半导体芯片 101 的顶层金属互连结构上，键合柱组中包括多个键合柱 80，键合柱 80 的底端与第一半导体芯片 101 中的一个第二导电元件的第四端部键合连接；

键合柱的顶端与第二半导体芯片 102 的顶层金属互连结构键合连接，键合柱的顶端与第二半导体芯片 102 的一个第二导电元件的第四端部键合连接。

在一些实施例中，于第二半导体芯片 102 上方以背对背的方式堆叠第三半导体芯片 103 方的具体步骤包括：

将位于第二半导体芯片 102 中的多个信号通孔 111 一一与位于第三半导体芯片 103 中对应的多个信号通孔 111 直接接触或直接电连接。

在一些实施例中，半导体芯片还包括多个内部电路，多个内部电路与多个顶层金属互连结构一一对应；半导体器件的形成方法还包括：

于内部电路和对应的顶层金属互连结构之间形成引出线，使得每个内部电路和与其对应的顶层金属互连结构中的一条导电通路电连接。

在一些实施例中，还包括如下步骤：

形成接口电路于基板 110 内；

电连接堆叠结构中任意相邻的两个半导体芯片，形成与每个半导体芯片中的多对信号通孔组一一对应的多对信号传输链路组，每个信号传输链路组包括多条信号传输链路，每条信号传输链路包括每个半导体芯片中一个对应的信号通孔、每个半导体芯片中一条对应的导电通路和以面对面方式堆叠的两个半导体芯片之间一个对应的键合柱 80；

电连接接口电路与堆叠结构中位于最底层的半导体芯片中的多对信号通孔组，将接口电路电连接至多对信号传输链路组，用于向信号传输链路组传输与信号传输链路组内的多条信号传输链路一一对应的多个控制信号，且每个控制信号仅通过每个单元结构中的一个半导体芯片中的一条引出线引出至一个对应的内部电路；对于一个半导体芯片中的每对信号通孔组，接口电路还用于通过一条对应的信号传输链路向与一个信号通孔组的一个信号通孔电连接的引出线输出第一控制信号、并通过另一条对应的信号传输链路向与另一个信号通孔组中的一个信号通孔电连接的引出线传输不同于第一控制信号的第二控制信号。

本具体实施方式一些实施例提供的半导体芯片、半导体器件及其形成方法，通过在半导体芯片中设置多对相互独立的信号通孔组，各信号通孔组在基底中间隔排布，且每对信号通孔组中的两个信号通孔组关于基底的顶面上的一条轴线对称分布，且分别分布于轴线两侧的第一区域和第二区域，使得在堆叠多片半导体芯片时，仅需进行简单的旋转操作，即可实现半导体芯片的面对面堆叠连接，确保了半导体器件中的同一种控制信号按照一种方向上传播，减少了形成半导体器件的过程中所需要的掩膜版数量，简化了多个半导体芯片依次堆叠的操作，降低了半导体器件的制造难度，且有助于提高半导体器件的良率。

以上仅是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本公开原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权利要求书

1. 一种半导体芯片，包括：
基底，所述基底包括顶面、以及与所述顶面相对的底面；
多对相互独立的信号通孔组，各所述信号通孔组在所述基底中间隔排布，且每对所述信号通孔组中的两个所述信号通孔组关于所述基底的顶面上的一条轴线对称分布，且分别分布于所述轴线两侧的第一区域和第二区域，所述轴线平行于第一方向或第二方向，每个所述信号通孔组包括以多边形形状排布的多个信号通孔，每个所述信号通孔组中任意两个所述信号通孔电性隔离，每个所述信号通孔沿第三方向贯穿所述基底，其中，所述第一方向和所述第二方向相互垂直且均平行于所述顶面，所述第三方向为垂直于所述基底的顶面的方向。
2. 根据权利要求1所述的半导体芯片，还包括：
多个顶层金属互连结构，多个所述顶层金属互连结构均位于所述基底的顶面，且多个所述顶层金属互连结构与多个所述信号通孔组一一对应电连接，每个所述顶层金属互连结构包括与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接的多条导电通路。
3. 根据权利要求2所述的半导体芯片，其中，所述顶层金属互连结构包括：
第一导电层，位于所述基底的顶面上，所述第一导电层包括多个间隔排布的第一导电元件，多个所述第一导电元件以所述多边形形状排布，且多个所述第一导电元件与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接；
第二导电层，位于所述第一导电层上，所述第二导电层包括间隔排布、且与多个所述第一导电元件一一对应的多个第二导电元件，多个所述第二导电元件以所述多边形形状排布，且每个所述第二导电元件和与其对应的所述第一导电元件部分重叠设置；
多个连接元件，多个所述连接元件分别与多个所述第一导电元件和多个所述第二导电元件一一对应，每个所述连接元件用于电连接与其对应的所述第一导电元件和所述第二导电元件，构成所述导电通路。
4. 根据权利要求3所述的半导体芯片，其中，所述第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部，所述第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部；
多个所述第一导电元件的所述第一端部与多个所述信号通孔一一对应电连接；
对于相互对应的所述第一导电元件和所述第二导电元件，所述连接元件的一端电连接所述第二导电元件的所述第三端部、所述连接元件的另一端电连接所述第一导电元件的所述第二端部。
5. 根据权利要求3所述的半导体芯片，还包括：
多个内部电路，与多个所述顶层金属互连结构一一对应，每个所述内部电路和与其对应的所述顶层金属互连结构中的一条所述导电通路电连接。
6. 根据权利要求5所述的半导体芯片，还包括：
多条引出线，与多个所述内部电路一一对应，每条所述引出线的一端电连接一个所述内部电路、另一端仅与所述顶层金属互连结构中的一个所述第一导电元件电连接。
7. 根据权利要求1所述的半导体芯片，其中，每个所述信号通孔组包括四个所述信号通孔，且四个所述信号通孔以正方形形状或者菱形形状排布。
8. 一种半导体器件，包括：
基板；
堆叠结构，位于所述基板上，包括沿所述第三方向依次堆叠、且电连接的N个单元结构，每个所述单元结构包括四个如权利要求1所述的半导体芯片，其中，N为正整数；
所述单元结构中的四个所述半导体芯片沿第三方向依次堆叠，位于最底层的第一半导体芯片与位于其上的第二半导体芯片以面对面的方式堆叠、所述第二半导体芯片与位于其上的第三半导体芯片以背对背的方式堆叠、所述第三半导体芯片与位于其上的第四半导体芯片以面对面的方式堆叠；
所述堆叠结构中任意相邻的两个所述半导体芯片的所述轴线对准，且其中一个所述半导体芯片的所述第一区域与另一个所述半导体芯片的所述第二区域对准；
其中，面对面是指相邻两个半导体芯片的顶面相对，背对背是指相邻两个半导体芯片的底面相对。
9. 根据权利要求8所述的半导体器件，还包括：

多对信号传输链路组，多对信号传输链路组分别与每个所述半导体芯片中的多对信号通孔组一一对应，所述信号传输链路组包括多条信号传输链路，所述信号传输链路组中的多条所述信号传输链路相互独立、且均沿所述第三方向呈螺旋状延伸，每个所述信号传输链路组中的多条所述信号传输链路分别与每个所述半导体芯片中对应的所述信号通孔组中的多个所述信号通孔一一对应，且每条所述信号传输链路包括每个所述半导体芯片中一个对应的所述信号通孔。

10. 根据权利要求 9 所述的半导体器件，还包括：
多对键合柱组，所述键合柱组仅位于以面对面的方式堆叠的所述半导体芯片之间，并且分别与以面对面的方式堆叠的两个所述半导体芯片的多对所述信号通孔组一一对应，用于实现以面对面方式堆叠的所述半导体芯片之间的信号传递，每个所述键合柱组中包括多个所述键合柱，每个所述键合柱分别与以面对面的方式堆叠的两个所述半导体芯片的多个所述信号通孔一一对应；多对信号传输链路组与以面对面的方式堆叠的每两个所述半导体芯片之间的所述多对键合柱组一一对应，每个所述信号传输链路组中的多条所述信号传输链路与所述多对键合柱组中的多个所述键合柱一一对应，每条所述信号传输链路包括以面对面方式堆叠的两个所述半导体芯片之间一个对应的所述键合柱。
11. 根据权利要求 9 所述的半导体器件，其中，对于以背对背的方式堆叠的两个所述半导体芯片，其中一个所述半导体芯片中的多个所述信号通孔与另一个所述半导体芯片中的多个所述信号通孔一一对应且直接接触电连接。
12. 根据权利要求 10 所述的半导体器件，其中，每个所述半导体芯片均包括多个顶层金属互连结构，多个所述顶层金属互连结构均位于所述基底的顶面，且多个所述顶层金属互连结构与多个所述信号通孔组一一对应电连接，每个所述顶层金属互连结构包括与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接的多条导电通路，每条所述信号传输链路包括每个所述半导体芯片中一个对应的所述信号通孔及一条对应的所述导电通路；
所述顶层金属互连结构包括第一导电层、第二导电层和多个连接元件，所述第一导电层位于所述基底的顶面上，所述第一导电层包括多个间隔排布的第一导电元件，多个所述第一导电元件以所述多边形形状排布，且多个所述第一导电元件与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接；所述第二导电层位于所述第一导电层上，所述第二导电层包括间隔排布、且与多个所述第一导电元件一一对应的多个第二导电元件，多个所述第二导电元件以所述多边形形状排布，且每个所述第二导电元件和与其对应的所述第一导电元件部分重叠设置；多个所述连接元件分别与多个所述第一导电元件和多个所述第二导电元件一一对应，每个所述连接元件用于电连接与其对应的所述第一导电元件和所述第二导电元件，构成所述导电通路；
所述第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部，所述第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部；多个所述第一导电元件的所述第一端部与多个所述信号通孔一一对应电连接；对于相互对应的所述第一导电元件和所述第二导电元件，所述连接元件的一端电连接所述第二导电元件的所述第三端部、所述连接元件的另一端电连接所述第一导电元件的所述第二端部。
13. 根据权利要求 12 所述的半导体器件，其中，对于以所述面对面的方式堆叠的两个所述半导体芯片，多对所述键合柱组分别与两个所述半导体芯片的多个顶层金属互连结构一一对应，每个所述键合柱的一端电连接一个所述半导体芯片中对应的一个所述第二导电元件的所述第四端部、所述键合柱的另一端电连接另一个所述半导体芯片中对应的一个所述第二导电元件的所述第四端部。
14. 根据权利要求 12 所述的半导体器件，其中，每个所述半导体芯片还包括多个内部电路，多个所述内部电路与多个所述顶层金属互连结构一一对应，每个所述内部电路和与其对应的所述顶层金属互连结构中的一条导电通路电连接；
多条引出线，与多个所述内部电路一一对应，每条所述引出线的一端电连接一个所述内部电路、另一端仅与对应的所述顶层金属互连结构中的一个所述第一导电元件电连接。
15. 根据权利要求 14 所述的半导体器件，其中，对于每个所述单元结构，一条所述信号传输链路仅电连接一个所述半导体芯片中的一条所述引出线。
16. 根据权利要求 15 所述的半导体器件，还包括：

接口电路，位于所述基板内，且电连接多对所述信号传输链路组，所述接口电路用于向所述信号传输链路组传输与所述信号传输链路组内的多条所述信号传输链路一一对应的多个控制信号，且每个所述控制信号仅从每个所述单元结构中的一个所述半导体芯片中一条所述引出线引出；

对于一个所述半导体芯片中的每对所述信号通孔组，所述接口电路通过一条对应的所述信号传输链路向与一个所述信号通孔组的一个所述信号通孔电连接的所述引出线输出第一控制信号、并通过另一条对应的所述信号传输链路向与另一个所述信号通孔组中的一个所述信号通孔电连接的所述引出线传输不同于所述第一控制信号的第二控制信号。

17. 一种半导体器件的形成方法，包括如下步骤：

提供基板；

形成半导体芯片，所述半导体芯片包括基底和多对相互独立的信号通孔组，所述基底包括顶面、以及与所述顶面相对的底面；各所述信号通孔组在基底中间隔排布，且每对所述信号通孔组中的两个所述信号通孔组关于所述基底的顶面上的一条轴线对称分布，且分别分布于所述轴线两侧的第一区域和第二区域，所述轴线平行于第一方向或第二方向，每个所述信号通孔组包括以多边形形状排布的多个信号通孔，每个所述信号通孔组中任意两个所述信号通孔电性隔离，每个所述信号通孔沿第三方向贯穿所述基底，其中，所述第一方向和所述第二方向相互垂直且均平行于所述顶面，所述第三方向为垂直于所述基底的顶面的方向；

基于所述多个半导体芯片于所述基板上形成堆叠结构，所述堆叠结构包括沿所述第三方向依次堆叠且电连接的N个单元结构，每个所述单元结构包括四个所述半导体芯片，所述单元结构中的四个所述半导体芯片沿第三方向依次堆叠，位于最底层的第一半导体芯片与位于其上的第二半导体芯片以面对面的方式堆叠、所述第二位半导体芯片与位于其上的第三半导体芯片以背对背的方式堆叠、所述第三半导体芯片与位于其上的第四半导体芯片以面对面的方式堆叠，其中，N为正整数；

所述堆叠结构中任意相邻的两个所述半导体芯片的所述轴线对准，且其中一个所述半导体芯片的所述第一区域与另一个所述半导体芯片的所述第二区域对准；

其中，面对面是指相邻两个半导体芯片的顶面相对，背对背是指相邻两个半导体芯片的底面相对。

18. 根据权利要求17所述的半导体器件的形成方法，其中，形成半导体芯片的具体步骤包括：

形成所述基底，并于所述基底中定义位于所述轴线两侧的所述第一区域和所述第二区域；

于所述第一区域和所述第二区域形成沿所述第三方向贯穿所述基底的所述信号通孔组；

形成多个顶层金属互连结构于所述基底的顶面，且多个所述顶层金属互连结构与多个所述信号通孔组一一对应电连接，每个所述顶层金属互连结构包括与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接的多条导电通路。

19. 根据权利要求18所述的半导体器件的形成方法，其中，形成顶层金属互连结构于所述基底的顶面的具体步骤包括：

形成第一导电层于所述基底的顶面上，所述第一导电层包括多个间隔排布的第一导电元件，多个所述第一导电元件以所述多边形形状排布，所述第一导电元件包括沿其延伸方向相对分布的第一端部和第二端部，且多个所述第一导电元件的所述第一端部与对应的所述信号通孔组中的多个所述信号通孔一一对应电连接；

形成第二导电层于所述第一导电层上方，所述第二导电层包括间隔排布、且与多个所述第一导电元件一一对应的多个第二导电元件，多个所述第二导电元件以所述多边形形状排布，所述第二导电元件包括沿其延伸方向相对分布的第三端部和第四端部，且每个所述第二导电元件和与其对应的所述第一导电元件部分重叠设置；

形成连接元件于所述第一导电层和所述第二导电层之间，对于相互对应的所述第一导电元件和所述第二导电元件，所述连接元件的一端电连接所述第二导电元件的所述第三端部、所述连接元件的另一端电连接所述第一导电元件的所述第二端部，形成所述导电通路。

20. 根据权利要求19所述的半导体器件的形成方法，其中，基于所述多个半导体芯片于所述基板上形成堆叠结构的具体步骤包括：

提供四个所述半导体芯片；

于所述基板上放置第一半导体芯片；

于所述第一半导体芯片上方以面对面的方式堆叠第二半导体芯片；

于所述第二半导体芯片上方以背对背的方式堆叠第三半导体芯片；

于所述第三半导体芯片上方以面对面的方式堆叠第四半导体芯片，形成包括所述第一半导体芯片、所述第二半导体芯片、所述第三半导体芯片和所述第四半导体芯片的所述单元结构；

在形成的所述单元结构上重复执行以上步骤，依次形成沿所述第三方向堆叠的 N 个所述单元结构；其中，所述堆叠结构中任意相邻的两个所述半导体芯片的所述轴线对准，且其中一个所述半导体芯片的所述第一区域与另一个所述半导体芯片的所述第二区域对准。

21. 根据权利要求 20 所述的半导体器件的形成方法，其中，于第一半导体芯片上方以面对面的方式堆叠第二半导体芯片的具体步骤包括：

形成键合柱组于所述第一半导体芯片的所述顶层金属互连结构上，所述键合柱组中包括多个所述键合柱，所述键合柱的底端与所述第一半导体芯片中的一个所述第二导电元件的所述第四端部键合连接；

所述键合柱的顶端与所述第二半导体芯片的所述顶层金属互连结构键合连接，所述键合柱的顶端与所述第二半导体芯片的一个所述第二导电元件的所述第四端部键合连接。

22. 根据权利要求 20 所述的半导体器件的形成方法，其中，于所述第二半导体芯片上方以背对背的方式堆叠第三半导体芯片的具体步骤包括：

将位于所述第二半导体芯片中的多个所述信号通孔与位于所述第三半导体芯片中对应的多个所述信号通孔直接接触或直接电连接。

23. 根据权利要求 22 所述的半导体器件的形成方法，其中，所述半导体芯片还包括多个内部电路，多个所述内部电路与多个所述顶层金属互连结构一一对应，所述半导体器件的形成方法还包括：

于所述内部电路和对应的所述顶层金属互连结构之间形成引出线，使得每个所述内部电路和与其对应的所述顶层金属互连结构中的一条导电通路电连接。

24. 根据权利要求 23 所述的半导体器件的形成方法，还包括如下步骤：

形成接口电路于所述基板内；

电连接所述堆叠结构中任意相邻的两个所述半导体芯片，形成与每个半导体芯片中的多对信号通孔组一一对应的多对信号传输链路组，每个所述信号传输链路组包括多条信号传输链路，每条所述信号传输链路包括每个所述半导体芯片中一个对应的所述信号通孔、每个所述半导体芯片中一条对应的所述导电通路和以面对面方式堆叠的两个半导体芯片之间一个对应的所述键合柱；

电连接所述接口电路与所述堆叠结构中位于最底层的所述半导体芯片中的多对信号通孔组，将所述接口电路电连接至多对所述信号传输链路组，用于向所述信号传输链路组传输与所述信号传输链路组内的多条所述信号传输链路一一对应的多个控制信号，且每个所述控制信号仅通过每个所述单元结构中的一个所述半导体芯片中的一条所述引出线引出至一个对应的所述内部电路；对于一个所述半导体芯片中的每对所述信号通孔组，所述接口电路还用于通过一条对应的所述信号传输链路向与一个所述信号通孔组的一个所述信号通孔电连接的所述引出线输出第一控制信号、并通过另一条对应的所述信号传输链路向与另一个所述信号通孔组中的一个所述信号通孔电连接的所述引出线传输不同于所述第一控制信号的第二控制信号。