

半导体封装组件及制备方法

相关申请的交叉引用

本公开基于申请号为 202210806540.3、申请日为 2022 年 07 月 08 日、发明名称为“半导体封装组件及制备方法”的中国专利申请提出,并要求该中国专利申请的优先权,该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域,尤其涉及一种半导体封装组件及制备方法。

10 背景技术

在所有部门,行业和地区,电子行业都在不断要求提供更轻、更快、更小、多功能、更可靠和更具成本效益的产品。为了满足众多不同消费者的这些不断增长的需求,需要集成更多的电路来提供所需的功能。在几乎所有应用中,对减小尺寸,提高性能和改善集成电路功能的需求不断增长。

15 发明内容

有鉴于此,本公开实施例提供一种半导体封装组件及制备方法。
根据本公开实施例的第一方面,提供了一种半导体封装组件,包括:
基板,所述基板具有第一面;
第一芯片结构,所述第一芯片结构位于所述基板上,且与所述基板的第一面之间电连接;

20 中介层,所述中介层具有第一互连面,所述第一互连面具有第一互连区域和第二互连区域,所述第一互连区域上形成有第一焊球,所述第二互连区域上形成有第一焊垫,所述中介层通过所述第一焊垫与所述基板的第一面之间电连接;

25 塑封料,所述塑封料密封所述第一芯片结构、所述中介层与所述基板的第一面,其中,所述第一焊球具有暴露于所述塑封料的表面,所述第一焊球暴露的表面与所述中介层的第一互连面之间具有预设高度。

在一些实施例中,所述第一芯片结构包括沿垂直于所述基板方向依次堆叠的多个第一半导体芯片;

30 所述中介层位于所述第一芯片结构上。

在一些实施例中，还包括：

第一导电线，每个所述第一半导体芯片通过所述第一导电线与所述基板之间电连接；

第二导电线，所述第二互连区域通过所述第二导电线与所述基板之间电连接。

在一些实施例中，所述第一互连区域上形成有多个第二焊垫，其中，所述第一焊垫的数量大于所述第二焊垫的数量，所述第一焊垫的面积小于所述第二焊垫的面积。

在一些实施例中，所述第一芯片结构包括沿平行于所述基板方向依次排布的多个第一半导体芯片；

所述第一芯片结构位于所述中介层上。

在一些实施例中，还包括：

第一导电块，位于所述第一半导体芯片与所述中介层之间，每个所述第一半导体芯片通过所述第一导电块与所述基板之间电连接；

第二导电块，位于所述中介层与所述基板之间，所述中介层通过所述第二导电块与所述基板之间电连接。

在一些实施例中，还包括：

第二封装结构，所述第二封装结构包括第二焊球，所述第二封装结构通过所述第二焊球与所述第一焊球电连接。

在一些实施例中，所述第一焊球的体积大于所述第二焊球的体积。

在一些实施例中，在垂直于所述基板的方向上，所述塑封料具有第一厚度；

所述第二封装结构包括第二塑封料，在垂直于所述基板的方向上，所述第二塑封料具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。

根据本公开实施例的第二方面，提供了一种半导体封装组件的制备方法，包括：

提供基板，所述基板具有第一面；

在所述基板上形成第一芯片结构，所述第一芯片结构与所述基板的第一面之间电连接；

形成中介层；所述中介层具有第一互连面，所述第一互连面具有第一互连区域和第二互连区域，所述第一互连区域上形成有第一焊球，所述第二互连区域上形成有第一焊垫，所述中介层通过所述第一焊垫与所述基板的第一面之间电连接；

形成塑封料，所述塑封料密封所述第一芯片结构、所述中介层与所述基板的第一面，其中，所述第一焊球具有暴露于所述塑封料的表面，所述第一焊球暴露的表面与所述中介层的第一互连面之间具有预设高度。

在一些实施例中，所述形成塑封料，包括：

形成第一封装模具，所述第一封装模具的表面平行于所述基板的表面，所述第一封装模具位于所述第一芯片结构和所述中介层的上方，且与所述第一芯片结构和所述中介层之间存在一定距离；

以所述第一封装模具为掩膜，形成塑封料预层；

5 去除部分塑封料预层，形成塑封料，并暴露所述第一焊球的表面。

在一些实施例中，所述形成第一芯片结构，包括：沿垂直于所述基板方向，形成依次堆叠的多个第一半导体芯片；

在所述第一芯片结构上形成中介层。

在一些实施例中，还包括：

10 在形成中介层后，

形成第一导电线；每个所述第一半导体芯片通过所述第一导电线与所述基板之间电连接；

形成第二导电线；所述第二互连区域通过所述第二导电线与所述基板之间电连接。

15 在一些实施例中，还包括：

在所述第一互连区域上形成多个第二焊垫，其中，所述第一焊垫的数量大于所述第二焊垫的数量，所述第一焊垫的面积小于所述第二焊垫的面积。

在一些实施例中，在所述中介层上形成第一芯片结构；

20 所述形成第一芯片结构，包括：沿平行于所述基板方向，形成依次排列的多个第一半导体芯片。

在一些实施例中，还包括：

在形成基板后，在所述基板上形成第二导电块，在所述第二导电块上形成中介层；所述中介层通过所述第二导电块与所述基板之间电连接；

25 在形成中介层后，在所述中介层上形成第一导电块，在所述第一导电块上形成第一芯片结构；每个所述第一半导体芯片通过所述第一导电块与所述基板之间电连接。

在一些实施例中，还包括：

30 形成第二封装结构，所述第二封装结构包括第二焊球，所述第二封装结构通过所述第二焊球与所述第一焊球电连接。

在一些实施例中，所述第一焊球的体积大于所述第二焊球的体积。

在一些实施例中，在垂直于所述基板的方向上，所述塑封料具有第一厚度；

35 所述第二封装结构包括第二塑封料，在垂直于所述基板的方向上，所述第二塑封料具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。

本公开实施例中，通过设置中介层，后续第二封装结构可以通过中介层上的第一焊球与第一芯片结构以及基板连接，如此，可实现不同类型或

不同规格的结构之间的互连，使得不同结构之间的组合更加灵活。同时因为第一芯片结构和第二封装结构是独立封装的，因此也更加容易进行测试和失效分析。并且第一焊球的顶表面与第一互连面之间存在预设高度，可以保证整个封装结构具有相对较薄的整体厚度的基础上，还与后续的第二封装结构之间具有相对较好的结合力。

附图说明

为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体封装组件的结构示意图；

图 2 为本公开实施例提供的基板的结构示意图；

图 3 为本公开另一实施例提供的半导体封装组件的结构示意图；

图 4 为本公开实施例提供的半导体封装组件的制备方法的流程示意图；

图 5a 至图 5h 为本公开实施例提供的半导体封装组件在制备过程中的器件结构示意图；

图 6a 至图 6f 为本公开另一实施例提供的半导体封装组件在制备过程中的器件结构示意图。

附图标记说明：

1-圆环；2-载带；

10-基板；101-第一面；102-第二面；11-基板衬底；12-基板上绝缘介质层；13-基板下绝缘介质层；14-基板上连接焊盘；15-基板下连接焊盘；16-基板连接通孔；17-基板连接凸块；

20-第一芯片结构；21-第一半导体芯片；211-第一连接端；201-第一导电块；

30-中介层；301-第一互连面；31-第一互连区域；32-第二互连区域；311-第二焊垫；312-第一焊球；312'-初始第一焊球；321-第一焊垫；33-中介衬底；34-中介上绝缘介质层；35-中介下绝缘介质层；322-第二导电块；

40-塑封料；

51-第一导电线；52-第二导电线；

60-粘附膜；

70-第二封装结构；71-第二焊球；72-第二基板；73-第二塑封料；

91-第一封装模具；92-第二封装模具。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附

图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

5 在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

10 在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，
15 当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。
20 因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下
30 两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列

项目的任何及所有组合。

为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

5 基于此，本公开实施例提供了一种半导体封装组件。图 1 为本公开实施例提供的半导体封装组件的结构示意图。

参见图 1，所述半导体封装组件，包括：

基板 10，所述基板具有第一面 101；

10 第一芯片结构 20，所述第一芯片结构 20 位于所述基板 10 上，且与所述基板 10 的第一面 101 之间电连接；

中介层 30，所述中介层 30 具有第一互连面 301，所述第一互连面 301 具有第一互连区域 31 和第二互连区域 32，所述第一互连区域 31 上形成有第一焊球 312，所述第二互连区域 32 上形成有第一焊垫 321，所述中介层 30 通过所述第一焊垫 321 与所述基板 10 的第一面 101 之间电连接；

15 塑封料 40，所述塑封料 40 密封所述第一芯片结构 20、所述中介层 30 与所述基板 10 的第一面 101，其中，所述第一焊球 312 具有暴露于所述塑封料 40 的表面，所述第一焊球 312 暴露的表面与所述中介层 30 的第一互连面 301 之间具有预设高度 h。

本公开实施例中，通过设置中介层，后续第二封装结构可以通过中介层上的第一焊球与第一芯片结构以及基板连接，在本公开实施例中，中介层可由包含非有机材料，例如硅中介层或任何一种或多种有机材料组成的结构。通过中介层的设置，可实现不同类型或不同规格的结构之间的互连，使得不同结构之间的组合更加灵活。同时因为第一芯片结构和第二封装结构是独立封装的，因此也更加容易进行测试和失效分析。

25 在本公开的一个实施例中，第一焊球的顶表面与第一互连面之间存在预设高度 h，预设高度 h 不小于中介层厚度的 1/5-1/2，在一些实施例中，如果中介层的厚度为 100-200 μm ，那么预设高度 h 为 50-120 μm ，通过这样的设置，可以有效的抑制因为塑封料与中介层之间热膨胀系数不匹配导致的应力问题，可以保证整个封装结构具有相对较薄的整体厚度的基础上，

30 还与后续的第二封装结构之间具有相对较好的结合力。

图 2 为本公开实施例提供的基板的结构示意图。

在一些实施例中，所述基板 10 可以是印刷电路板（PCB）或再分布基板。

参见图 2，所述基板 10 包括基板衬底 11 和分别设置在所述基板衬底 11 的上表面和下表面上的基板上绝缘介质层 12 和基板下绝缘介质层 13。

所述基板衬底 11 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On Insulator)衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例

如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等), 还可以为叠层结构, 例如 Si/SiGe 等, 还可以其他外延结构, 例如 SGOI(绝缘体上锗硅)等。

5 所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 可以为阻焊层, 例如所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 的材料可以为绿漆。

在本公开实施例中, 所述基板 10 的第一面 101 即为所述基板上绝缘介质层 12 的上表面。所述基板 10 还包括与所述第一面 101 相背离的第二面 102, 所述第二面 102 为所述基板下绝缘介质层 13 的下表面。

10 所述基板 10 还包括位于所述基板上绝缘介质层 12 内的基板上连接焊盘 14, 位于所述基板下绝缘介质层 13 内的基板下连接焊盘 15, 以及贯穿所述基板衬底 11 并将所述基板上连接焊盘 14 和所述基板下连接焊盘 15 彼此连接的基板连接通孔 16。

15 所述基板上连接焊盘 14 和所述基板下连接焊盘 15 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。所述基板连接通孔 16 可以为穿硅通孔(TSV)。

20 所述基板 10 还包括基板连接凸块 17, 所述基板连接凸块 17 位于所述基板 10 的第二面 102 上。所述基板连接凸块 17 可将半导体封装组件电连接到外部装置上, 可以从外部装置接收用于操作第一芯片结构的控制信号、功率信号和接地信号中的至少一个, 或者可以从外部装置接收将要被存储在第一芯片结构内的数据信号, 也可将第一芯片结构内的数据提供给外部装置。

25 所述基板连接凸块 17 包括导电材料。在本公开提供的图 2 所示的实施例中, 所述基板连接凸块 17 为焊球, 可以理解的是, 本公开实施例中提供的基板连接凸块的形状仅作为本公开实施例中的一种下位的、可行的具体实施方式, 并不构成对本公开的限制, 所述基板连接凸块也可为其他形状结构。基板连接凸块的数量、间隔和位置不限于任何特定布置, 可以进行各种修改。

30 继续参见图 2, 所述基板 10 还包括分别位于所述基板 10 相对的两侧的第一信号传输区域 110 和第二信号传输区域 120。所述第一信号传输区域 110 与第一芯片结构 20 电连接, 所述第二信号传输区域 120 与所述中介层 30 电连接,

35 所述基板 10 还包括位于所述第一信号传输区域 110 和第二信号传输区域 120 之间的第三信号传输区域 130, 所述第一芯片结构 20 位于所述第三信号传输区域 130 上。

在本公开实施例中, 所述第一芯片结构与所述中介层的位置关系存在两种情况, 一种是如图 1 所示, 所述中介层 30 位于所述第一芯片结构 20 的上方, 另一种是如图 3 所示, 所述第一芯片结构 20 位于所述中介层 30

的上方。

在如图 1 所示的实施例中，所述第一芯片结构 20 包括沿垂直于所述基板 10 方向依次堆叠的多个第一半导体芯片 21；所述中介层 30 位于所述第一芯片结构 20 上。

5 在此实施例中，采用向上依次堆叠多个第一半导体芯片的方式，可以节省半导体封装组件的水平面积。

所述第一半导体芯片可以为 DRAM 芯片或其他类型的半导体芯片。

继续参见图 1，所述半导体封装组件还包括：

10 第一导电线 51，每个所述第一半导体芯片 21 通过所述第一导电线 51 与所述基板 10 之间电连接；

第二导电线 52，所述第二互连区域 32 通过所述第二导电线 52 与所述基板 10 之间电连接。

具体地，所述第一半导体芯片 21 具有第一连接端 211，所述第一连接端 211 与所述第一信号传输区域 110 位于同一侧，从所述第一连接端 211 上引出第一导电线 51 到所述第一传输区域 110 上，以实现第一半导体芯片 21 与基板 10 的电连接。

所述第二互连区域 32 上形成有第一焊垫 321，从所述第一焊垫 321 上引出第二导电线 52 到所述第二传输区域 120 上，以实现中介层 30 与基板 10 之间的电连接。

20 本公开实施例中，所述第一芯片结构与所述基板之间采用引线键合方式进行电连接的方式包括悬垂（Overhang）方式和导线上膜（Film on wire，FOW）方式。

25 图 1 所示的实施例中，采用悬垂方式进行引线键合。相邻两个第一半导体芯片 21 之间通过粘附膜 60 连接，所述粘附膜 60 不覆盖其下方一层的第一半导体芯片 21 上的第一连接端 211 以及第一导电线 51，所述粘附膜 60 与其下方一层的第一半导体芯片 21 错位设置。

30 在另一些实施例中，采用导线上膜方式进行引线键合（未图示）。多个所述第一半导体芯片沿垂直于所述基板的方向对齐设置，相邻两个第一半导体芯片之间的粘附膜覆盖其下方一层的第一半导体芯片上的第一连接端以及第一导电线。

可以理解的是，本公开实施例中利用引线的方式进行电连接仅作为本公开实施例中的一种下位的、可行的具体实施方式，并不构成对本公开的限制，也可以使用其他方式进行电连接，例如混合键合或者凸块互连。

35 继续参见图 1，所述中介层 30 包括中介衬底 33 和分别设置在所述中介衬底 33 的上表面和下表面上的中介上绝缘介质层 34 和中介下绝缘介质层 35。

所述中介衬底 33 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On

Insulator)衬底等,还可以为包括其他元素半导体或化合物半导体的衬底,例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等),还可以为叠层结构,例如 Si/SiGe 等,还可以其他外延结构,例如 SGOI(绝缘体上锗硅)等。

5 所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 可以为阻焊层,例如所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 的材料可以为绿漆。

所述中介层 30 的第一互连区域 31 上形成有多个第二焊垫 311,其中,所述第一焊垫 321 的数量大于所述第二焊垫 311 的数量,所述第一焊垫 321 10 的面积小于所述第二焊垫 311 的面积。

因为第二焊垫后续需要与第二封装结构进行匹配互连,因此布局设计相对比较固定,而第一焊垫承载的是第二封装结构与基板的互连,因此布局设计更为灵活,将第一焊垫设计成数量较多,面积较小,可以提高信号传输效率。

15 所述第一焊垫 321 和所述第二焊垫 311 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。

在如图 3 所示的实施例中,所述第一芯片结构 20 包括沿平行于所述基板 10 方向依次排布的多个第一半导体芯片 21;所述第一芯片结构 20 位于所述中介层 30 上。

20 在此实施例中,采用在水平方向依次设置多个第一半导体芯片的方式,可以降低半导体封装组件的封装高度。

继续参见图 3,所述半导体封装组件还包括:第一导电块 201,位于所述第一半导体芯片 21 与所述中介层 30 之间,每个所述第一半导体芯片 21 通过所述第一导电块 201 与所述基板 10 之间电连接;第二导电块 322,位于所述中介层 30 与所述基板 10 之间,所述中介层 30 通过所述第二导电块 25 322 与所述基板 10 之间电连接。

本实施例中,第一半导体芯片通过第一导电块与中介层互连,中介层与基板互连,因此第一半导体芯片通过第一导电块以及中介层与基板连接。

30 在一实施例中,所述第一焊垫 321 的面积大于所述第二焊垫 311 的面积。

在图 3 所示的实施例中,由于中介层与基板直接互连,因此第二互连区域不再主要承载其他封装结构与基板的通信,因此第一焊垫可以采用大面积的金属,增加散热面积,提高散热效率。

在一实施例中,参见图 1,所述半导体封装组件还包括:第二封装结构 70,所述第二封装结构 70 包括第二焊球 71,所述第二封装结构 70 通过所述第二焊球 71 与所述第一焊球 312 电连接。

在一实施例中,所述第一焊球 312 的体积大于所述第二焊球 71 的体积。通过这样的配置,使得第一焊球 312 与第二焊球 71 在后续回流焊接过程中

防止焊料的横向流动，降低相邻焊球之间短接的风险，提高第一焊球与第二焊球的接合强度。

在垂直于所述基板 10 的方向上，所述塑封料 40 具有第一厚度；所述第二封装结构 70 包括第二塑封料 73，在垂直于所述基板 10 的方向上，所述第二塑封料 73 具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。由于塑封料 40 的厚度相对较大，可以充分支撑第二封装结构，防止第一封装结构朝向第二封装结构发生翘曲。

所述第二封装结构 70 还包括第二基板 72，所述第二基板 72 的结构与所述基板 10 的结构可以相同或不同，这里不再赘述。

所述第二封装结构包括第二芯片结构（未图示），所述第二芯片结构可以为通用闪存存储芯片（Universal File Store，UFS）。

本公开实施例提供的半导体封装组件可应用于叠层封装（Package on Package，PoP）结构的多芯片封装（UFS Multi Chip Package，UMCP）。

在本公开实施例中，所述塑封料的顶表面与所述第一焊球的顶表面共面，因此，可以在形成塑封料时，使用正常的封装模具进行封装，无需形成异形封装模具，异形封装模具制作成本高，工艺更为复杂，如此，本公开实施例提供的半导体封装组件能减少成本，同时形成工艺也更为简单。

本公开实施例还提供了一种半导体封装组件的制备方法，具体请参见图 4，如图所示，所述方法包括以下步骤：

步骤 401：提供基板，所述基板具有第一面；

步骤 402：在所述基板上形成第一芯片结构，所述第一芯片结构与所述基板的第一面之间电连接；

步骤 403：形成中介层；所述中介层具有第一互连面，所述第一互连面具有第一互连区域和第二互连区域，所述第一互连区域上形成有第一焊球，所述第二互连区域上形成有第一焊垫，所述中介层通过所述第一焊垫与所述基板的第一面之间电连接；

步骤 404：形成塑封料，所述塑封料密封所述第一芯片结构、所述中介层与所述基板的第一面，其中，所述第一焊球具有暴露于所述塑封料的表面，所述第一焊球暴露的表面与所述中介层的第一互连面之间具有预设高度。

下面结合具体实施例对本公开实施例提供的半导体封装组件的制备方法再作进一步详细的说明。

图 5a 至图 5h 为本公开实施例提供的半导体封装组件在制备过程中的器件结构示意图，图 6a 至图 6e 为本公开另一实施例提供的半导体封装组件在制备过程中的器件结构示意图。需要解释的是，图 5a 至图 5h 所示的半导体封装组件的制备方法中，先形成第一芯片结构，再形成中介层，而图 6a 至图 6e 所示的半导体封装组件的制备方法中，先形成中介层，再形成第一芯片结构。

先参见图 5a 至图 5h, 对所述半导体封装组件的制备方法的其中一种实施例进行详细的说明。

首先, 参见图 5a, 执行步骤 401, 提供基板 10, 所述基板 10 具有第一面 101。

5 在一些实施例中, 所述基板 10 可以是印刷电路板 (PCB) 或再分布基板。

所述基板 10 包括基板衬底 11 和分别设置在所述基板衬底 11 的上表面和下表面上的基板上绝缘介质层 12 和基板下绝缘介质层 13。

10 所述基板衬底 11 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅, Silicon On Insulator)衬底或 GOI(绝缘体上锗, Germanium On Insulator)衬底等, 还可以为包括其他元素半导体或化合物半导体的衬底, 例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等), 还可以为叠层结构, 例如 Si/SiGe 等, 还可以其他外延结构, 例如 SGOI(绝缘体上锗硅)等。

15 所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 可以为阻焊层, 例如所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 的材料可以为绿漆。

20 在本公开实施例中, 所述基板 10 的第一面 101 即为所述基板上绝缘介质层 12 的上表面。所述基板 10 还包括与所述第一面 101 相背离的第二面 102, 所述第二面 102 为所述基板下绝缘介质层 13 的下表面。

所述基板 10 还包括位于所述基板上绝缘介质层 12 内的基板上连接焊盘 14, 位于所述基板下绝缘介质层 13 内的基板下连接焊盘 15, 以及贯穿所述基板衬底 11 并将所述基板上连接焊盘 14 和所述基板下连接焊盘 15 彼此连接的基板连接通孔 16。

25 所述基板上连接焊盘 14 和所述基板下连接焊盘 15 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。所述基板连接通孔 16 可以为穿硅通孔 (TSV)。

30 所述基板 10 还包括分别位于所述基板 10 相对的两侧的第一信号传输区域 110 和第二信号传输区域 120。所述第一信号传输区域 110 与后续形成的第一芯片结构电连接, 所述第二信号传输区域 120 与后续形成的中介层电连接。

在一些实施例中, 第一信号传输区域 110 与第二信号传输区域 120 不互连。

35 所述基板 10 还包括位于所述第一信号传输区域 110 和第二信号传输区域 120 之间的第三信号传输区域 130, 第一芯片结构位于所述第三信号传输区域 130 上。

在一些实施例中, 第一信号传输区域 110 与第三信号传输区域 130 互连, 第三信号传输区域 130 与第二信号传输区域 120 之间不互连。

接着,参见图 5b,执行步骤 402,在所述基板 10 上形成第一芯片结构 20,所述第一芯片结构 20 与所述基板 10 的第一面 101 之间电连接。

在一实施例中,所述形成第一芯片结构 20,包括:沿垂直于所述基板 10 方向,形成依次堆叠的多个第一半导体芯片 21。在此实施例中,采用向上依次堆叠多个第一半导体芯片的方式,可以节省半导体封装组件的水平面积。

具体地,先在所述基板 10 上形成粘附膜 60,然后在所述粘附膜 60 上形成第一芯片结构 20。相邻两个所述第一半导体芯片 21 之间通过粘附膜 60 连接。

接着,参见图 5c 至图 5d,执行步骤 403,形成中介层 30;所述中介层 30 具有第一互连面 301,所述第一互连面 301 具有第一互连区域 31 和第二互连区域 32,所述第一互连区域 31 上形成有第一焊球 312,所述第二互连区域 32 上形成有第一焊垫 321,所述中介层 30 通过所述第一焊垫 321 与所述基板 10 的第一面 101 之间电连接。

具体地,先参见图 5c,在圆环 1 上粘贴载带 2,然后在载带 2 上贴上粘附膜 60,然后将中介层粘贴在粘附膜 60 上,此时的中介层为整片的条状,对中介层进行切割,形成如图 8c 所示的一个一个的单元。

接着,参见图 5d,在所述第一芯片结构 20 上形成中介层 30。

具体地,将图 5c 中形成的单个中介层 30 贴在所述第一芯片结构 20 上。

在本公开的一个实施例中,如图 5d 所示,先在所述中介层 30 的第一互连区域 31 上形成初始第一焊球 312',后续经过刻蚀或研磨后形成第一焊球 312。所述初始第一焊球 312' 在垂直于中介层 30 的方向上具有初始高度。

所述中介层 30 包括中介衬底 33 和分别设置在所述中介衬底 33 的上表面和下表面上的中介上绝缘介质层 34 和中介下绝缘介质层 35。

所述中介衬底 33 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅, Silicon On Insulator)衬底或 GOI(绝缘体上锗, Germanium On Insulator)衬底等,还可以为包括其他元素半导体或化合物半导体的衬底,例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等),还可以为叠层结构,例如 Si/SiGe 等,还可以其他外延结构,例如 SGOI(绝缘体上锗硅)等。

所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 可以为阻焊层,例如所述中介上绝缘介质层 34 和所述中介下绝缘介质层 35 的材料可以为绿漆。

继续参见图 5d,所述方法还包括:在所述第一互连区域 31 上形成多个第二焊垫 311,其中,所述第一焊垫 321 的数量大于所述第二焊垫 311 的数量,所述第一焊垫 321 的面积小于所述第二焊垫 311 的面积。

因为第二焊垫后续需要与第二封装结构进行匹配互连,因此布局设计

相对比较固定，而第一焊垫承载的是第二封装结构与基板的互连，因此布局设计更为灵活，将第一焊垫设计成数量较多，面积较小，可以提高信号传输效率。

5 所述第一焊垫 321 和所述第二焊垫 311 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。

继续参见图 5d，所述方法还包括：在形成中介层 30 后，形成第一导电线 51；每个所述第一半导体芯片 21 通过所述第一导电线 51 与所述基板 10 之间电连接；形成第二导电线 52；所述第二互连区域 32 通过所述第二导电线 52 与所述基板 10 之间电连接。

10 具体地，在所述第一半导体芯片 21 上形成第一连接端 211，所述第一连接端 211 与所述第一信号传输区域 110 位于同一侧，从所述第一连接端 211 上引出第一导电线 51 到所述第一传输区域 110 上，以实现第一半导体芯片 21 与基板 10 的电连接。

15 所述第二互连区域 32 上形成有第一焊垫 321，从所述第一焊垫 321 上引出第二导电线 52 到所述第二传输区域 120 上，以实现中介层 30 与基板 10 之间的电连接。

接着，参见图 5e 至图 5g，执行步骤 404，形成塑封料 40，所述塑封料 40 密封所述第一芯片结构 20、所述中介层 30 与所述基板 10 的第一面 101，其中，所述第一焊球 312 具有暴露于所述塑封料 40 的表面，所述第一焊球 312 暴露的表面与所述中介层 30 的第一互连面 301 之间具有预设高度 h。

20 所述形成塑封料 40，包括：

形成第一封装模具 91，所述第一封装模具 91 的表面平行于所述基板 10 的表面，所述第一封装模具 91 位于所述第一芯片结构 20 和所述中介层 30 的上方，且与所述第一芯片结构 20 和所述中介层 30 之间存在一定距离；

25 以所述第一封装模具 91 为掩膜，形成塑封料预层 400；

刻蚀去除部分塑封料预层 400，形成塑封料 40，并暴露所述第一焊球 312 的表面。

30 具体地，先参见图 5e，在所述第一芯片结构 20 和所述中介层 30 上形成第一封装模具 91，在所述基板 10 的下方形成第二封装模具 92，所述第二封装模具 92 平行于所述基板 10 的表面。

接着，参见图 5f，以第一封装模具 91 和第二封装模具 92 为掩膜，在第一封装模具 91 和第二封装模具 92 之间形成塑封料预层 400。

所述塑封料预层 400 完全覆盖所述基板 10 的第一面、所述第一芯片结构 20、所述中介层 30 以及中介层 30 上的初始第一焊球 312'。

35 所述方法还包括：在形成塑封料预层 400 后，去除第一封装模具 91 以及第二封装模具 92。

接着，参见图 5g，去除部分塑封料预层 400，形成塑封料 40，并暴露所述第一焊球 312 的表面。

具体地，可以用砂轮在所述塑封料预层 400 的表面进行打磨，以去除部分塑封料预层 400，并去除部分初始第一焊球 312'，形成具有预设高度 h 的第一焊球 312。

5 本公开实施例因为在第一互连区域上形成了第一焊球，所以不需要露出第一互连区域，也就不需要使用异形封装模具，而只需要使用形状正常的第一封装模具，而第一封装模具因为形状简单，所以制作工艺简单，成本较低。

继续参见图 5g，在形成塑封料 40 后，在所述基板 10 的第二面 102 上形成基板连接凸块 17，所述基板连接凸块 17 包括导电材料。

10 接着，参见图 5h，形成第二封装结构 70，所述第二封装结构 70 包括第二焊球 71，所述第二封装结构 70 通过所述第二焊球 71 与所述第一焊球 312 电连接。

在一实施例中，所述第一焊球 312 的体积大于所述第二焊球 71 的体积。通过这样的配置，使得第一焊球 312 与第二焊球 71 在后续回流焊接过程中防止焊料的横向流动，降低相邻焊球之间短接的风险，提高第一焊球与第二焊球的接合强度。

20 在垂直于所述基板 10 的方向上，所述塑封料 40 具有第一厚度；所述第二封装结构 70 包括第二塑封料 73，在垂直于所述基板 10 的方向上，所述第二塑封料 73 具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。由于塑封料 40 的厚度相对较大，可以充分支撑第二封装结构，防止第一封装结构朝向第二封装结构发生翘曲。

所述第二封装结构 70 还包括第二基板 72，所述第二基板 72 的结构与所述基板 10 的结构可以相同或不同，这里不再赘述。

25 接下来，参见图 6a 至图 6f，对所述半导体封装组件的制备方法的另一种实施例进行详细的说明。

需要说明的是，图 6a 至图 6f 中的基板与图 5a 至图 5h 中的基板相似，这里不再赘述。

30 首先，参见图 6a，在形成基板 10 后，在所述基板 10 上形成第二导电块 322，在所述第二导电块 322 上形成中介层 30；所述中介层 30 通过所述第二导电块 322 与所述基板 10 之间电连接。

在一实施例中，所述第一焊垫 321 的面积大于所述第二焊垫 311 的面积。

35 在图 3 所示的实施例中，由于中介层与基板直接互连，因此第二互连区域不再主要承载其他封装结构与基板的通信，因此第一焊垫可以采用大面积的金属，增加散热面积，提高散热效率。

接着，参见图 6b，在所述中介层 30 上形成第一芯片结构 20；所述形成第一芯片结构 20，包括：沿平行于所述基板 10 方向，形成依次排布的多个第一半导体芯片 21。

具体地,在形成中介层 30 后,在所述中介层 30 上形成第一导电块 201,在所述第一导电块 201 上形成第一芯片结构 20; 每个所述第一半导体芯片 20 通过所述第一导电块 201 与所述基板 10 之间电连接。

接着,参见图 6c,形成第一封装模具 91 和第二封装模具 92。本实施例中的第一封装模具和第二封装模具与图 5a 至图 5h 中的第一封装模具和第二封装模具相同,这里不再赘述。

接着,参见图 6d,以第一封装模具 91 和第二封装模具 92 为掩膜,形成塑封料预层 400。所述塑封料预层 400 完全覆盖所述基板 10 的第一面、所述第一芯片结构 20、所述中介层 30 以及中介层 30 上的初始第一焊球 312'。

在形成塑封料预层 400 后,去除所述第一封装模具 91 以及第二封装模具 92。

接着,参见图 6e,去除部分塑封料预层 400,形成塑封料 40,并去除部分初始第一焊球 312',形成具有预设高度 h 的第一焊球 312。

继续参见图 8e,在形成塑封料 40 后,在所述基板 10 的第二面 102 上形成基板连接凸块 17,所述基板连接凸块 17 包括导电材料。

接着,参见图 6f,形成第二封装结构 70,所述第二封装结构 70 包括第二焊球 71,所述第二封装结构 70 通过所述第二焊球 71 与所述第一焊球 312 电连接。

本实施例中的第二封装结构与图 5a 至图 5h 中的第二封装结构相同,这里不再赘述。

以上所述,仅为本公开的较佳实施例而已,并非用于限定本公开的保护范围,凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本公开的保护范围之内。

25 工业实用性

本公开实施例中,通过设置中介层,后续第二封装结构可以通过中介层上的第一焊球与第一芯片结构以及基板连接,如此,可实现不同类型或不同规格的结构之间的互连,使得不同结构之间的组合更加灵活。同时因为第一芯片结构和第二封装结构是独立封装的,因此也更加容易进行测试和失效分析。并且第一焊球的顶表面与第一互连面之间存在预设高度,可以保证整个封装结构具有相对较薄的整体厚度的基础上,还与后续的第二封装结构之间具有相对较好的结合力。

权利要求书

- 1、一种半导体封装组件，包括：
基板，所述基板具有第一面；
第一芯片结构，所述第一芯片结构位于所述基板上，且与所述基板的
5 第一面之间电连接；
中介层，所述中介层具有第一互连面，所述第一互连面具有第一互连
区域和第二互连区域，所述第一互连区域上形成有第一焊球，所述第二互
连区域上形成有第一焊垫，所述中介层通过所述第一焊垫与所述基板的第
10 一面之间电连接；
塑封料，所述塑封料密封所述第一芯片结构、所述中介层与所述基板
的第一面，其中，所述第一焊球具有暴露于所述塑封料的表面，所述第一
焊球暴露的表面与所述中介层的第一互连面之间具有预设高度。
- 2、根据权利要求 1 所述的半导体封装组件，其中，
所述第一芯片结构包括沿垂直于所述基板方向依次堆叠的多个第一半
15 导体芯片；
所述中介层位于所述第一芯片结构上。
- 3、根据权利要求 2 所述的半导体封装组件，其中，还包括：
第一导电线，每个所述第一半导体芯片通过所述第一导电线与所述基
20 板之间电连接；
第二导电线，所述第二互连区域通过所述第二导电线与所述基板之间
电连接。
- 4、根据权利要求 2 所述的半导体封装组件，其中，
所述第一互连区域上形成有多个第二焊垫，其中，所述第一焊垫的数
25 量大于所述第二焊垫的数量，所述第一焊垫的面积小于所述第二焊垫的面
积。
- 5、根据权利要求 1 所述的半导体封装组件，其中，
所述第一芯片结构包括沿平行于所述基板方向依次排布的多个第一半
导体芯片；
所述第一芯片结构位于所述中介层上。
- 30 6、根据权利要求 5 所述的半导体封装组件，其中，还包括：
第一导电块，位于所述第一半导体芯片与所述中介层之间，每个所述
第一半导体芯片通过所述第一导电块与所述基板之间电连接；
第二导电块，位于所述中介层与所述基板之间，所述中介层通过所述
第二导电块与所述基板之间电连接。
- 35 7、根据权利要求 1 所述的半导体封装组件，其中，还包括：
第二封装结构，所述第二封装结构包括第二焊球，所述第二封装结构
通过所述第二焊球与所述第一焊球电连接。

- 8、根据权利要求 7 所述的半导体封装组件，其中，
所述第一焊球的体积大于所述第二焊球的体积。
- 9、根据权利要求 7 所述的半导体封装组件，其中，
在垂直于所述基板的方向上，所述塑封料具有第一厚度；
- 5 所述第二封装结构包括第二塑封料，在垂直于所述基板的方向上，所述第二塑封料具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。
- 10、一种半导体封装组件的制备方法，包括：
提供基板，所述基板具有第一面；
- 10 在所述基板上形成第一芯片结构，所述第一芯片结构与所述基板的第一面之间电连接；
形成中介层；所述中介层具有第一互连面，所述第一互连面具有第一互连区域和第二互连区域，所述第一互连区域上形成有第一焊球，所述第二互连区域上形成有第一焊垫，所述中介层通过所述第一焊垫与所述基板
- 15 的第一面之间电连接；
形成塑封料，所述塑封料密封所述第一芯片结构、所述中介层与所述基板的第一面，其中，所述第一焊球具有暴露于所述塑封料的表面，所述第一焊球暴露的表面与所述中介层的第一互连面之间具有预设高度。
- 20 11、根据权利要求 10 所述的方法，其中，
所述形成塑封料，包括：
形成第一封装模具，所述第一封装模具的表面平行于所述基板的表面，所述第一封装模具位于所述第一芯片结构和所述中介层的上方，且与所述第一芯片结构和所述中介层之间存在一定距离；
以所述第一封装模具为掩膜，形成塑封料预层；
- 25 去除部分塑封料预层，形成塑封料，并暴露所述第一焊球的表面。
- 12、根据权利要求 10 所述的方法，其中，
所述形成第一芯片结构，包括：沿垂直于所述基板方向，形成依次堆叠的多个第一半导体芯片；
在所述第一芯片结构上形成中介层。
- 30 13、根据权利要求 12 所述的方法，其中，还包括：
在形成中介层后，
形成第一导电线；每个所述第一半导体芯片通过所述第一导电线与所述基板之间电连接；
形成第二导电线；所述第二互连区域通过所述第二导电线与所述基板
- 35 之间电连接。
- 14、根据权利要求 12 所述的方法，其中，还包括：
在所述第一互连区域上形成多个第二焊垫，其中，所述第一焊垫的数量大于所述第二焊垫的数量，所述第一焊垫的面积小于所述第二焊垫的面

积。

15、根据权利要求 10 所述的方法，其中，

在所述中介层上形成第一芯片结构；

5 所述形成第一芯片结构，包括：沿平行于所述基板方向，形成依次排布的多个第一半导体芯片。

16、根据权利要求 15 所述的方法，其中，还包括：

在形成基板后，在所述基板上形成第二导电块，在所述第二导电块上形成中介层；所述中介层通过所述第二导电块与所述基板之间电连接；

10 在形成中介层后，在所述中介层上形成第一导电块，在所述第一导电块上形成第一芯片结构；每个所述第一半导体芯片通过所述第一导电块与所述基板之间电连接。

17、根据权利要求 10 所述的方法，其中，还包括：

形成第二封装结构，所述第二封装结构包括第二焊球，所述第二封装结构通过所述第二焊球与所述第一焊球电连接。

15 18、根据权利要求 17 所述的方法，其中，

所述第一焊球的体积大于所述第二焊球的体积。

19、根据权利要求 17 所述的方法，其中，

在垂直于所述基板的方向上，所述塑封料具有第一厚度；

20 所述第二封装结构包括第二塑封料，在垂直于所述基板的方向上，所述第二塑封料具有第二厚度；其中，所述第一厚度大于或等于所述第二厚度。