

说明书

发明名称: 一种链表式数据结构及其 数据处理方法、存储介质、电子设备

[0001] 相关申请的交叉引用

[0002] 本申请要求于2023年03月13日提交中国专利局、申请号为2023102331281、发明名称为“一种链表式数据结构及其数据处理方法、存储介质、电子设备”的中国专利申请的优先权，所述专利申请的全部内容通过引用结合在本申请中。

技术领域

[0003] 本申请涉及链表式数据读写技术领域，具体涉及一种链表式数据结构及其数据处理方法、计算机可读存储介质、电子设备。

背景技术

[0004] 数字电路设计中经常需要用到一种链表式数据结构，如图1所示，在链表式数据结构中，每个数据后面带着一个指针，这个指针指向下一个数据的地址，通常数据和指针的内容都存放在RAM(Random Access Memory，随机存取存储器)中，指针的内容即是这些数据在RAM中的地址；在从RAM中读取一个数据时，会将该一个数据及其对应的指针内容一并读取，因此，可以根据该一个数据所对应的指针内容确定下一个数据及其对应的指针内容在RAM中的地址，从而可以根据该地址访问RAM读取该下一个数据及其对应的指针内容。

[0005] 由于RAM通常都有读延时，现有链表式数据结构的数据读取方式，从发起读请求到得到读结果通常需要3至4个时钟周期，因此，读出一个数据后需要3至4个时钟周期后才知道下一个数据的地址，才能发起下一个数据的读取，导致链表式数据结构的数据读取效率较低。现有链表式数据结构的数据读取方式具体如图2所示，在图2中，当T0时刻发起地址A0的读取命令后，经过3个时钟周期，在T3时刻得到数据D0；在下一个时钟周期T4，根据数据D0得到下一跳数据的地址A1，发起读命令；仍然需要再经过3个时钟周期得到下一个数据D1。在图2中，平均4个时钟周期读出一个数据。这样的性能对很多高带宽要求的设计是不够

的，在这些设计中通常需要1个时钟周期就能读出一个数据；以系统时钟1GHz，数据宽度512b为例，如果4时钟周期出一个数据，系统带宽只有128Gbps，如果1时钟周期出一个数据，系统带宽可以达到512Gbps。

[0006] 发明内容

[0007] 本申请的目的在于提出一种链表式数据结构及其数据处理方法、计算机可读存储介质、电子设备。

[0008] 为实现上述目的，根据本申请的第一方面，提供一种链表式数据结构，包括RAM、空闲地址管理单元以及多头链表，所述多头链表包括控制单元、写操作子链指示单元、读操作子链指示单元以及n条子链，n为 ≥ 2 的正整数；所述子链包括控制单元、子链长单元、写指针单元以及读指针单元；所述RAM包括多个数据单元以及与所述多个数据单元一一对应的多个指针存储单元，任一个数据单元和与其对应的一个指针存储单元共享所述RAM的一个地址；

[0009] 所述数据单元用于存储数据；

[0010] 所述指针单元用于存储地址；其中，若一个数据单元用于存储一个子链的第i个数据，则与所述一个数据单元对应的指针单元用于存储所述一个子链的第i+1个数据所在的数据单元的地址；

[0011] 所述空闲地址管理单元用于对所述RAM的空闲地址进行管理；以及，当其接收到所述控制单元的读取空闲地址请求时，输出一个空闲地址给所述控制单元；

[0012] 所述写操作子链指示单元用于存储写目标子链的子链号，所述写目标子链为待写入数据所要写入的子链；

[0013] 所述读操作子链指示单元用于存储读目标子链的子链号，所述读目标子链的子链号为待读出数据所在的子链；

[0014] 所述子链长单元用于存储子链长信息，所述子链长信息为子链当前已存储的数据个数；

[0015] 所述写指针单元用于存储所述多头链表的当前一个被写入数据在所述RAM中的地址；

- [0016] 所述读指针单元用于存储所述多头链表的下一个被读出数据在所述RAM中的地址；
- [0017] 所述控制单元用于当其接收到写数据请求时，根据所述写操作子链指示单元所存储的子链号确定写目标子链，根据所述空闲地址、所述写目标子链的子链长单元所存储的子链长信息和写指针单元所存储的地址进行写数据操作；以及，当其接收到读数据请求时，根据所述读操作子链指示单元所存储的子链号确定读目标子链，根据所述读目标子链的读指针单元所存储的地址进行读数据操作。
- [0018] 基于本申请的第一方面提供的链表式数据结构，连续的n个数据在存储时，一个时钟周期将1个数据写入一条子链，该n个数据分别在连续的n个时钟周期被依次分别写入在n头链表的n个子链中完成所述n个数据的写入，因此，后续在读取所述连续的n个数据时，一个时钟周期将1个数据从一条子链读出，分别在连续的n个时钟周期依次对n条子链进行读取数据得到所述n个数据，因此，通过n头链表实现每个时钟周期发起读命令，并且每个时钟周期均能输出数据。
- [0019] 根据本申请的第二方面，提供一种上述的链表式数据结构的数据处理方法，所述方法包括当所述控制单元接收到写数据请求时，执行写数据操作；
- [0020] 其中，所述执行写数据操作，包括：
- [0021] 根据所述写数据请求获取待写入数据；
- [0022] 读取所述写操作子链指示单元所存储的子链号，根据所述写操作子链指示单元所存储的子链号确定写目标子链，并获取所述写目标子链的子链长单元所存储的子链长信息、所述写目标子链的写指针单元所存储的地址；
- [0023] 向所述空闲地址管理单元发送读取空闲地址请求，接收所述空闲地址管理单元返回的一个空闲地址；
- [0024] 将所述待写入数据写入所述RAM中与所述空闲地址对应的数据单元中；
- [0025] 根据所述写目标子链的子链长单元所存储的子链长信息，确定是否将所述空闲地址写入所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针存储单元中；

- [0026] 将所述写操作子链指示单元所存储的子链号更新为下一条写目标子链的子链号；
- [0027] 将所述写目标子链的写指针单元所存储的地址更新为所述空闲地址；
- [0028] 根据所述写目标子链当前已存储的数据个数更新所述写目标子链的子链长单元所存储的子链长信息。
- [0029] 本申请的第二方面提供的数据处理方法，基于本申请的第一方面提供的链表式数据结构实现，连续的 n 个数据在存储时，一个时钟周期将1个数据写入一条子链，该 n 个数据分别在连续的 n 个时钟周期被依次分别写入在 n 头链表的 n 个子链中完成所述 n 个数据的写入，对应地后续在读取所述连续的 n 个数据时，可以实现一个时钟周期将1个数据从一条子链读出，分别在连续的 n 个时钟周期依次对 n 条子链进行读取数据得到所述 n 个数据，因此，通过 n 头链表实现每个时钟周期发起读命令，并且每个时钟周期均能输出数据。
- [0030] 根据本申请的第三方面，提供一种计算机可读存储介质，所述计算机可读存储介质存储有计算机程序，所述计算机程序被处理器执行时，实现根据本申请的第二方面所述的数据处理方法。
- [0031] 根据本申请的第四方面，提供一种电子设备，包括处理器、存储器及存储在所述存储器上并可在所述处理器上运行的计算机程序，所述处理器执行所述程序时实现根据本申请的第二方面所述的数据处理方法。
- [0032] 根据本申请的第五方面，提供一种芯片，包括：处理器与存储器；
- [0033] 所述处理器，用于从所述存储器中调用并运行计算机程序，使得安装有所述芯片的设备执行本申请的第二方面所述的数据处理方法。
- [0034] 根据本申请的第六方面，提供一种计算机程序产品，所述计算机程序产品包含涉及的程序指令，所述涉及的程序指令被执行时，以实现本申请的第二方面所述的数据处理方法。
- [0035] 根据本申请的第七方面，提供一种计算机程序，包括程序指令，当在电子设备上执行时，所述程序指令使得计算机设备执行本申请的第二方面所述的数据处理方法。

[0036] 根据本申请的第八方面，提供一种装置，所述装置可以包括：至少一个处理器，涉及的程序指令在该至少一个处理器中执行，以使得该装置实现如本申请的第二方面所述的数据处理方法。

[0037] 本申请的其它特征和优点将在随后的说明书中阐述。

附图说明

[0038] 为了更清楚地说明本申请实施例或相关技术中的技术方案，下面将对实施例或相关技术描述中所需要的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0039] 图1为相关技术中的链表式数据结构的示意图。

[0040] 图2为相关技术中的链表式数据结构的读取过程的示意图。

[0041] 图3为本申请的一个实施例中的一种链表式数据结构的示意图。

[0042] 图4为本申请的一个实施例中的一种链表式数据结构的读写过程示意图。

[0043] 图5为本申请的一个实施例中执行写数据操作的流程图。

[0044] 图6为本申请的一个实施例中一个多头链表的写数据过程的示意图。

[0045] 图7为本申请的一个实施例中执行读数据操作的流程图。

具体实施方式

[0046] 附图的详细说明意在作为本申请的当前可选实施例的说明，而非意在代表本申请能够得以实现的仅有形式。应理解的是，相同或等同的功能可以由意在包含于本申请的精神和范围之内的不同实施例完成。

[0047] 本申请的一个实施例提供一种链表式数据结构，参阅图3，本实施例的链表式数据结构包括RAM、空闲地址管理单元以及多头链表，所述多头链表包括控制单元、写操作子链指示单元、读操作子链指示单元以及n条子链，n为 ≥ 2 的正整数；所述n条子链均包括子链长单元、写指针单元以及读指针单元；所述RAM包括多个数据单元以及与所述多个数据单元一一对应的多个指针存储单元，任一个数据单元和与其对应的一个指针存储单元共享所述RAM的一个地址。

[0048] 所述数据单元用于存储数据；具体地，一个数据单元存储一个数据。

- [0049] 所述指针存储单元用于存储地址；示例性地，一个指针存储单元存储一个地址；其中，若一个数据单元用于存储一个子链的第*i*个数据，则与该一个数据单元对应的指针存储单元用于存储该一个子链的第*i*+1个数据所在的数据单元的地址，即指针存储单元所存储的地址用于表示两个数据之间的关系。
- [0050] 所述空闲地址管理单元用于对所述RAM的空闲地址进行管理；以及，当其接收到所述控制单元的读取空闲地址请求时，输出一个空闲地址给所述控制单元。
- [0051] 所述写操作子链指示单元用于存储写目标子链的子链号，所述写目标子链为待写入数据所要写入的子链；具体地，所述写操作子链指示单元提供了写目标子链指示，根据所述写操作子链指示单元的指示，所述控制单元获悉当前待写入的数据需要写入哪一个子链，对于一个多头链表而言，每一个时钟周期只将1个数据写入其一个子链，在下一个时钟周期时，如果要写入数据，则下一个时钟周期将数据写入下一个子链。
- [0052] 所述读操作子链指示单元用于存储读目标子链的子链号，所述读目标子链的子链号为待读出数据所在的子链；具体地，所述读操作子链指示单元提供了读目标子链指示，根据所述读操作子链指示单元的指示，所述控制单元获悉当前待读入的数据存放在哪一个子链，对于一个多头链表而言，每一个时钟周期只将1个数据从一个子链读出，在下一个时钟周期时，如果要读出数据，则下一个时钟周期将数据从下一个子链读出，数据的读出与数据写入顺序一一对应。
- [0053] 所述子链长单元用于存储子链长信息，所述子链长信息为子链当前已存储的数据个数。
- [0054] 所述写指针单元用于存储所述多头链表的当前一个被写入数据在所述RAM中的地址；具体地，所述写指针单元所存储的地址在数据完成写入后进行更新；
- [0055] 所述读指针单元用于存储所述多头链表的下一个被读出数据在所述RAM中的地址；具体地，所述读指针单元所存储的地址在数据完成读出后进行更新；
- [0056] 所述控制单元用于当其接收到写数据请求时，根据所述写操作子链指示单元所存储的子链号确定写目标子链，根据所述空闲地址、所述写目标子链的子链长单元所存储的子链长信息和写指针单元所存储的地址进行写数据操作；以及，

当其接收到读数据请求时，根据所述读操作子链指示单元所存储的子链号确定读目标子链，根据所述读目标子链的读指针单元所存储的地址进行读数据操作；

- [0057] 需说明的是，本实施例的链表式数据结构可以包括一个或多个多头链表，每个多头链表的结构和工作原理是相同的，因此，本实施例中以一个多头链表进行说明解释，每个多头链表的子链的数量 n 由读取链表数据的耗时决定，例如图4所示的多头链表读取过程，在图4中， n 取值为4，其原因在于当在T8时钟周期发起读数据请求，读取第一条子链的地址为A8的数据，地址为A8的数据在T11时钟周期返回，即读取一个数据的耗时是4个时钟周期，因此，将多头链表的子链的数量 n 设置为4，来实现每个时钟周期都能进行数据读取；一般而言，读取一个数据需要3至4个时钟周期，可以将 n 设置为3或4，具体视读取数据的耗时而定。
- [0058] 请继续参阅图4，在本实施例中，写入数据时，依次写入各子链，即：T0时钟周期将数据D0写入第一条子链的地址A0，T1时钟周期将数据D1写入第二条子链的地址A1，T2时钟周期将数据D2写入第三条子链的地址A2，T3时钟周期将数据D3写入第四条子链的地址A3。
- [0059] 读出数据时，依次从各子链读出数据，即：T8时钟周期从第一条子链中读取地址A8的数据，在T9时钟周期从第二条子链中读取地址A9的数据，在T10时钟周期从第三条子链中读取地址A10的数据，在T11时钟周期从第四条子链中读取地址A11的数据，并且，在T11时钟周期地址A8的数据D8也返回回来了，在T12时钟周期可以再次从第一条子链中读取地址A12的数据。
- [0060] 基于以上内容可知，本实施例经过子链的复制，一条多头链表可以实现每个时钟周期发起读命令，每个时钟周期输出一个数据，即图4中，T11-T18这8个时钟周期，每个时钟周期都输出了数据，从而提高了链表式数据结构的数据读取效率，解决现有链表式数据结构的数据读取效率较低的技术问题。
- [0061] 可选地，在本实施例的链表式数据结构中，所述空闲地址管理单元为FIFO装置；其中，当所述RAM的一个地址空闲时，将空闲的一个地址写入所述FIFO装置。

- [0062] 具体而言，所述FIFO装置遵循先进先出原则(First Input First Output)，先写入所述FIFO装置的空闲地址会先输出，即在一个时钟周期，所述空闲地址管理单元接收到所述控制单元的一个读取空闲地址请求，输出一个RAM的空闲地址，用于写入数据。假设存储链表数据的RAM深度为1024，则在初始化链表时，依次将0, 1, 2, ..., 1023写入所述空闲地址管理单元中，表示初始状态下，这些RAM的地址都是空闲的，可分配使用的。
- [0063] 可选地，在本实施例的链表式数据结构中，所述写操作子链指示单元、所述读操作子链指示单元以及所述子链长单元均为寄存器。
- [0064] 具体而言，寄存器的功能是存储二进制代码，它是由具有存储功能的触发器组合起来构成的，一个触发器可以存储1位二进制代码，故存放n位二进制代码的寄存器，需用n个触发器来构成；举例而言，对于一个包含4个子链的多头链表而言，其写操作子链指示单元和读操作子链指示单元的寄存器需要表示0至3等4个二进制代码，即00、01、10和11。
- [0065] 基于上述实施例的链表式数据结构，本申请的另一个实施例提供一种链表式数据结构的数据处理方法，所述方法包括当所述控制单元接收到写数据请求时，执行写数据操作；
- [0066] 其中，如图5所示，所述执行写数据操作，包括以下步骤：
- [0067] 步骤S11、根据所述写数据请求获取待写入数据；
- [0068] 步骤S12、读取所述写操作子链指示单元所存储的子链号，根据所述写操作子链指示单元所存储的子链号确定写目标子链，并获取所述写目标子链的子链长单元所存储的子链长信息、所述写目标子链的写指针单元所存储的地址；
- [0069] 步骤S13、向所述空闲地址管理单元发送读取空闲地址请求，接收所述空闲地址管理单元返回的一个空闲地址；
- [0070] 步骤S14、将所述待写入数据写入所述RAM中与所述空闲地址对应的数据单元中；
- [0071] 步骤S15、根据所述写目标子链的子链长单元所存储的子链长信息，确定是否将所述空闲地址写入所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针存储单元中；

- [0072] 步骤S16、将所述写操作子链指示单元所存储的子链号更新为下一条写目标子链的子链号；
- [0073] 步骤S17、将所述写目标子链的写指针单元所存储的地址更新为所述空闲地址；
- [0074] 步骤S18、根据所述写目标子链当前已存储的数据个数更新所述写目标子链的子链长单元所存储的子链长信息；
- [0075] 具体地，子链长信息等于子链当前已存储的数据个数，即没有写入数据时，子链长信息为0，写入第一个数据后，子链长信息更新为1，每次写入数据后，子链长信息加1更新。
- [0076] 可选地，在本实施例的数据处理方法中，所述步骤S15，包括：
- [0077] 根据所述写目标子链的子链长单元所存储的子链长信息确定所述待写入数据是否为写入所述写目标子链的第一个数据，若是，则确定所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针存储单元为空，若否，则将所述空闲地址写入所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针存储单元中。
- [0078] 具体而言，请参阅图6，图6中示出了一个多头链表的写数据过程，在图6中，数据D0、D1、D2、D3依次存入四条子链的4个数据单元(RAM)中，此时，数据D0、D1、D2、D3在存入四条子链时，均为存入子链的第一个数据，此时，在完成将数据D0/D1/D2/D3//依次/子链的数据单元后，不对数据单元所对应的指针存储单元的内容进行更新，此时指针存储单元的内容应为空，因为此时还不清楚写入子链的下一个数据存储在哪个地址，无法指向。
- [0079] 当第一条子链再次收到写入数据D4的请求时，此时子链长信息为1，获取到的空闲地址为4，则将数据D4存入刚刚获取到的空闲地址4对应的RAM的数据单元中，同时，将空闲地址4这个值存入子链的写指针单元所存储地址(地址0)的指针存储单元中，即，地址0的数据单元存储数据D0，指针存储单元存储地址4，接着将子链的写指针单元所存储的内容由地址0更新为地址4，子链的写指针单元指向地址4，表示目前数据写到了地址4的数据单元。

- [0080] 可选地，在本实施例的数据处理方法中，若所述待写入数据要写入的写目标子链为所述n条子链中的第i条子链，则对应的下一条写目标子链为第i+1条子链；若所述待写入数据要写入的写目标子链为所述n条子链中的第n条子链，则对应的下一条写目标子链为第1条子链。
- [0081] 具体而言，可以参阅图4，n条子链的数据写入是按子链号的顺序在每个时钟周期选择对应的子链进行数据写入，并且n条子链进行循环，在图4中，每一条子链每隔n个周期可以进行一次数据写入存储。
- [0082] 可选地，在本实施例的数据处理方法中，还包括当所述控制单元接收到读数据请求时，执行读数据操作；
- [0083] 其中，所述执行读数据操作，如图7所示，包括以下步骤：
- [0084] 步骤S21、根据所述读操作子链指示单元所存储的子链号确定读目标子链，并获取所述读目标子链的读指针单元所存储的地址；
- [0085] 步骤S22、将所述RAM中与所述读指针单元所存储的地址对应的数据单元中的数据以及指针存储单元中的地址读出；
- [0086] 具体而言，在读取数据时，会将数据单元的数据以及与其对应的指针存储单元的地址一并读出，指针存储单元的地址的应用见后续步骤；
- [0087] 步骤S23、输出读出的数据；
- [0088] 具体地，即输出给发起所述读数据请求的请求方；
- [0089] 步骤S24、将所述读操作子链指示单元所存储的子链号更新为下一条读目标子链的子链号；
- [0090] 步骤S25、将所述读指针单元存储的地址更新为读出的地址。
- [0091] 可选地，在本实施例的数据处理方法中，所述执行读数据操作，还包括：
- [0092] 步骤S26、当所述RAM中一个地址的数据单元中的数据以及指针存储单元中的地址被读出时，将读出的一个地址写入所述空闲地址管理单元。
- [0093] 具体而言，当RAM的一个地址的数据和指针地址被读出后，该一个地址被释放，写回到所述空闲地址管理单元中，以便于后续继续使用。
- [0094] 可选地，在本实施例的数据处理方法中，若所述待读出数据所在的读目标子链为所述n条子链中的第i条子链，则对应的下一条读目标子链为第i+1条子链；

$1 \leq i \leq n-1$; 若所述待读出数据所在的读目标子链为所述 n 条子链中的第 n 条子链, 则对应的下一条读目标子链为第1条子链。

- [0095] 具体而言, 可以参阅图4, 与数据的存储对应, n 条子链的数据读取也是按子链号的顺序在每个时钟周期使用, 并且 n 条子链进行循环, 在图4中, 每一条子链每隔 n 个周期可以进行一次数据读出。
- [0096] 需说明的是, 本实施例方法基于上述实施例的链表式数据结构实现, 因此, 本实施例方法未详述的内容可以参阅上述实施例的链表式数据结构得到, 故此处不进行赘述。
- [0097] 本申请的另一个实施例提出一种计算机可读存储介质, 所述计算机可读存储介质存储有计算机程序, 所述计算机程序被处理器执行时, 实现如上述实施例所述的链表式数据结构的数据处理方法。
- [0098] 具体而言, 所述计算机可读存储介质可以包括: 能够携带所述计算机程序指令的任何实体或记录介质、U盘、移动硬盘、磁碟、光盘、计算机存储器、只读存储器(ROM, Read-Only Memory)、随机存取存储器(RAM, Random Access Memory)、电载波信号、电信信号以及软件分发介质等。
- [0099] 本申请的另一个实施例提出一种电子设备, 包括处理器、存储器及存储在所述存储器上并可在所述处理器上运行的计算机程序, 所述处理器执行所述程序时实现如上述实施例所述的链表式数据结构的数据处理方法。
- [0100] 其中, 电子设备还可以包括连接不同组件(包括存储器和处理器)的总线。存储器可以包括易失性存储器形式的计算机可读介质, 例如随机存取存储器(RAM)和/或高速缓存存储器。存储器也可以包括至少一个程序产品, 该程序产品具有一组(例如至少一个)程序模块, 这些程序模块被配置以执行本申请各实施例的功能。电子设备也可以与一个或多个外部设备(例如键盘、指向设备、显示器等)通信, 还可与一个或者多个使得用户能与该电子设备交互的设备通信, 和/或与使得该电子设备能与一个或多个其他计算设备进行通信的任何设备(例如网卡)通信, 这种通信可以通过输入/输出(I/O)接口进行, 并且, 电子设备还可以通过网络适配器与一个或者多个网络(例如局域网(LAN), 广域网(WAN)和/或公共网络, 例如因特网)通信。

- [0101] 本申请的另一个实施例提出一种芯片，包括：处理器与存储器；
- [0102] 所述处理器，用于从所述存储器中调用并运行计算机程序，使得安装有所述芯片的设备执行上述数据处理方法。
- [0103] 本申请的另一个实施例提出一种计算机程序产品，所述计算机程序产品包含涉及的程序指令，所述涉及的程序指令被执行时，以实现上述数据处理方法。
- [0104] 本申请的另一个实施例提出一种计算机程序，包括程序指令，当在电子设备上执行时，所述程序指令使得计算机设备执行上述数据处理方法。
- [0105] 本申请的另一个实施例提出一种装置，所述装置可以包括：至少一个处理器，涉及的程序指令在该至少一个处理器中执行，以使得该装置实现上述数据处理方法。
- [0106] 以上已经描述了本申请的各实施例，上述说明是示例性的，并非穷尽性的，并且也不限于所披露的各实施例。在不偏离所说明的各实施例的范围和精神的情况下，对于本技术领域的普通技术人员来说许多更新和变更都是显而易见的。本文中所用术语的选择，旨在最好地解释各实施例的原理、实际应用或对市场中的技术改进，或者使本技术领域的其它普通技术人员能理解本文披露的各实施例。

权利要求书

[权利要求 1]

一种链表式数据结构，其特征在于，包括RAM、空闲地址管理单元以及多头链表，所述多头链表包括控制单元、写操作子链指示单元、读操作子链指示单元以及n条子链，n为大于或等于2的正整数；所述子链包括子链长单元、写指针单元以及读指针单元；所述RAM包括多个数据单元以及与所述多个数据单元一一对应的多个指针单元，任一个数据单元和与其对应的一个指针单元共享所述RAM的一个地址；

所述数据单元用于存储数据；

所述指针单元用于存储地址；其中，若一个数据单元用于存储一个子链的第i个数据，则与所述一个数据单元对应的指针单元用于存储所述一个子链的第i+1个数据所在的数据单元的地址；

所述空闲地址管理单元用于对所述RAM的空闲地址进行管理；以及，当其接收到所述控制单元的读取空闲地址请求时，输出一个空闲地址给所述控制单元；

所述写操作子链指示单元用于存储写目标子链的子链号，所述写目标子链为待写入数据所要写入的子链；

所述读操作子链指示单元用于存储读目标子链的子链号，所述读目标子链的子链号为待读出数据所在的子链；

所述子链长单元用于存储子链长信息，所述子链长信息为子链当前已存储的数据个数；

所述写指针单元用于存储所述多头链表的当前一个被写入数据在所述RAM中的地址；

所述读指针单元用于存储所述多头链表的下一个被读出数据在所述RAM中的地址；及

所述控制单元用于当其接收到写数据请求时，根据所述写操作子链指示单元所存储的子链号确定写目标子链，根据所述空闲地址、所述写目标子链的子链长单元所存储的子链长信息和写指针单元所存

储的地址进行写数据操作；以及，当其接收到读数据请求时，根据所述读操作子链指示单元所存储的子链号确定读目标子链，根据所述读目标子链的读指针单元所存储的地址进行读数据操作。

- [权利要求 2] 根据权利要求1所述的链表式数据结构，其特征在于，所述空闲地址管理单元为FIFO装置；其中，当所述RAM的一个地址空闲时，将空闲的一个地址写入所述FIFO装置。
- [权利要求 3] 根据权利要求1所述的链表式数据结构，其特征在于，所述写操作子链指示单元、所述读操作子链指示单元以及所述子链长单元均为寄存器。
- [权利要求 4] 一种数据处理方法，其特征在于，所述方法用于如权利要求1-3中任一项所述的链表式数据结构，所述方法包括当所述控制单元接收到写数据请求时，执行写数据操作；
其中，所述执行写数据操作，包括：
根据所述写数据请求获取待写入数据；
读取所述写操作子链指示单元所存储的子链号，根据所述写操作子链指示单元所存储的子链号确定写目标子链，并获取所述写目标子链的子链长单元所存储的子链长信息、所述写目标子链的写指针单元所存储的地址；
向所述空闲地址管理单元发送读取空闲地址请求，接收所述空闲地址管理单元返回的一个空闲地址；
将所述待写入数据写入所述RAM中与所述空闲地址对应的数据单元中；
根据所述写目标子链的子链长单元所存储的子链长信息，确定是否将所述空闲地址写入所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针单元中；
将所述写操作子链指示单元所存储的子链号更新为下一条写目标子链的子链号；

将所述写目标子链的写指针单元所存储的地址更新为所述空闲地址；
根据所述写目标子链当前已存储的数据个数更新所述写目标子链的子链长单元所存储的子链长信息。

[权利要求 5] 根据权利要求4所述的数据处理方法，其特征在于，所述根据所述写目标子链的子链长单元所存储的子链长信息，确定是否将所述空闲地址写入所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针单元中，包括：
根据所述写目标子链的子链长单元所存储的子链长信息确定所述待写入数据是否为写入所述写目标子链的第一个数据，若是，则确定所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针单元为空，若否，则将所述空闲地址写入所述RAM中与所述写目标子链的写指针单元所存储的地址对应的指针单元中。

[权利要求 6] 根据权利要求4所述的数据处理方法，其特征在于，
若所述待写入数据写入的写目标子链为所述n条子链中的第i条子链，则对应的下一条写目标子链为第i+1条子链；
若所述待写入数据写入的写目标子链为所述n条子链中的第n条子链，则对应的下一条写目标子链为第1条子链。

[权利要求 7] 一种数据处理方法，其特征在于，所述方法用于如权利要求1-3中任一项所述的链表式数据结构，所述方法包括当所述控制单元接收到读数据请求时，执行读数据操作；
其中，所述执行读数据操作，包括：
根据所述读操作子链指示单元所存储的子链号确定读目标子链，并获取所述读目标子链的读指针单元所存储的地址；
将所述RAM中与所述读指针单元所存储的地址对应的数据单元中的数据以及指针单元中的地址读出；
输出读出的数据；

将所述读操作子链指示单元所存储的子链号更新为下一条读目标子链的子链号；

将所述读指针单元存储的地址更新为读出的地址。

[权利要求 8] 根据权利要求7所述的数据处理方法，其特征在于，所述执行读数据操作，还包括：

当所述RAM中一个地址的数据单元中的数据以及指针单元中的地址被读出时，将读出的一个地址写入所述空闲地址管理单元。

[权利要求 9] 根据权利要求7所述的数据处理方法，其特征在于，
若所述待读出数据所在的读目标子链为所述n条子链中的第i条子链，则对应的下一条读目标子链为第i+1条子链； $1 \leq i \leq n-1$ ；
若所述待读出数据所在的读目标子链为所述n条子链中的第n条子链，则对应的下一条读目标子链为第1条子链。

[权利要求 10] 一种计算机可读存储介质，其特征在于，所述计算机可读存储介质存储有计算机程序，所述计算机程序被处理器执行时，实现如权利要求4~9中任一项所述的数据处理方法。

[权利要求 11] 一种电子设备，其特征在于，包括处理器、存储器及存储在所述存储器上并可在所述处理器上运行的计算机程序，所述处理器执行所述程序时实现如上述权利要求4~9中任一项所述的数据处理方法。

[权利要求 12] 一种芯片，其特征在于，包括：处理器与存储器；
所述处理器，用于从所述存储器中调用并运行计算机程序，使得安装有该芯片的设备执行权利要求4~9任一所述的数据处理方法。

[权利要求 13] 一种计算机程序产品，其特征在于，所述计算机程序产品包含涉及的程序指令，所述涉及的程序指令被执行时，以实现权利要求4~9中任一所述的数据处理方法。

[权利要求 14] 一种计算机程序，其特征在于，包括程序指令，当在电子设备上执行时，四十程序指令使得计算机设备执行如权利要求4~9任一所述的数据处理方法。

[权利要求 15] 一种装置，其特征在于，所述装置可以包括：至少一个处理器，涉及的程序指令在该至少一个处理器中执行，以使得该装置实现如权利要求4~9中任一项所述的数据处理方法。