

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年3月2日 (02.03.2006)

PCT

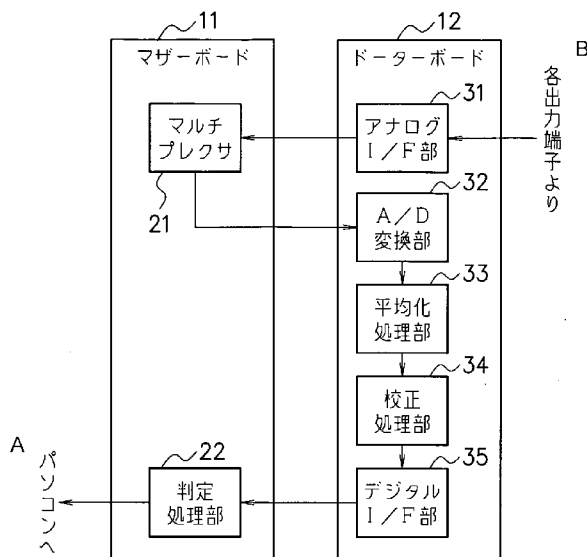
(10) 国際公開番号
WO 2006/022026 A1

- (51) 国際特許分類⁷: G01R 31/316
- (21) 国際出願番号: PCT/JP2004/012693
- (22) 国際出願日: 2004年8月26日 (26.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): テスト・リサーチ・ラボラトリーズ株式会社 (TEST RESEARCH LABORATORIES INC.) [JP/JP]; 〒8510122 長崎県長崎市界2-9-17-901 Nagasaki (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 田中 義人 (TANAKA, Yoshito) [JP/JP]; 〒8510122 長崎県長崎市界2-9-17-901 テスト・リサーチ・ラボラトリーズ株式会社内 Nagasaki (JP).
- (74) 代理人: 橋 和之 (TACHIBANA, Kazuyuki); 〒3501136 埼玉県川越市大字下新河岸 8 7 番地 6 4 Saitama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

[続葉有]

(54) Title: SEMICONDUCTOR TEST SYSTEM

(54) 発明の名称: 半導体のテストシステム



- 11... MOTHER BOARD
21... MULTIPLEXER
22... DETERMINING PART
A... TO PERSONAL COMPUTER
12... DAUGHTER BOARD
31... ANALOG I/F PART
32... A/D CONVERTING PART
33... AVERAGING PART
34... CORRECTING PART
35... DIGITAL I/F PART
B... FROM OUTPUT TERMINALS

(57) Abstract: There are included a mother board (11), which has therein a multiplexer and a test pass/fail determining part, and a daughter board (12) that has therein an A/D converting part and an averaging part. The mother board (11) multiplexes a plurality of analog signals outputted from a plurality of output terminals of an LSI formed on a wafer (W) to be tested, thereby reducing the number of signals in an early stage. The daughter board (12) A/D converts and averages the resultant signals from the mother board (11), and supplies the averaged characteristic measured data to the mother board (11) for a pass/fail determination. This can eliminate the need for a large number of parallel transmission paths and processing circuits, raise the throughput, and reduce the affections of noise included in the analog signals due to the average processing.

(57) 要約: マルチプレクサおよびテスト合否の判定処理部を内部に有するマザーボード11と、A/D変換部および平均化処理部を内部に有するドーターボード12とを備え、被検査対象であるウェーハWの上に構成されたLSIが備える複数の出力端子から出力される複数のアナログ信号をマザーボード11にて早い段階でマルチプレクスして信号数を減らし、その結果をドーターボード12にてA/D変換および平均化して、平均化された特性計測データをマザーボード12に供給して合否判定を行うようにすることにより、多量に並列化された伝送路や処理回路を不要とし、スループットも向上させるとともに、平均化処理によりそれぞれのアナログ信号に乗っているノイズの影響を軽減できるようにする。



BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各*PCT*ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。