

应用于存储器的写调平电路、及其控制方法、控制装置

5 本申请要求于 2022 年 08 月 16 日提交中国专利局、申请号为 202210982417.7、申请名称为“应用于存储器的写调平电路、及其控制方法、控制装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及存储器技术领域，尤其涉及一种应用于存储器的写调平电路、及其控制方法、控制装置。

10 背景技术

目前，存储器在各类电子设备中具有非常重要的作用。在存储器中写入数据时，通常会基于数据选通信号（Data Strobe Signal，简称 DQS），确定在时钟信号的哪一个周期进行数据的写入。当电子设备中的动态随机存取存储器（Dynamic Random Memory，简称 DRAM）与存储器的控制器之间的走线采用 fly-by 的拓扑结构时，电子设备中的每一 DRAM 所接收到的时钟信号与数据选通信号之间会存在偏差，因此，需要对存储器的接收到的数据选通信号进行调整，以便数据可以正确的写入存储器。

如何设计一种写调平（Write Leveling）电路，以便于通过控制该写调平电路来对存储器接收到的数据选通信号进行调整是一种急需解决的问题。

发明内容

20 本公开提供一种应用于存储器的写调平电路、及其控制方法、控制装置，用以解决如何对存储器的进行写调平调整的问题。

第一方面，本公开提供一种应用于存储器的写调平电路，包括：

写信号生成单元，用于根据接收到的第一时钟信号对第一写信号进行延迟处理，输出第二写信号；

25 延时单元，用于对接收到的第一数据选通信号进行延迟处理，输出第二数据选通信号；

采样单元，分别与所述延时单元、所述写信号生成单元连接，用于接收所述延时单元输出的所述第二数据选通信号和所述写信号生成单元输出的第二写信号，并根据所述第二数据选通信号和所述第二写信号，输出第一采样信号；所述采样单元还用于接收所述第一数据选通信号和所述写信号生成单元输出的第二写信号，并根据所述第一数据选通信号和所述第二写信号，输出第二采样信号。

30 第二方面，本公开提供一种应用于存储器的写调平电路的控制方法，所述方法应用于如权利要求 1 所述的电路，所述方法包括：

重复以下步骤，直至基于所述采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐：若确定所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿未对齐，则调整所述第一数据选通信号的时延；

35 若确定所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿对齐，则控制所述第一数据选通信号的时延减少第一预设时段，将减少后的信号作为所述采样单

元当前接收到的第一数据选通信号；

重复以下步骤，直至基于所述采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐：若确定所述第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐，则调整第一数据选通信号的时延或者所述第一写信号的时延。

5 第三方面，本公开提供一种应用于存储器的写调平电路的控制装置，所述装置应用于如第一方面所述的电路，所述装置包括：

第一调整单元，用于若确定所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿未对齐，则调整所述第一数据选通信号的时延；重复执行所述第一调整单元，直至所述第一调整单元基于所述采样单元输出的第一采样信号确定第一数据选通信号的有效沿与
10 第一时钟信号的有效沿对齐。

第一控制单元，用于若确定所述第一采样信号表征所述第一时钟信号与所述第一数据选通信号对齐，则控制所述第一数据选通信号的时延减少第一预设时段，将减少后的信号作为所述采样单元当前接收到的第一数据选通信号；

第二调整单元，用于若确定所述第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐，则调整第一数据选通信号的时延或者所述第一写信号的时延，重复执行所述第二调整单元，直至所述第二调整单元基于所述采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐。
15

第四方面，本公开提供一种存储器，所述存储器包括第一方面中任一项所述的写调平电路。

第五方面，本公开提供一种电子设备，包括：处理器，以及与所述处理器通信连接的存储器；
20 所述存储器存储计算机执行指令；

所述处理器执行所述存储器存储的计算机执行指令，以实现如第二方面中任一项所述的方法。

第六方面，本公开提供一种计算机可读存储介质，所述计算机可读存储介质中存储有计算机执行指令，所述计算机执行指令被处理器执行时用于实现如第二方面中任一项所述的方法。

第七方面，本公开提供一种计算机程序产品，包括计算机程序，该计算机程序被处理器执行时实现第二方面中任一项所述的方法。
25

本公开提供的应用于存储器的写调平电路、及其控制方法、控制装置，该写调平电路中包括：写信号生成单元，用于根据接收到的第一时钟信号对第一写信号进行延迟处理，输出第二写信号；延时单元，用于对接收到的第一数据选通信号进行延迟处理，输出第二数据选通信号；采样单元，分别与所述延时单元、所述写信号生成单元连接，用于接收所述延时单元输出的所述第二数据选通信号和所述写信号生成单元输出的第二写信号，并根据所述第二数据选通信号和所述第二写信号，输出第一采样信号；所述采样单元还用于接收所述第一数据选通信号和所述写信号生成单元输出的第二写信号，并根据所述第一数据选通信号和所述第二写信号，输出第二采样信号。进而，存储器外部所对应的控制器可以基于写调平电路中的采样单元输出的第一采样信号以及第二采样信号，对控制器发送至该存储器的信号进行调整，使得存储器所接收到的数据选通信号的有效沿
30 以及时钟信号的有效沿之间的时间差值符合存储器的规格要求，进而使得存储器可以正确写入数据。

附图说明

图 1 为本公开提供的一种存储器的走线布局示意图；

图 2 为本公开实施例提供的一种应用于存储器的写调平电路的结构示意图；

- 图 3 为本公开实施例提供的又一种应用于存储器的写调平电路的结构示意图；
图 4 为本公开实施例提供的另一种应用于存储器的写调平电路的结构示意图；
图 5 为本公开实施例提供的还一种应用于存储器的写调平电路的结构示意图；
图 6 为本公开实施例提供的再一种应用于存储器的写调平电路的结构示意图；
5 图 7 为本公开实施例提供的一种应用于存储器的写调平电路的控制方法的流程示意图；
图 8 为本公开实施例提供的又一种应用于存储器的写调平电路的控制方法的流程示意图；
图 9 为本公开实施例提供的一种信号变化示意图；
图 10 为本公开实施例提供的另一种信号变化示意图；
图 11 为本公开提供一种应用于存储器的写调平电路的控制装置的结构示意图；
10 图 12 为本公开提供的又一种应用于存储器的写调平电路的控制装置的结构示意图；
图 13 为本公开实施例中提供的一种电子设备的结构示意图。
附图标记说明：
21：写信号生成单元；211：译码器；212：第一延时模块；213：信号转换模块；214：第二
延时模块；22：延时单元；
15 23：采样单元；231：第一触发器；232：第二触发器；233：数据选择器；
24：第一转换器；25：第二转换器；26：第三转换器；27：高位延时单元；28：高位采样单
元；281：第三触发器；282：第四触发器；283：高位数据选择器。

具体实施方式

- 这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除
20 非另有表示，不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实
施方式并不代表与本公开相一致的所有实施方式。相反，它们仅是与本公开的一些方面相一致的装
置和方法的例子。

- 目前，在电子设备中，为了减少电子设备中的动态随机存取存储器（Dynamic Random Access
Memory，简称 DRAM）与存储器的控制器之间的走线，当电子设备中包括多个 DRAM 时，通常
25 会采用 fly-by 的走线拓扑结构。如图 1 所示，图 1 为本公开提供的一种存储器的走线布局示意图，
其中，各个 DRAM 对应的控制器中的时钟信号输出端口与多个串联的 DRAM 中的首个 DRAM 连
接，用于向首个 DRAM 传输时钟信号。多个串联的 DRAM 中的其余 DRAM 所接收到的时钟信号
是由与其串联连接的前一 DRAM 输出的。此外，多个 DRAM 中的每一 DRAM 的数据端，分别与
控制器直接连接，用于接收控制器发出的数据选通信号，且各个 DRAM 与控制器之间用于传输数
30 据选通信号的走线长度相同。

- 当采用上述走线拓扑结构连接控制器与多个 DRAM 时，数据选通信号到达每一 DRAM 的时
间是相同的，但各 DRAM 接收到的时钟信号的时间会存在偏差，各 DRAM 所接收到的时钟信号
的时间以及数据选通信号的时间之间具有不同的偏差。因此，针对每一 DRAM 都需要对其接收到的
DQS 信号的时延进行不断调整，进而使得每一 DRAM 上所接收到的 DQS 信号的有效沿与时钟
35 信号的有效沿之间的时间差值满足存储器规格的要求，例如，时间差值位于 $[-0.5t_{ck}, 0.5t_{ck}]$ 之间时，
都可以认为此时控制器所发送的 DQS 信号满足该 DRAM 的规格要求，以确保数据可以正确写入
该 DRAM，其中， t_{ck} 用于表征时钟信号的时钟周期。

一个示例中，为了确保存储器接收到的数据选通信号的有效沿与时钟信号的有效沿为对齐的，
在存储器中可以设置一种写调平电路。该写调平电路中设置有第一接收器以及第二接收器，用于

分别接收存储器引脚处输入的时钟信号以及数据选通信号。此外，在第一接收器之后，还设置有延时模块，用于对第一接收器输出的数据选通信号进行延迟处理之后，将延迟处理后的信号输出至触发器的一端。写调平电路中还包括写信号生成单元，写信号生成单元，基于第二接收器输出的时钟信号，生成写信号，并将生成的写信号输出至触发器的另一端，以便触发器可以用于比较器接收到的写信号生成单元输出的写信号的有效沿以及延时模块输出的延时后的信号的有效沿是否对齐，进而确定出存储器接收到的时钟信号的有效沿以及数据选通信号的有效沿是否对齐。

当信号（例如，数据选通信号、写信号）在存储器内部传输时的时延较大时，随着存储器的读写速率的不断提高，信号在存储器中传输时所造成的功耗以及信号抖动也就越大。

因此，如何设计一种新的写调平（Write Leveling）电路，以便于通过控制该写调平电路来对存储器接收到的数据选通信号进行调整是一种急需解决的问题

本公开提供的应用于存储器的写调平电路、及其控制方法、控制装置，旨在解决现有技术的如上技术问题。

下面以具体地实施例对本公开的技术方案以及本公开的技术方案如何解决上述技术问题进行详细说明。下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图，对本公开的实施例进行描述。

图 2 为本公开实施例提供的一种应用于存储器的写调平电路的结构示意图，如图 2 所示，该写调平电路包括：写信号生成单元 21，用于根据接收到的第一时钟信号对第一写信号进行延迟处理，输出第二写信号；延时单元 22，用于对接收到的第一数据选通信号进行延迟处理，输出第二数据选通信号；采样单元 23，分别与延时单元 22、写信号生成单元 21 连接，用于接收延时单元 22 输出的第二数据选通信号和写信号生成单元 21 输出的第二写信号，并根据第二数据选通信号和第二写信号，输出第一采样信号；采样单元 23 还用于接收第一数据选通信号和写信号生成单元 21 输出的第二写信号，并根据第一数据选通信号和第二写信号，输出第二采样信号。

示例性地，本实施例中，在写调平电路包括有写信号生成单元 21、延时单元 22 以及采样单元 23。其中，写信号生成单元 21 用于基于其接收到的第一时钟信号，对写信号生成单元 21 所产生的第一写信号进行延迟处理，得到第二写信号，并将得到的第二写信号输出至与写信号生成单元 21 连接的采样单元 23。

此外，写调平电路中还设置有延时单元 22，该延时单元 22 可用于将其接收到的第一数据选通信号进行延迟处理，进而得到第二数据选通信号，并将第二数据选通信号发送至与延时单元 22 连接的采样单元 23。其中，当该写调平电路设置在存储器内部时，此时，延时单元 22 接收到的第一数据选通信号可以认为是存储器内部传输的数据选通信号，该信号可以由存储器引脚处所接收到的数据选通信号转换得到。写信号生成单元 21 所接收到的第一时钟信号可以认为是存储器的内部传输的时钟信号，该信号可以由存储器引脚处所接收到的时钟信号转换得到。需要说明的是，本公开中对存储器的内存规格不做具体限制，可以为 DDR5 内存规格的存储器，也可以为其余内存规格的存储器。

并且，本实施例中的采样单元 23，用于基于与其连接的写信号生成单元 21 输出的第二写信号以及与其连接的延时单元 22 输出的第二数据选通信号，生成第一采样信号。此外，该采样单元 23 还用于接收第一数据选通信号，并基于接收到第一数据选通信号以及与其连接的写信号生成单元 21 输出的第二写信号，生成第二采样信号。

在写调平电路中的采样单元 23 生成第一采样信号以及第二采样信号后，在一些实施例中，存

存储器中的写调平电路会将第一采样信号以及第二采样信号同时输出至该存储器对应的控制器，以使控制器可以基于接收到的第一采样信号以及第二采样信号，对控制器向存储器发送的信号进行调整，进而确保存储器接收到的数据选通信号的有效沿以及时钟信号的有效沿之间的时间差值满足存储器所规定的时间差值范围。其中，控制器在调整向存储器发送的信号时，可以对发送至存储器

5 的数据选通信号的时延进行调整，此处不做具体限制。此外，本公开中所提及的信号的有效沿，可以为该信号的上升沿，也可以为该信号的下降沿。

本实施例中，提供了一种可应用于存储器的写调平电路，通过在写调平电路中设置采样单元 23、延时单元 22 以及写信号生成单元 21，以便采样单元 23 可以基于延时单元 22 输出的第二数据选通信号以及写信号生成单元 21 输出的第二写信号，输出第一采样信号，并且采样单元 23 还可以基于其接收到的第一数据选通信号以及写信号生成单元 21 输出的第二写信号，输出第二采样信号，进而使得存储器外部所对应的控制器可以基于写调平电路中的采样单元 23 输出的第一采样信号以及第二采样信号，对控制器发送至该存储器的信号进行调整，使得存储器所接收到的数据选通信号的有效沿以及时钟信号的有效沿之间的时间差值符合存储器的规格要求，确保存储器可以正确写入数据。

10

在一些实施例中，图 3 为本公开实施例提供的又一种应用于存储器的写调平电路的结构示意图，在图 2 所示的装置的结构的基础上，本实施例中的写信号生成单元，包括：译码器 211，用于对接收到的写指令进行解码处理，输出第一写信号；第一延时模块 212，与译码器 211 连接，用于基于接收到的第一时钟信号，对第一写信号进行延迟处理，输出第二写信号。

15

示例性地，如图 3 所示，本实施例中的写信号生成单元包括有译码器 211 以及第一延时模块 212。其中，译码器 211 所接收到的写指令，可以看作是内部包含有该写信号生成单元的存储器，其外部所对应的控制器所发送的写指令，即控制器发送至存储器引脚处的写指令，用于指示存储器当前需要进行写操作。

20

写信号生成单元中的译码器 211 当接收到写指令之后，可以对写指令进行解码处理，进而得到存储器内部的器件所能识别的用于表征当前需要进行写操作的第一写信号，之后，译码器 211 将得到的第一写信号发送至与译码器 211 连接的第一延时模块 212，由第一延时模块 212 基于第一时钟信号对其接收到的第一写信号进行延迟处理，进而得到第二写信号，并将第二写信号输出至与第一延时模块 212 连接的采样单元 23。

25

可以理解的是，本实施例中通过在写信号生成单元 21 中设置译码器 211，对译码器 211 接收到的写指令进行解码处理，以便存储器中的器件可以准确确定出当前需要存储器需要进行写操作。此外，后续在基于该写调平电路进行信号调整时，控制器可以得到更为准确的确定出该存储器需要的数据选通信号，提高存储器数据写入的准确度。

30

在一些实施例中，在图 3 所示的结构的基础上，本实施例中写信号生成单元 21 中的第一延时模块 212，具体用于：基于接收到的第一时钟信号、存储器的列写潜伏期以及第一指示信号，对第一写信号进行延迟处理，输出第二写信号，其中，第一指示信号用于指示存储器的列写潜伏周期的缩短时间。

35

示例性地，本实施例中的第一延时模块 212 在对译码器 211 输出的第一写信号进行延迟处理以得到第二写信号的处理过程中，具体地，第一延时模块 212，可以基于接收到的第一指示信号所指示的存储器的列写潜伏周期（Column Address Strobe Write Latency，简称 CWL）的缩短时间、第一时钟信号，以及存储器的列写潜伏周期，对第一写信号进行延迟处理。

举例来说，在一种可能的实现方式中，第一延时模块 212 可以将存储器的列写潜伏周期与第一指示信号所指示的缩短时间进行求差处理，将求差处理后的结果所指示的延时时间作为第一延时单元 22 在对第一写信号进行延迟处理时，第一写信号与第二写信号之间的时间差值。其中，第一时钟信号的时钟周期可以作为求差处理后所指示的延时时间的时间基准，例如，求差结果为 0.5tck，则所得到的第一写信号与第二写信号之间的延时时间为 0.5*第一时钟信号的时钟周期后的结果。

需要说明的是，第一延时模块 212 所获取的存储器的列写潜伏周期可以为预先存储在第一延时模块 212 中，也可以是第一延时模块 212 通过接收到的第三指示信号所确定得到的，其中，第三指示信号可用于指示存储器当前所要求的列写潜伏周期。此外，存储器的列写潜伏周期也可以基于用户所希望的存储器的读写速度来不断调整。例如，控制器可以基于所要求的存储器的读写速度，查找到与该读写速度所对应的列写潜伏周期的指示信号，并将该指示信号发送至存储器内部的第一延时模块 212，以便第一延时模块 212 可以进行对其接收到的第一写信号进行延迟处理。

此外，在一种可能的实现方式中，写信号生成单元 21 中的第一写信号与写信号生成单元 21 输出的第二写信号之间的时延不仅包括存储器的列写潜伏周期与第一指示信号所指示的缩短时间的差值，还包括有在第一写信号在进行延迟处理后，并传输至采样单元 23 的传输过程中，为提高信号传输质量所添加的反相器等电子器件造成的信号的时延。

可以理解的是，本实施例中，第一延时模块 212 在对译码器 211 输出的第一写信号进行延迟处理时，考虑了存储器的列写潜伏周期，以及第一指示信号所指示的列写潜伏周期的缩短时间，来对第一写信号进行延迟处理。进而，当包含该写调平电路的存储器外部的控制器在通过写调平电路确定该存储器需要接收到的数据选通信号时，可以通过调整第一指示信号所指示的缩短时间，使得存储器内部所接收到的第一数据选通信号的有效沿与第二写信号的有效沿对齐。

在一些实施例中，图 4 为本公开实施例提供的另一种应用于存储器的写调平电路的结构示意图。在图 3 所示的装置结构的基础上，本实施例中，在写信号生成单元 21 中还包括：信号转换模块 213；译码器 211 通过信号转换模块 213 与第一延时模块 212 连接；信号转换模块 213，用于对译码器 211 输出的第一写信号，进行脉冲展宽处理，输出展宽后的写信号至第一延时模块 212。

示例性地，如图 4 所示，本实施例中，在写调平电路中的写信号生成单元 21 中包括有译码器 211、信号转换模块 213 以及第一延时模块 212。其中，译码器 211 用于接收写指令，并对写指令进行解码处理，并将解码处理后的信号发送至与译码器 211 连接的信号转换模块 213。之后，信号转换模块 213，对译码器 211 输出的解码处理后的信号进行脉冲展宽处理，并将脉冲展宽处理后的信号作为第一写信号输出至与其连接的第一延时模块 212，以便第一延时模块 212 可以对其接收到的第一写信号进行延迟处理，进而得到第二写信号。

可以理解的是，本实施例中写信号生成单元 21 中的信号转换模块 213，通过对译码器 211 输出至信号转换模块 213 的信号进行脉冲展宽处理，以便满足存储器对应的规格要求（例如，SPEC 要求）。

在上述任一实施例的基础上，本实施例所提供的写调平电路中的采样单元 23 中包括：第一触发器 231、第二触发器 232、数据选择器 233；第一触发器 231 的数据端与写信号生成单元 21 连接，用于接收写信号生成单元 21 输出的第二写信号；第一触发器 231 的时钟端与延时单元 22 的输出端连接，用于接收延时单元 22 输出的第二数据选通信号；第一触发器 231 用于基于第二写信号与第二数据选通信号，输出第一采样信号；第二触发器 232 的数据端与写信号生成单元 21 连接，

用于接收写信号生成单元 21 输出的第二写信号；第二触发器 232 的时钟端用于接收第一数据选通信号，第二触发器 232 用于基于第二写信号与第一数据选通信号，输出第二采样信号；第一触发器 231 的输出端与数据选择器 233 的第一端连接，第二触发器 232 的输出端与数据选择器 233 的第二端连接。

5 示例性地，如图 5 所示，图 5 为本公开实施例提供的还一种应用于存储器的写调平电路的结构示意图，在图 2 所示的结构的基础上，本实施例中的写调平电路中包括有第一触发器 231、第二触发器 232 以及数据选择器 233。其中，第一触发器 231 的时钟端与数据端，分别与延时单元 22 和写信号生成单元 21 连接，进而第一触发器 231 基于其时钟端所接收到的与其连接的延时单元 22 发送的第二数据选通信号的有效沿，对第一触发器 231 的数据端所接收到的与其连接的写信号生成单元 21 输出的第二写信号进行采样，并将采样结果作为第一采样信号，输出至与第一触发器 10 231 连接的数据选择器 233。

此外，第二触发器 232 时钟端用于接收第一数据选通信号，第二触发器 232 的数据端与写信号生成单元 21 连接，用于接收写信号生成单元 21 输出的第二写信号，之后，第二触发器 232 基于接收到的第一数据选通信号的有效沿，对第二触发器 232 所接收到的第二写信号进行采样，并 15 将采样结果作为第二采样信号，输出至与第二触发器 232 连接的数据选择器 233。

数据选择器 233 在接收到与其连接的第一触发器 231 发送的第一采样信号以及与其连接的第二触发器 232 发送的第二采样信号之后，会选择在其中选择一个采样信号输出，以便存储器外的控制器可以基于接收到的第一采样信号或者第二采样信号进行调整控制器发送至该存储器的信号。

可以理解的是，本实施例中通过在采样单元 23 中设置第一触发器 231、第二触发器 232 以及 20 数据选择器 233，相比于同时将第一采样信号以及第二采样信号同时发送至控制器，本实施例中所提供的采样单元 23 的装置，可以减少控制器上数据接收端口的占用，当写调平电路封装在存储器中时，还可以减少存储器上引脚的占用。

在上述任一所提供的应用于存储器的写调平电路的结构的基础上，本实施例中，写调平电路还包括：第一转换器 24，分别与延时单元 22 和采样单元 23 连接，用于对接收到的第三数据选通 25 信号进行逻辑电平转换处理，得到第一数据选通信号；其中，第三数据选通信号的电平为电流模式逻辑电平；第一数据选通信号的电平为互补金属氧化物半导体（Complementary Metal Oxide Semiconducto，简称 CMOS）电平。

示例性地，在本实施例所提供的写调平电路中还包括有第一转换器 24。其中，第一转换器 24 所接收到的第三数据选通信号，在实际应用中可以认为是存储器外部的控制器发送至存储器的引 30 脚处的数据选通信号。而在控制器向存储器发送第三数据选通信号时，为了提高信号的传输效率，通常采用电流模式逻辑(Current Model Logic，简称 CML)电平的传输形式。而在存储器内部通常采用 CMOS 电平的传输形式进行信号传输。因此，在写调平电路中的第一转换器 24 在引脚处获取到第三数据选通信号之后，会将采用 CML 电平传输形式传输的第三数据选通信号转换为采用 CMOS 电平传输形式传输的第一数据选通信号，以便存储器中的写调平电路中的各个器件可以准 35 确识别该第一数据选通信号。

在上述任一所提供的应用于存储器的写调平电路的结构的基础上，本实施例中，写调平电路还包括：第二转换器 25，与写信号生成单元 21 连接，用于对接收到的第二时钟信号进行逻辑电平转换处理，得到第一时钟信号；其中，第二时钟信号的电平为电流模式逻辑电平；第一时钟信号的电平为 CMOS 电平。

示例性地，本实施例中，在本实施例所提供的写调平电路中还包括有第二转换器 25。其中，第二转换器 25 所接收到的第二时钟信号，在实际应用中可以认为是存储器外部的控制器或者与其串联的前一存储器发送至该存储器的引脚处的时钟信号。而在控制器向存储器发送时钟信号或者存储器之间发送时钟信号时，为了提高信号的传输效率，通常采用电流模式逻辑(Current Model Logic, 简称 CML)电平的传输形式。而在存储器内部通常采用 CMOS 电平的传输形式进行信号传输。因此，在写调平电路中的第二转换器 25 在引脚处获取到第二时钟信号之后，会将采用 CML 电平传输形式传输的第二时钟信号转换为采用 CMOS 电平传输形式传输的第一时钟信号，以便存储器中的写调平电路中的各个器件可以准确识别该第一时钟信号。

图 6 为本公开实施例提供的再一种应用于存储器的写调平电路的结构示意图。如图所示，本实施例中，当写调平电路设置在存储器内部，且存储器分别设置有高位数据选通信号接收引脚以及低位数据选通信号接收引脚时，此时，写调平电路中的第一转换器 24 可以用于接收从存储器的低位数据选通信号接收引脚处传入的第三数据选通信号，并对该第三数据选通信号进行逻辑电平转换处理，进而得到第一数据选通信号分别传输至与第一转换器 24 连接的延时单元 22 以及采样单元 23 中的第二触发器 232。

延时单元 22 在接收到第一数据选通信号之后，会对第一数据选通信号进行延迟处理，之后将延迟处理得到的第二数据选通信号传输至与延时单元 22 连接的采样单元 23 中的第一触发器 231。

此外，在写调平电路中还包括有第二转换器 25，其中，第二转换器 25 用于接收存储器引脚处传入的第二时钟信号，对第二时钟信号进行逻辑电平转换处理，之后将处理得到的第一时钟信号传输至与第二转换器 25 连接的写信号生成单元 21 中的信号转换模块 213。

写信号生成单元 21 中的译码器 211 用于基于接收到的写指令，生成第一写信号，之后，将生成的第一写信号传输至与译码器 211 连接的信号转换模块 213。信号转换模块 213 在接收到第一写信号之后，会对其进行脉冲展宽处理，并将展宽处理后的信号发送至与信号转换模块 213 连接的第一延时模块 212，由第一延时模块 212 对展宽后的信号进行延迟处理，得到第二写信号。之后，第一延时模块 212 会将得到的第二写信号，分别传输至与第一延时模块 212 连接的第一触发器 231 以及第二触发器 232。

在采样单元 23 中，第一触发器 231 基于其数据端接收到的第一延时模块 212 输出的第二写信号以及其时钟端接收到的延时单元 22 输出的第二数据选通信号，进行采样，生成第一采样信号，输出至与第一触发器 231 连接的数据选择器 233。同样，第二触发器 232 基于其数据端接收到的第一延时模块 212 输出的第二写信号以及其时钟端接收到第一接收器 24 输出的第一数据选通信号，进行采样，生成第二采样信号，输出至与第二触发器 232 连接的数据选择器 233。

可以理解的是，当上述第一转换器 24 所接收到的第三数据选通信号为低位数据选通信号，且存储器的引脚中还包括有高位数据选通信号接收引脚时，此时，在写调平电路中还可以设置有第三转换器 26，其中，第三转换器 26 用于对接收到的高位数据选通信号进行逻辑电平转换处理，并将逻辑电平转换后的信号分别发送至与第三转换器 26 连接的高位延时单元 27 以及与第三转换器 26 连接的第四触发器 282。本实施例中的高位延时单元 27 的功能与延时单元 22 一致，用于对接收到的数据选通信号进行延迟处理，并将延迟处理后的信号发送至与高位延时单元 27 连接的第三触发器 281。

此外，写调平电路中还可设置有第二延时模块 214，第二延时模块 214 用于对与其连接的信号转换模块 213 输出的脉冲展宽处理后的信号进行延迟处理，并将延迟处理后的信号分别发送至与

第二延时模块 214 连接的第三触发器 281 以及第四触发器 282。

在高位采样单元 28 中，第三触发器 281 基于其数据端接收到的第二延时模块 214 输出的信号以及其时钟端接收到的高位延时单元 27 输出的信号，进行采样，生成第三采样信号，并输出至与第三触发器 28 连接的高位数据选择器 283。同样地，第四触发器 282 基于其数据端接收到的第二
5 延时模块 214 输出的信号以及其时钟端接收到第三接收器 26 输出的信号，进行采样，生成第四采样信号，并输出至与第四触发器 282 连接的高位数据选择器 283。

可以理解的是，当存储器包括有低位数据选通信号接收引脚以及高位数据选通信号接收引脚时，此时，则需要保证其接收到的低位数据选通信号的有效沿与时钟信号的有效沿的时间差值满足存储器的规格设置，并且，还需要保证其接收到的高位数据选通信号的有效沿与时钟信号的有效沿的时间差值满足存储器的规格设置。因此，存储器中的写调平电路中
10 可以设置有两个用于对接收到的数据选通信号进行逻辑电平转换处理的转换器（即，图中的第一转换器 24 以及第三转换器 26），两个延时单元（即，图中的延时单元 22 以及延时单元 27）以及两个采样单元（即，图中的采样单元 23 以及高位采样单元 28）。通过上述写调平电路的设计，可以在存储器外部的控制器对发送至存储器的信号进行调整之后，确保存储器接收到的低位数据选通信号的有效沿与时钟信号的有效沿的时间差值满足存储器的规格设置，并且存储器接收到的高位数据选通信号的有效沿与时钟信号的有效沿的时间差值满足存储器的规格设置，提高存储器写入数据的准确性。举例来说，控制器可以调整第一转换器 24 所接收到的数据选通信号，或者第一延时模块进行延迟处理时的时延以确
15 保存储器接收到的低位数据选通信号的有效沿与时钟信号的有效沿的时间差值满足存储器的规格设置。并且，控制器还可以调整第三转换器 26 所接收到的数据选通信号，或者第二延时模块进行延迟处理时的时延以确
20 保存储器接收到的高位数据选通信号的有效沿与时钟信号的有效沿的时间差值满足存储器的规格设置。

在上述任一实施例的基础上，本实施例中的第一采样信号表征第一时钟信号的有效沿与第一数据选通信号的有效沿是否对齐。

示例性地，由于通常在对存储器进行写调平的过程中，通常会分为外部写调平以及内部写调平，其中，外部写调平用于对齐存储器引脚处接收到的数据选通信号以及时钟信号。本实施例中
25 为了使得采样单元 23 输出的第一采样信号可以表征出第一数据选通信号的有效沿与第一时钟信号的有效沿是否对齐，通过令延时单元 22 对第一数据选通信号的延迟处理时的时延，等效于写信号生成单元 21 在接收到第一时钟信号时对第一写信号进行延迟处理得到第二写信号的时延，进而当采样单元 23 输出的第一采样信号所表征的接收到的第二数据选通信号的有效沿与第二写信号的有效沿是否对齐的结果，与第一数据选通信号的有效沿和第一时钟信号的有效沿是否对齐的结果始终保持一致。通过上述对延时单元 22 的时延的设置，使得可以基于采样单元 23 输出的第一
30 采样信号来确定是否达到存储器的外部写调平的目的。

在一些实施例中，在上述任一实施例的基础上，当第一采样信号具体用于在第一采样信号表征第一时钟信号的有效沿与第一数据选通信号的有效沿未对齐时，指示调整第一数据选通信号的
35 时延。

示例性地，本实施例中，为了实现对存储器外部写调平的训练，当存储器外部的控制器确定出第一采样信号表征第一时钟信号的有效沿与第一数据选通信号的有效沿未对齐时，此时，控制器可以不断调整向存储器发送的数据选通信号的时延，即不断调整第一数据选通信号的时延，以便达到第一时钟信号的有效沿与第一数据选通信号的有效沿对齐。

需要说明的是，本公开中的判断两个信号的有效沿是否对齐，可以通过判断两个信号的有效沿所对应的时间之间的时间差值是否在预设差值范围内来确定，若时间差值位于预设差值内，则表征两个信号的有效沿对齐。

5 在一些实施例中，第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿是否对齐。

示例性地，在对存储器进行写调平的过程中，还包括有内部写调平，设置内部写调平主要目的是为了减少数据选通信号在存储器内部进行传输的传输路径的基础上，确保存储器内部所接收到的第一数据选通信号的有效沿与第二写信号的有效沿是否对齐。

10 在外部调平过程中，存储器中设置有延时单元 22，对接收到的第一数据选通信号进行延迟处理，然而若延时单元 22 进行延迟处理所对应的时延越长，此时写调平电路中的功耗以及抖动也就越多，因此，为了减少数据选通信号在存储器内部的传输路径，在内部写调平过程中，采样单元 23 直接基于第一数据选通信号以及与采样单元连接的写信号生成单元生成的第二写信号，输出第二采样信号，以便通过第二采样信号，确定出第一数据选通信号的有效沿与第二写信号的有效沿是否对齐。例如，采样单元 23，可以通过将第一数据选通信号的各个有效沿对应的时间与第二写信号的各个有效沿所对应的时间进行求差处理，以便确定出第一数据选通信号的有效沿与第二写信号的有效沿是否对齐。

在一些实施例中，第二采样信号具体用于在第一采样信号表征第一时钟信号的有效沿与第一数据选通信号的有效沿对齐，且第一数据选通信号的有效沿与第二写信号的有效沿未对齐时，指示调整第一写信号的时延或者第一数据选通信号的时延。

20 示例性地，在内部写调平过程中，为了避免存储器内部信号传输时消耗的功率较大的问题，可采用以下方式进行调整。本实施例中，当外部写调平过程结束之后，即当在第一采样信号表征第一时钟信号的有效沿与第一数据选通信号的有效沿对齐后，并且第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐时，此时，可以通过调整第一写信号的时延或者第一数据选通信号的时延，以便达到第一数据选通信号的有效沿与第二写信号的有效沿对齐的目的。

25 可以理解的是，相比于外部写调平过程中第一数据选通信号需要通过延时单元的延迟处理后再输出的方式，在内部写调平过程中，无需对第一数据选通信号进行延迟处理，相当于减少了第一数据选通信号在存储器内部传输时的时延，并且之后还可以通过调整第一写信号的时延，减少第一写信号在传输过程中所造成的功耗，之后，再不断调整第一写信号的时延或者第一数据选通信号的时延过程中，以确保达到内部写调平的目的。

30 图 7 为本公开实施例提供一种应用于存储器的写调平电路的控制方法的流程示意图，本实施例所提供的方法应用于图 2 所示的写调平电路中，该方法包括以下步骤：

S701、若确定第一采样信号表征第一时钟信号有效沿与第一数据选通信号的有效沿未对齐，则调整第一数据选通信号的时延。

35 重复执行步骤 S701，直至基于采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐。

示例性地，本实施例的执行主体可以为存储器外部的控制器或者其余电子设备，本公开不做具体限制。下面以控制器为本公开的执行主体为例描述。

在对存储器进行写调平的过程中，首先，控制器接收写调平电路输出的第一采样信号，若控制器基于第一采样信号确定第一时钟信号的有效沿与第一数据选通信号的有效沿未对齐时，此时，

控制器则不断调整向存储器发送的数据选通信号的时延，即不断改变第一数据选通信号的时延，以便第一数据选通信号与第一时钟信号对齐。需要说明的是，本实施例中，控制器每次调整数据选通信号的时延的大小可以为相同的取值，也可以为不同取值，本实施例不做具体限制。

此外，需要说明的是，本实施例中，第一采样信号是写调平电路中的采样单元通过比较延迟单元输出的第二数据选通信号有效沿与第二写信号的有效沿是否对齐所生成的，并且，由于延迟单元对第一数据选通信号的延迟处理时的时延，等效于写信号生成单元在接收到第一时钟信号时对第一写信号进行延迟处理得到第二写信号的时延，因此，通过比较第二数据选通信号有效沿与第二写信号的有效沿是否对齐所生成的第一采样信号可以表征第一数据选通信号的有效沿与第一时钟信号的有效沿是否对齐。

一个示例中，第一采样信号可以为采样单元接收到第二数据选通信号有效沿与采样单元接收到第二写信号的有效沿的时间差值，控制器通过比较该时间差值与预设时间差值范围来确定两个信号的有效沿是否对齐。

S702、若确定第一采样信号表征第一时钟信号与第一数据选通信号对齐，则控制第一数据选通信号的时延减少第一预设时段，将减少后的信号作为采样单元当前接收到的第一数据选通信号。

示例性地，当控制器基于第一采样信号确定出第一时钟信号与第一数据选通信号对齐，即表征完成了存储器写调平过程中的外部写调平过程。之后，控制器将对齐时的第一数据选通信号的时延减少第一预设时段，之后，将时延减少第一预设时段的第一数据选通信号，作为存储器进行内部写调平过程时，首次输入至写调平电路中的采样单元的第一数据选通信号。

需要说明的是，本实施例中的第一预设时间，可以基于写入前导码（write preamble）信号以及写入前导码信号和第一预设时长之间的对应关系确定的。

S703、若确定第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐，则调整第一数据选通信号的时延或者第一写信号的时延。

重复步骤 S703，直至基于采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐。

示例性地，在对存储器进行内部写调平时，首先当控制器基于第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿未对齐时，此时，控制器可以通过调整第一数据选通信号以及第一写信号的时延来确保第一数据选通信号的有效沿与第二写信号的有效沿对齐，即确保存储器内部的存储单元部分所接收到的数据选通信号以及写信号是对齐的。

可以理解的是，本实施例中提供了一种应用于存储器的写调平电路的控制方法，控制器可以通过基于写调平电路输出的第一采样信号以及第二采样信号，对写调平电路进行控制，以便完成存储器的写调平的目的。此外，在控制过程中，首先可以控制器可以基于第一采样信号所表征的信号的有效沿是否对齐，来确定是否对第一数据选通信号的时延进行调整，以便完成存储器的外部写调平过程。并且，为了减少数据选通信号以及写信号在存储器内部传输时所造成的功耗和延时，在内部写调平过程中，控制器还会基于所接收到的第二采样信号来不断调整第一数据选通信号的时延或者第一写信号的时延，以便使得最终完成对存储器的写调平过程，使得存储器可以准确的写入数据。

在一些实施例中，在图 7 所示的方法的基础上，当确定第一数据选通信号的有效沿与第二写信号的有效沿对齐时，将第一数据选通信号的时延延长第二预设时段，并将延长后的信号确定为存储器进行写操作时所接收到的数据选通信号。

示例性地，本实施例中，在上述图 7 所示的写调平电路的控制方法基础上，为了进一步确保存储器引脚处所接收到的数据选通信号的有效沿与引脚处接收到的时钟信号的有效沿之间的时间差值满足存储器的规格要求，本实施例中，控制器在确定第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿对齐时，此时，可以将对齐时的第一数据选通信号的时延延长第二预设时段，并将时延延长后的数据选通信号作为存储器在进行写操作时所接收到的第一数据选通信号。并且，此时延长第二预设时段后的第一数据选通信号有效沿，相比于对齐时的存储器引脚处接收到的第一时钟信号的有效沿，两个有效沿之间的时间差值符合存储器规格所要求的时间差值（例如，存储器的 tDQSoffset）。

需要说明的是，本公开中的第二预设时段，可以通过基于写入前导码（write preamble）信号以及写入前导码信号和第二预设时长之间的对应关系确定的。

可以理解的是，本实施例中，通过对第一数据选通信号的有效沿与第二写信号的有效沿对齐时的第一数据选通信号的时延延长第二预设时段，进而确定出存储器引脚端最终需要接收到的数据选通信号，以便存储器可以准确的写入数据。

在一些实施例中，基于采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐，包括：若采样单元输出的第一采样信号的电平值从第一电平值变化至第二电平值，则确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐。

示例性地，本实施例中，在基于写调平电路中的采样单元所产生的第一采样信号来确定第一数据选通信号的有效沿以及第一时钟信号的有效沿是否对齐时，可以通过检测第一采样信号的电平值来确定。具体地，在本实施例中，当延时单元对第一数据选通信号的延迟处理时的时延，等效于写信号生成单元在接收到第一时钟信号时对第一写信号进行延迟处理得到第二写信号的时延时，此时，第二数据选通信号的有效沿与第二写信号的有效沿是否对齐的结果，与第一数据选通信号的有效沿和第一时钟信号的有效沿是否对齐的结果始终保持一致。此时，采样单元可以通过在第二数据选通信号的有效沿处对第二写信号的电平值进行采样，并将采样后的结果作为第一采样信号输出，当控制器确定输出的第一采样信号的电平值从第一电平值切换至第二电平值时，则表征第二数据选通信号的有效沿与第二写信号的有效沿对齐，同样地，此时，第一数据选通信号的有效沿与第一时钟信号的有效沿处于对齐状态。

可以理解的是，本实施例中，当采样单元输出的第一采样信号可以表征第二数据选通信号的有效沿与第二写信号的有效沿是否对齐，并且该对齐结果和第一数据选通信号的有效沿与第一时钟信号的有效沿是否对齐的对齐结果相同时，可以通过检测第一采样信号输出的信号电平值的是否从第一电平值切换至第二电平值，来确定第一数据选通信号的有效沿与第一时钟信号的有效沿是否对齐。本实施例提供的方法简单，容易实现，无需多次重复计算信号有效沿之间的时间差值。

在一些实施例中，在上述实施例的基础上，基于采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐，包括：若采样单元输出的第二采样信号的电平值从第二电平值变化至第一电平值，则确定第一数据选通信号的有效沿与第二写信号的有效沿对齐。

示例性地，本实施例中，在采样单元基于接收到的第一数据选通信号以及接收到的写信号生成单元输出的第二写信号之后，为了确定第一数据选通信号的有效沿与第二写信号的有效沿是否对齐，可以通过在第一数据选通信号的有效沿处对第二写信号的电平值进行采样，并将采样结果作为采样单元输出的第二采样信号，进而可以通过不断监测第二采样信号的电平值的变化，当第二采样信号的电平值从第二电平值切换至第一电平值时，此时，表征第二写信号的有效沿与第一

数据选通信号的有效沿对齐。

可以理解的是，本实施例中，可以通过检测第二采样信号的电平值变化是否从第二电平值切换至第一电平值，来确定第一数据选通信号的有效沿与第二写信号的有效沿是否对齐。本实施例提供的方法简单，容易实现，无需多次重复计算信号有效沿之间的时间差值。

- 5 图 8 为本公开实施例提供的又一种应用于存储器的写调平电路的控制方法的流程示意图，本实施例所提供的方法应用于图 3 所示的写调平电路中，其中，写调平电路中的写信号生成单元，包括：译码器，用于对接收到的写指令进行解码处理，输出第一写信号；第一延时模块，与译码器连接，用于基于接收到的第一时钟信号，对第一写信号进行延迟处理，输出第二写信号；第一延时模块，具体用于，基于接收到的第一时钟信号、存储器的列写潜伏期、第一指示信号，对第一写信号进行延迟处理，输出第二写信号，其中，第一指示信号用于指示存储器的列写潜伏周期的缩短时间。在上述实施例的基础上，该方法包括以下步骤：
- 10

S801、若确定采样单元输出的第一采样信号的电平值未发生从第一电平值变化至第二电平值的变化，则确定第一时钟信号的有效沿与第一数据选通信号的有效沿未对齐，并调整第一数据选通信号的时延。

- 15 重复执行步骤 S801，直至基于采样单元输出的第一采样信号的电平值从第一电平值变化至第二电平值，则确定第一时钟信号的有效沿与第一数据选通信号的有效沿对齐。

示例性地，步骤 S801 的具体原理可以参见步骤 S701 与上述实施例中的具体原理，此处不再赘述。

- 20 S802、若确定采样单元输出的第一采样信号的电平值从第一电平值变化至第二电平值，则确定第一时钟信号的有效沿与第一数据选通信号的有效沿对齐，并控制第一数据选通信号的时延减少第一预设时段，将减少后的信号作为采样单元当前接收到的第一数据选通信号。

示例性地，步骤 S802 的具体原理可以参见步骤 S702 与上述实施例中的具体原理，此处不再赘述。

- 25 S803、若确定采样单元输出的第二采样信号的电平值为第一电平值，则调整第一延时模块接收到的第一指示信号，以增大第一指示信号所指示的存储器的列写潜伏期的缩短时间；向译码器下发写指令以及向第一延时模块下发调整后的第一指示信号。

重复执行步骤 S803，直至采样单元输出的第二采样信号的电平值从第一电平值切换至第二电平值。

- 30 示例性地，本实施例中，在通过步骤 S801 完成存储器的外部写调平之后，为了减少数据选通信号以及写信号在存储器内部传输时所造成的功耗，在外部写调平之后，还会继续进行存储器内部写调平的调整过程。首先，在内部写调平时，会将第一时钟信号的有效沿与第一数据选通信号的有效沿对齐时的第一数据选通信号的时延减少第一预设时段。当第一数据选通信号发生变化之后，此时，需要不断调整写信号生成单元中第一延时模块对译码器输出的第一写信号的时延进行不断缩短，以便第一数据选通信号的有效沿和写信号生成单元输出的第二写信号的有效沿在存储器内部可以实现对齐。
- 35

在控制第一写信号的时延缩短时，本实施例中可以通过增大向第一延时模块发送的第一指示信号所指示列写潜伏周期的缩短时间，随着缩短时间的不断增加，列写潜伏周期与缩短时间之间的差值（即，第一延时模块对第一写信号延迟处理时的时延）也就不断减少。

也就是说，在内部写调平过程中，首先每次调整时，向写调平电路中的译码器下发写指令，

并且，向第一延迟模块发送调整后的第一指示信号，同时确保第一数据选通信号不变（此时的第一数据选通信号为将第一时钟信号的有效沿与第一数据选通信号的有效沿对齐时的第一数据选通信号的时延减少第一预设时段时所对应的数据选通信号）的情况下，获取采样单元输出的第二采样信号，当第二采样信号所表征的电平值为第一电平值时，则表明此时仍需要缩短第一写信号的时延。

需要说明的是，受存储器中的寄存器的限制，在调整第一指示信号所指示的列写潜伏周期的缩短时间时，列写潜伏周期的缩短时间只能取整数倍的第一时钟信号的时间周期的取值，因此，导致在调整第一写信号的时延时，每次时延的改变值只能为时间周期的整数倍，当第二采样信号的输出的采样值从第一电平值切换到第二电平值时，此时，第一数据选通信号的有效沿与第二写信号的有效沿可能并未对齐，会出现第一数据选通信号的有效沿所对应的时间晚于第二写信号的有效沿所对应的时间的现象，因此，还需要调整第一数据选通信号的时延。

S804、减小采样单元接收到的第一数据选通信号的时延，并向译码器下发写指令，向第一延时模块下发延时信号，其中，延时信号为采样单元输出的第二采样信号从第一电平值切换至第二电平值时，第一延时模块接收到的第一指示信号。

重复步骤 S804，直至采样单元输出的第二采样信号的电平值从第二电平值切换至第一电平值。

示例性地，在完成上述步骤 S803 中的调整之后，为了确保第一数据选通信号的有效沿与第二写信号的有效沿对齐，在本步骤中，还会对第一数据选通信号的时延进行调整。由于第一数据选通信号的时延不受存储器规格的限制，每次时延的调整的变化量无需为第一时钟信号的时钟周期的整数倍，因此，本步骤中，可以通过对第一数据选通信号的时延不断调整，通过不断减少第一数据选通信号的时延，使得第一数据选通信号的有效沿与第二数据选通信号的有效沿对齐。并且，在每次调整过程中，还需要向译码器发送写指令，并且向第一延时模块下发延时信号，以便译码器可以输出第一写信号，第一延时模块可以对与其连接的译码器输出的第一写信号进行延迟处理，延迟处理的时长由第一延时模块所接收到的延时信号确定，并且，此时的延时信号为第二采样信号从第一电平值切换至第二电平值时，第一延时模块所接收到的第一指示信号，即步骤 S803 循环执行结束时，第一延时模块所接收到的第一指示信号。

可以理解的是，本实施例中，在进行存储器的内部调整的过程中，首先会通过减少第一写信号延迟处理时的时延，来减少第一写信号在传输过程中的功耗和延时。之后，在通过调整第一数据选通信号的时延，以便第一数据选通信号以及第二写信号的有效沿可以实现对齐，进而使得存储器在进行写操作时，可以实现数据的准确写入，并且还降低了写操作过程中，存储器内部信号传输时的功耗。

在一些实施例中，当写调平电路中的采样单元，包括：第一触发器、第二触发器、数据选择器；第一触发器的数据端与写信号生成单元连接，用于接收写信号生成单元输出的第二写信号；第一触发器的时钟端与延时单元的输出端连接，用于接收延时单元输出的第二数据选通信号；第一触发器用于基于第二写信号与第二数据选通信号，输出第一采样信号；第二触发器的数据端与写信号生成单元连接，用于接收写信号生成单元输出的第二写信号；第二触发器的时钟端用于接收第一数据选通信号，第二触发器用于基于第二写信号与第一数据选通信号，输出第二采样信号；第一触发器的输出端与数据选择器的第一端连接，第二触发器的输出端与数据选择器的第二端连接。

此时，在控制该写调平电路时，若确定第一采样信号表征第一时钟信号的有效沿与第一数据

选通信号的有效沿未对齐，则调整第一数据选通信号的时延之前，写调平电路的控制方法中还包

括：

向数据选择器发送第一控制信号，第一控制信号用于指示数据选择器输出第一采样信号；接收数据选择器输出的第一采样信号。

- 5 基于采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐之后，方法还包括：向数据选择器发送第二控制信号，第二控制信号用于指示数据选择器输出第二采样信号。

示例性地，本实施例的执行主体可以为存储器外部的控制器或者其余电子设备，本公开不做具体限制。下面以控制器为本公开的执行主体为例描述。

- 10 当写调平电路中的采样单元中包括有第一触发器、第二触发器以及数据选择器时，此时，此时，在写调平过程中，控制器还需要向数据选择器下发控制信号，以便数据选择器可以在与其连接的第一触发器输出的第一采样信号以及第二触发器输出的第二采样信号中选择出当前需要的采样信号。

- 15 首先，在写调平过程中，首先，控制器需要向数据选择器发送第一控制信号，以便数据选择器可以输出第一采样信号至控制器，直到控制器基于第一采样信号确定出第一时钟信号的有效沿与第一数据选通信号的有效沿对齐，此时，写调平过程中的外部写调平过程结束。

此外，在控制器确定出第一时钟信号的有效沿与第一数据选通信号的有效沿对齐时，此时，控制器可以将向数据选择器发送的第一控制信号切换为第二控制信号，以便数据选择器在接收到第二控制信号之后，可以基于输出与其连接的第二触发器所生成的第二采样信号。

- 20 可以理解的是，当写调平电路中的采样单元中包括第一触发器、第二触发器以及数据选择器时，此时，控制器可以通过改变向数据选择器发送的控制信号，来改变数据选择器输出的采样信号，以便在外部写调平以及内部写调平时，控制器都可以准确的接收到所需要的第一采样信号或者第二采样信号。

- 25 图 9 为本公开实施例提供的一种信号变化示意图。图 9 所示的信号变化示意图用于表征在控制写调平电路进行写调平过程中数据选通信号以及写信号的变化示意图。本实施例中结合图 6 所示的写调平电路进行说明。

- 示例性地，本实施例中，图 9 中的第二时钟信号为写调平电路中的第二转换器 25 处接收到的时钟信号。指令信号中所对应的写指令，图 6 中写调平电路中的译码器 211 所接收到的写指令。在译码器 211 接收到写指令之后，会生成第一写信号，并且将第一写信号发送至与译码器 211 连接的信号转换模块 213，由信号转换模块 213 对接收到的第一写信号进行脉冲展宽处理，进而得到脉冲展宽处理后的第一写信号（即，图 9 中的脉冲展宽后的第一写信号）。信号转换模块 213 将脉冲展宽后的第一写信号发送至与信号转换模块 213 连接的第一延时模块 212，并由第一延时模块 212 对脉冲展宽处理后的第一写信号进行延迟处理，进而得到第二写信号（即，图中外部写调平阶段中的第二写信号），输入至分别与第一延时模块 212 连接的第一触发器 231 以及第二触发器 232。并且，从图中可以看出，在外部写调平过程中，脉冲展宽处理后的第一写信号与第二写信号之间的时延，为列写潜伏周期和绝对时延之和，其中，绝对时延为信号传输过程中所造成的时延。
- 30
- 35

此外，图 9 中外部写调平过程中的第三数据选通信号为当外部写调平过程结束时，此时，写调平电路中的第一转换器 24 所接收到的数据选通信号。图 9 中外部写调平过程中的第二数据选通

信号,为第一转换器 24 对外部写调平过程中的第三数据选通信号进行电平转换后输出至与第一转换器 24 连接的延时单元 22,并由延时单元 22 对第一转换器 24 输入至延时单元 22 的信号进行延迟处理后所得到的。因此,图 9 中的外部写调平过程中的第三数据选通信号与外部写调平过程中的第二数据选通信号之间的时延为延时单元 22 所造成的时延与第一转换器 24 所造成的时延之和。

- 5 并且,在图中可以看出在外部写调平过程结束之后,外部写调平中所包含的第二写信号的有效沿(即,第二写信号的上升沿)与第二数据选通信号的有效沿(即,第二数据选通信号的上升沿)处于对齐状态。

在外部写调平结束之后,会将第一数据选通信号的时延缩短第一预设时长,由于第一数据选通信号为写调平电路中第一转换器 24 基于其接收到的第三数据选通信号进行电平转换处理得到的,因此,第一数据选通信号与第三数据选通信号之间的时延为由第一转换器所造成的固定的时延,将第一数据选通信号的时延缩短第一预设时长,即,需要将第三数据选通信号的时延缩短第一预设时长。即,将外部写调平中的第三数据选通信号向前移动第一预设时长之后,得到图 9 中的中间过程的第三数据选通信号,并将该中间过程的第三数据选通信号,作为写调平过程中的内部写调平中,第一转换器 24 首次接收到的第三数据选通信号。

- 15 图 9 中的内部写调平过程中的第二写信号,为内部写调平过程结束时的写调平电路中的写信号生成单元 21 输出的信号。内部写调平过程中的第一数据选通信号为图中的中间过程的第三数据选通信号通过第一转换器 24 之后所生成的信号。从图中可以看出,在内部写调平过程中,写信号生成单元 21 输出的第二写信号相比于外部写调平过程中的第二写信号会向前移动,即时延会缩短,由于第二写信号只能正数倍时钟周期的向前移动,因此,会出现图中在内部写调平过程中,第二写信号的有效沿(即其上升沿)位于内部写调平过程中的第一数据选通信号的有效沿(即其上升沿)之前,因此,在内部写调平过程中,还需要将第一转换器 24 输出的第一数据选通信号向前移动,以便第一数据选通信号的有效沿与第二写信号的有效沿可以对齐。

图 9 中,内部写调平过程中的第三数据选通信号为内部写调平过程中的第一数据选通信号的有效沿与第二写信号的有效沿对齐时,第一转换器 24 输入的信号。之后,将第三数据选通信号向后移动第二预设时段,进而得到图 9 中的最终的第三数据选通信号。之后,在向存储器进行写操作时,可以将写调平过程中确定出的最终的第三数据选通信号作为控制器向存储器引脚处发送的数据选通信号,以便存储器可以准确的写入数据。

- 25 图 10 为本公开实施例提供的另一种信号变化示意图。图 10 所示的信号变化示意图用于表征在控制写调平电路进行写调平过程中数据选通信号以及写信号的变化示意图。本实施例中将结合图 6 所示的写调平电路进行说明。

示例性地,本实施例中,图 10 中的第二时钟信号为写调平电路中的第二转换器 25 处接收到的时钟信号。指令信号中所对应的写指令,图 6 中写调平电路中的译码器 211 所接收到的写指令。

- 图中外部写调平过程中的第二写信号与第二数据选通信号分别为在外部写调平结束时,写信号生成单元 21 与延时单元 22 输出的信号。图中外部写调平过程中的第三数据选通信号为外部写调平过程结束时,第一转换器 24 所接收到的数据选通信号。在外部写调平过程结束之后,需要对第一转换器 24 输出的第一数据选通信号向前移动第一预设时长,由于输入第一转换器 24 的第三数据选通信号与第一转换器 24 输出的第一数据选通信号之间的时延为固定的,因此,将第一数据选通信号向前移动第一预设时长相当于将第一转换器 24 输入的第三数据选通信号向前移动第一预设时长(即图中的 $1.25t_{ck}$),进而得到了图中的中间过程的第三数据选通信号。

在内部写调平过程中,会通过将外部写调平过程中结束时的写信号生成单元 21 输出的第二写信号(即图中内部写调平过程中的初始第二写信号)向前移动,并且还需要对输入第一转换器 24 的第三数据选通信号的时延进行调整,以便写信号生成单元 21 输出的第二写信号的有效沿与第一转换器 24 输出的第一数据选通信号的有效沿对齐。

- 5 图中,当在移动初始第二写信号之后,确定写信号生成单元 21 输出的第二写信号的有效沿与第一转换器 24 输出的第一数据选通信号的有效沿对齐时,则此时无需调整输入至第一转换器 24 的数据选通信号(即,图中的中间过程的数据选通信号)的时延。

- 在内部写调平过程结束之后,将该过程结束时的第一转换器 24 输入的第三数据选通信号,即图中的中间过程的第三数据选通信号向后移动第二预设时长(即图中的 $1.75t_{ck}$),进而得到最终的第三数据选通信号。图中,在图中的最终的第三数据选通信号中示出了该信号中的两个上升沿,即图中两个虚线箭头所指示的信号的有效沿,从图中可以看出,这两个上升沿与第二时钟信号的有效沿(即上升沿)之间的时延分别为 $-0.5t_{ck}$ 以及 $0.5t_{ck}$,该时延差值符合该存储器规格所要求的时间差值(例如,该时间差值在实际应用中可以为存储器所要求的 $t_{DQSoffest}$ 参数)。因此,后续在向存储器发送待写入的数据时,可以基于图中所示的最终的第三数据选通信号的两个上升沿中的任一上升沿所对应的时间,向存储器发送待写入的数据。
- 10
- 15

图 11 为本公开提供一种应用于存储器的写调平电路的控制装置的结构示意图,该控制装置应用于图 2-图 6 任一实施例所提供的电路,该控制装置包括:

- 第一调整单元 1101,用于若确定第一采样信号表征第一时钟信号的有效沿与第一数据选通信号的有效沿未对齐,则调整第一数据选通信号的时延;重复执行第一调整单元,直至第一调整单元基于采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐。
- 20

第一控制单元 1102,用于若确定第一采样信号表征第一时钟信号与第一数据选通信号对齐,则控制第一数据选通信号的时延减少第一预设时段,将减少后的信号作为采样单元当前接收到的第一数据选通信号;

- 25 第二调整单元 1103,用于若确定第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐,则调整第一数据选通信号的时延或者第一写信号的时延,重复执行第二调整单元,直至第二调整单元基于采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐。

- 30 本实施例提供的装置,用于实现上述方法提供的技术方案,其实现原理和技术效果类似,不再赘述。

图 12 为本公开提供的又一种应用于存储器的写调平电路的控制装置的结构示意图,该装置还包括:

- 35 延长单元 1104,用于确定当第一数据选通信号的有效沿与第二写信号的有效沿对齐时,将第一数据选通信号的时延延长第二预设时段,并将延长后的信号确定为存储器进行写操作时所接收到的数据选通信号。

在一些实施例中,第一调整单元 1101 基于采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐时,具体用于若采样单元输出的第一采样信号的电平值从第一电平值变化至第二电平值,则确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐。

在一些实施例中，第二调整单元 1103 基于采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐时，具体用于若采样单元输出的第二采样信号的电平值从第二电平值变化至第一电平值，则确定第一数据选通信号的有效沿与第二写信号的有效沿对齐。

- 5 在一些实施例中，写信号生成单元，包括：译码器，用于对接收到的写指令进行解码处理，输出第一写信号；第一延时模块，与译码器连接，用于基于接收到的第一时钟信号，对第一写信号进行延迟处理，输出第二写信号；第一延时模块，具体用于，基于接收到的第一时钟信号、存储器的列写潜伏期、第一指示信号，对第一写信号进行延迟处理，输出第二写信号，其中，第一指示信号用于指示存储器的列写潜伏周期的缩短时间。

第一调整单元 1101 包括：

- 10 第一调整模块 11011，用于若确定采样单元输出的第二采样信号的电平值为第一电平值，则调整第一延时模块接收到的第一指示信号，以增大第一指示信号所指示的存储器的列写潜伏期的缩短时间。

第一发送模块 11012，用于向译码器下发写指令以及向第一延时模块下发调整后的第一指示信号。

- 15 重复第一调整模块 11011 以及第一发送模块 11012，直至采样单元输出的第二采样信号的电平值从第一电平值切换至第二电平值。

第二调整模块 11013，用于减小采样单元接收到的第一数据选通信号的时延。

- 20 第二发送模块 11014，用于向译码器下发写指令，以及向第一延时模块下发延时信号，其中，延时信号为采样单元输出的第二采样信号从第一电平值切换至第二电平值时，第一延时模块接收到的第一指示信号。

重复第二调整模块 11013 以及第二发送模块 11014，直至采样单元输出的第二采样信号的电平值从第二电平值切换至第一电平值。

- 25 在一些实施例中，采样单元，包括：第一触发器、第二触发器、数据选择器；第一触发器的数据端与写信号生成单元连接，用于接收写信号生成单元输出的第二写信号；第一触发器的时钟端与延时单元的输出端连接，用于接收延时单元输出的第二数据选通信号；第一触发器用于基于第二写信号与第二数据选通信号，输出第一采样信号；第二触发器的数据端与写信号生成单元连接，用于接收写信号生成单元输出的第二写信号；第二触发器的时钟端用于接收第一数据选通信号，第二触发器用于基于第二写信号与第一数据选通信号，输出第二采样信号；第一触发器的输出端与数据选择器的第一端连接，第二触发器的输出端与数据选择器的第二端连接。

- 30 该装置还包括：第一发送单元 1105，用于在第一调整单元 1101 确定第一采样信号表征第一时钟信号的有效沿与第一数据选通信号的有效沿未对齐，则调整第一数据选通信号的时延之前，向数据选择器发送第一控制信号，第一控制信号用于指示数据选择器输出第一采样信号；

- 35 第二发送单元 1106，用于在第一调整单元 1101 基于采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐之后，向数据选择器发送第二控制信号，第二控制信号用于指示数据选择器输出第二采样信号。

本实施例提供的装置，用于实现上述方法提供的技术方案，其实现原理和技术效果类似，不再赘述。

本公开提供一种存储器，存储器包括图 2-图 6 中任一实施例所提供的写调平电路。

本公开提供一种电子设备，包括：处理器，以及与处理器通信连接的存储器；其中，存储器

存储计算机执行指令；处理器执行存储器存储的计算机执行指令，以实现图 7 或图 8 任一实施例任一项所提供的方法。

图 13 为本公开实施例中提供的一种电子设备的结构示意图，如图 13 所示，该电子设备包括：

5 处理器（processor）291，电子设备还包括了存储器（memory）292；还可以包括通信接口（Communication Interface）293 和总线 294。其中，处理器 291、存储器 292、通信接口 293、可以通过总线 294 完成相互间的通信。通信接口 293 可以用于信息传输。处理器 291 可以调用存储器 292 中的逻辑指令，以执行上述实施例的方法。

此外，上述的存储器 292 中的逻辑指令可以通过软件功能单元的形式实现并作为独立的产品销售或使用时，可以存储在一个计算机可读取存储介质中。

10 存储器 292 作为一种计算机可读存储介质，可用于存储软件程序、计算机可执行程序，如本公开实施例中的方法对应的程序指令/模块。处理器 291 通过运行存储在存储器 292 中的软件程序、指令以及模块，从而执行功能应用以及数据处理，即实现上述方法实施例中的方法。

存储器 292 可包括存储程序区和存储数据区，其中，存储程序区可存储操作系统、至少一个功能所需的应用程序；存储数据区可存储根据终端设备的使用所创建的数据等。此外，存储器 292
15 可以包括高速随机存取存储器，还可以包括非易失性存储器。

本公开提供一种计算机可读存储介质，计算机可读存储介质中存储有计算机执行指令，计算机执行指令被处理器执行时用于实现如图 7 或图 8 任一实施例所提供的方法。

本公开提供一种计算机程序产品，包括计算机程序，该计算机程序被处理器执行时实现图 7 或图 8 任一实施例所提供的方法。

20 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由下面的权利要求书指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不
25 脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求书来限制。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由下面的权利要求书指出。

30 应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求书来限制。

权 利 要 求 书

1. 一种应用于存储器的写调平电路，包括：
写信号生成单元，用于根据接收到的第一时钟信号对第一写信号进行延迟处理，输出第二写信号；
- 5 延时单元，用于对接收到的第一数据选通信号进行延迟处理，输出第二数据选通信号；
采样单元，分别与所述延时单元、所述写信号生成单元连接，用于接收所述延时单元输出的所述第二数据选通信号和所述写信号生成单元输出的第二写信号，并根据所述第二数据选通信号和所述第二写信号，输出第一采样信号；所述采样单元还用于接收所述第一数据选通信号和所述写信号生成单元输出的第二写信号，并根据所述第一数据选通信号和所述第二写信号，输出第二采样信号。
- 10 2. 根据权利要求1所述的写调平电路，其中，所述写信号生成单元，包括：
译码器，用于对接收到的写指令进行解码处理，输出所述第一写信号；
第一延时模块，与所述译码器连接，用于基于接收到的所述第一时钟信号，对所述第一写信号进行延迟处理，输出所述第二写信号。
- 15 3. 根据权利要求2所述的写调平电路，其中，所述第一延时模块，具体用于：
基于接收到的所述第一时钟信号、所述存储器的列写潜伏期以及第一指示信号，对所述第一写信号进行延迟处理，输出所述第二写信号，其中，所述第一指示信号用于指示存储器的列写潜伏周期的缩短时间。
- 20 4. 根据权利要求2或3所述的写调平电路，其中，所述写信号生成单元，还包括：信号转换模块；所述译码器通过所述信号转换模块与所述第一延时模块连接；
所述信号转换模块，用于对所述译码器输出的第一写信号，进行脉冲展宽处理，输出展宽后的写信号至所述第一延时模块。
- 25 5. 根据权利要求1-4中任一项所述的写调平电路，其中，所述采样单元，包括：第一触发器、第二触发器、数据选择器；
所述第一触发器的数据端与所述写信号生成单元连接，用于接收所述写信号生成单元输出的第二写信号；所述第一触发器的时钟端与所述延时单元的输出端连接，用于接收所述延时单元输出的第二数据选通信号；所述第一触发器用于基于所述第二写信号与所述第二数据选通信号，输出第一采样信号；
所述第二触发器的数据端与所述写信号生成单元连接，用于接收所述写信号生成单元输出的第二写信号；所述第二触发器的时钟端用于接收所述第一数据选通信号，所述第二触发器用于基于所述第二写信号与所述第一数据选通信号，输出第二采样信号；
所述第一触发器的输出端与所述数据选择器的第一端连接，所述第二触发器的输出端与所述数据选择器的第二端连接。
- 30 6. 根据权利要求1-5中任一项所述的写调平电路，其中，所述写调平电路还包括：
第一转换器，分别与所述延时单元和所述采样单元连接，用于对接收到的第三数据选通信号进行逻辑电平转换处理，得到所述第一数据选通信号；其中，所述第三数据选通信号的电平为电流模式逻辑电平；所述第一数据选通信号的电平为CMOS电平。
- 35 7. 根据权利要求1-6中任一项所述的写调平电路，其中，所述写调平电路还包括：
第二转换器，与所述写信号生成单元连接，用于对接收到的第二时钟信号进行逻辑电平转换处理，得到所述第一时钟信号；其中，所述第二时钟信号的电平为电流模式逻辑电平；所述第一时钟信号的电平为CMOS电平。
- 40 8. 根据权利要求1-7中任一项所述的写调平电路，其中，所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿是否对齐。

9. 根据权利要求 8 所述的写调平电路, 其中, 所述第一采样信号具体用于在所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿未对齐时, 指示调整所述第一数据选通信号的时延。

5 10. 根据权利要求 1-9 中任一项所述的写调平电路, 其中, 所述第二采样信号表征所述第一数据选通信号的有效沿与所述第二写信号的有效沿是否对齐。

11. 根据权利要求 10 所述的写调平电路, 其中, 所述第二采样信号具体用于在所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿对齐, 且所述第一数据选通信号的有效沿与所述第二写信号的有效沿未对齐时, 指示调整所述第一写信号的时延或者所述第一数据选通信号的时延。

10 12. 一种应用于存储器的写调平电路的控制方法, 所述方法应用于如权利要求 1 所述的电路, 所述方法包括:

重复以下步骤, 直至基于所述采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐: 若确定所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿未对齐, 则调整所述第一数据选通信号的时延;

15 若确定所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿对齐, 则控制所述第一数据选通信号的时延减少第一预设时段, 将减少后的信号作为所述采样单元当前接收到的第一数据选通信号;

20 重复以下步骤, 直至基于所述采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐: 若确定所述第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐, 则调整第一数据选通信号的时延或者所述第一写信号的时延。

13. 根据权利要求 12 所述的方法, 其中, 所述方法还包括:

当第一数据选通信号的有效沿与第二写信号的有效沿对齐时, 将所述第一数据选通信号的时延延长第二预设时段, 并将延长后的信号确定为所述存储器进行写操作时所接收到的数据选通信号。

25 14. 根据权利要求 12 或 13 所述的方法, 其中, 基于所述采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐, 包括:

若所述采样单元输出的第一采样信号的电平值从第一电平值变化至第二电平值, 则确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐。

30 15. 根据权利要求 14 所述的方法, 其中, 基于所述采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐, 包括:

若所述采样单元输出的第二采样信号的电平值从所述第二电平值变化至所述第一电平值, 则确定第一数据选通信号的有效沿与第二写信号的有效沿对齐。

35 16. 根据权利要求 15 所述的方法, 其中, 所述写信号生成单元, 包括: 译码器, 用于对接收到的写指令进行解码处理, 输出所述第一写信号; 第一延时模块, 与所述译码器连接, 用于基于接收到的所述第一时钟信号, 对所述第一写信号进行延迟处理, 输出所述第二写信号; 所述第一延时模块, 具体用于, 基于接收到的所述第一时钟信号、所述存储器的列写潜伏期、第一指示信号, 对所述第一写信号进行延迟处理, 输出所述第二写信号, 其中, 所述第一指示信号用于指示存储器的列写潜伏周期的缩短时间;

40 所述重复以下步骤, 直至基于所述采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐: 若确定所述第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐, 则调整第一数据选通信号的时延或者所述第一写信号的时延, 包括:

重复以下步骤, 直至所述采样单元输出的第二采样信号的电平值从所述第一电平值切换至所述第二电平值: 若确定所述采样单元输出的第二采样信号的电平值为所述第一电平值, 则调整所述第一延时模块接收到的第一指示信号, 以增大所述第一指示信号所指示的存储器的列写潜伏期

的缩短时间；向所述译码器下发写指令以及向所述第一延时模块下发调整后的第一指示信号；

重复以下步骤，直至所述采样单元输出的第二采样信号的电平值从所述第二电平值切换至所述第一电平值：减小所述采样单元接收到的第一数据选通信号的时延，并向所述译码器下发写指令，向所述第一延时模块下发延时信号，其中，所述延时信号为所述采样单元输出的第二采样信号从第一电平值切换至第二电平值时，所述第一延时模块接收到的第一指示信号。

17. 根据权利要求 12-16 中任一项所述的方法，其中，所述采样单元，包括：第一触发器、第二触发器、数据选择器；所述第一触发器的数据端与所述写信号生成单元连接，用于接收所述写信号生成单元输出的第二写信号；所述第一触发器的时钟端与所述延时单元的输出端连接，用于接收所述延时单元输出的第二数据选通信号；所述第一触发器用于基于所述第二写信号与所述第二数据选通信号，输出第一采样信号；所述第二触发器的数据端与所述写信号生成单元连接，用于接收所述写信号生成单元输出的第二写信号；所述第二触发器的时钟端用于接收所述第一数据选通信号，所述第二触发器用于基于所述第二写信号与所述第一数据选通信号，输出第二采样信号；所述第一触发器的输出端与所述数据选择器的第一端连接，所述第二触发器的输出端与所述数据选择器的第二端连接；

15 若确定所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿未对齐，则调整所述第一数据选通信号的时延之前，所述方法还包括：

向所述数据选择器发送第一控制信号，所述第一控制信号用于指示所述数据选择器输出第一采样信号；

20 基于所述采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐之后，所述方法还包括：

向所述数据选择器发送第二控制信号，所述第二控制信号用于指示所述数据选择器输出第二采样信号。

18. 一种应用于存储器的写调平电路的控制装置，所述装置应用于如权利要求 1 所述的电路，所述装置包括：

25 第一调整单元，用于若确定所述第一采样信号表征所述第一时钟信号的有效沿与所述第一数据选通信号的有效沿未对齐，则调整所述第一数据选通信号的时延；重复执行所述第一调整单元，直至所述第一调整单元基于所述采样单元输出的第一采样信号确定第一数据选通信号的有效沿与第一时钟信号的有效沿对齐；

30 第一控制单元，用于若确定所述第一采样信号表征所述第一时钟信号与所述第一数据选通信号对齐，则控制所述第一数据选通信号的时延减少第一预设时段，将减少后的信号作为所述采样单元当前接收到的第一数据选通信号；

35 第二调整单元，用于若确定所述第二采样信号表征第一数据选通信号的有效沿与第二写信号的有效沿未对齐，则调整第一数据选通信号的时延或者所述第一写信号的时延，重复执行所述第二调整单元，直至所述第二调整单元基于所述采样单元输出的第二采样信号确定第一数据选通信号的有效沿与第二写信号的有效沿对齐。

19. 一种存储器，所述存储器包括如权利要求 1-12 中任一项所述的写调平电路。