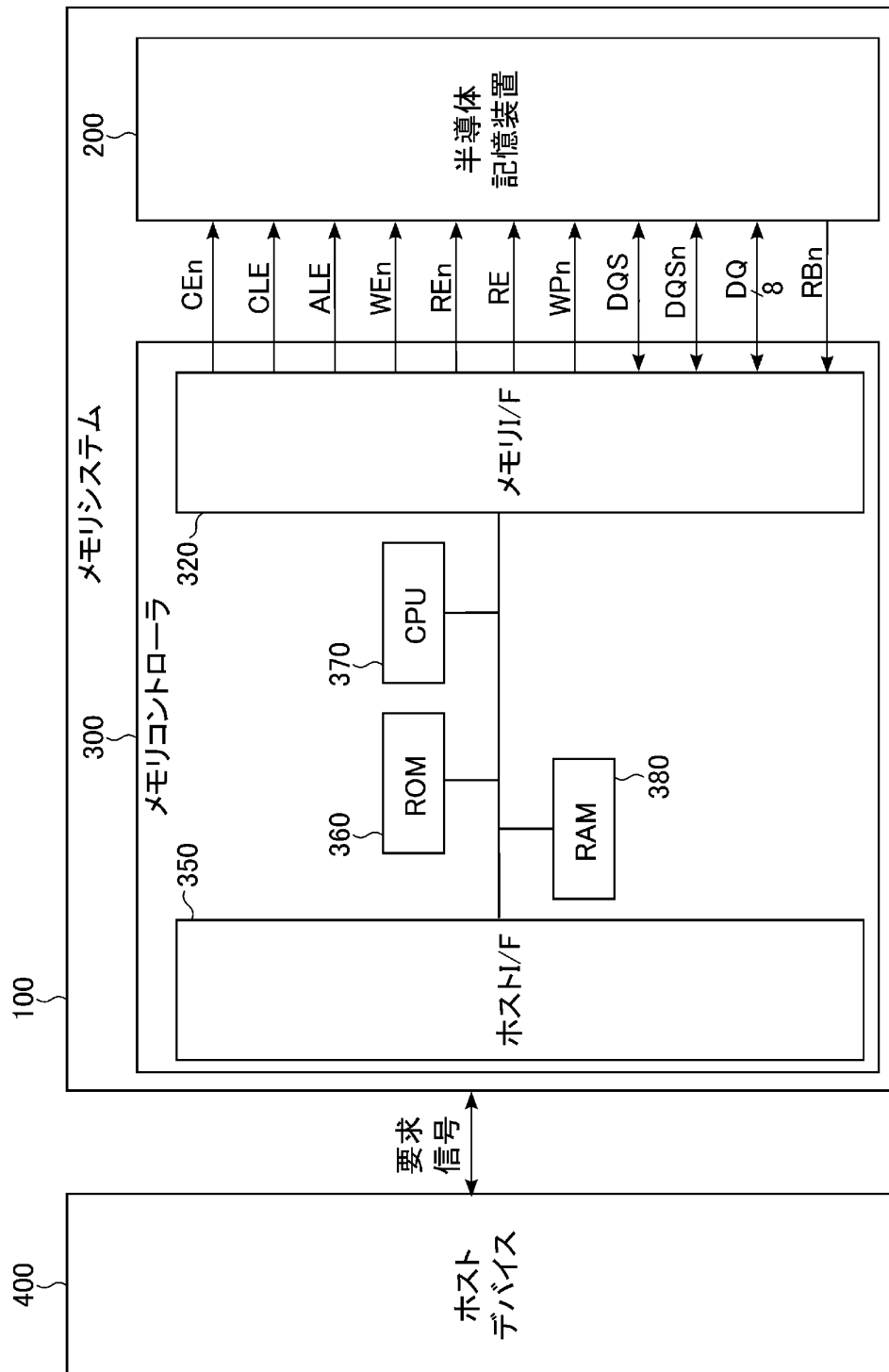
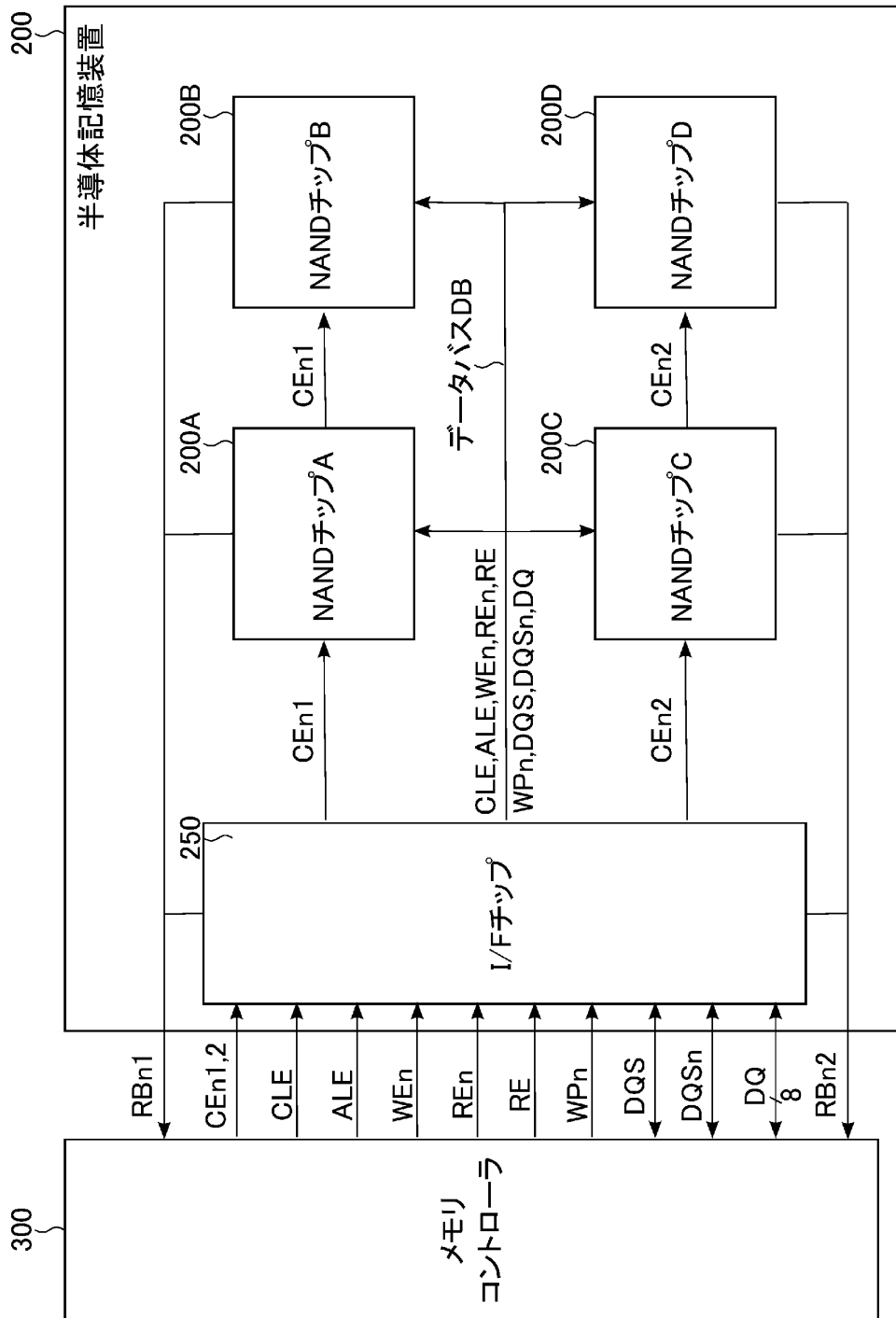


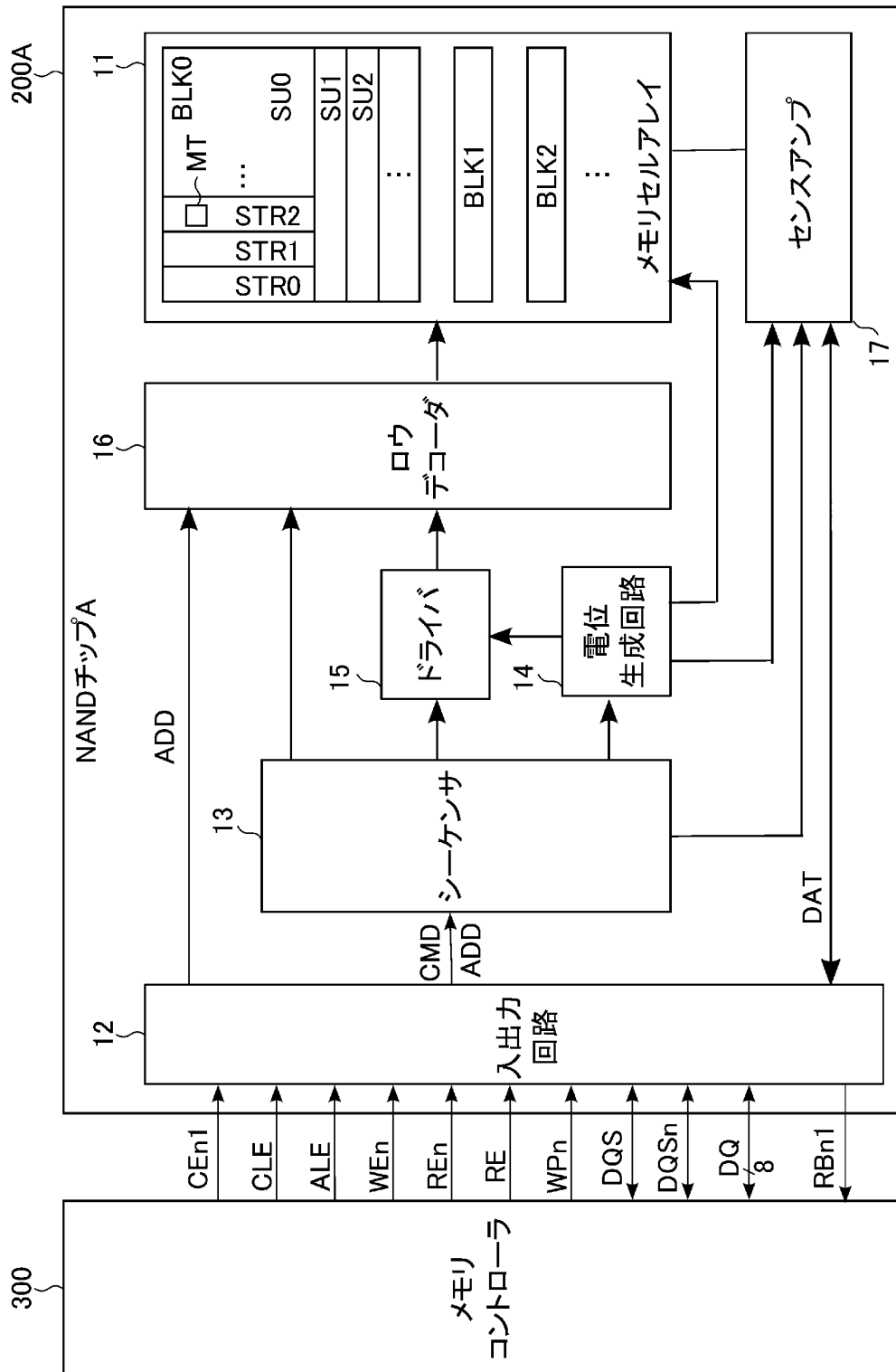
[図1]



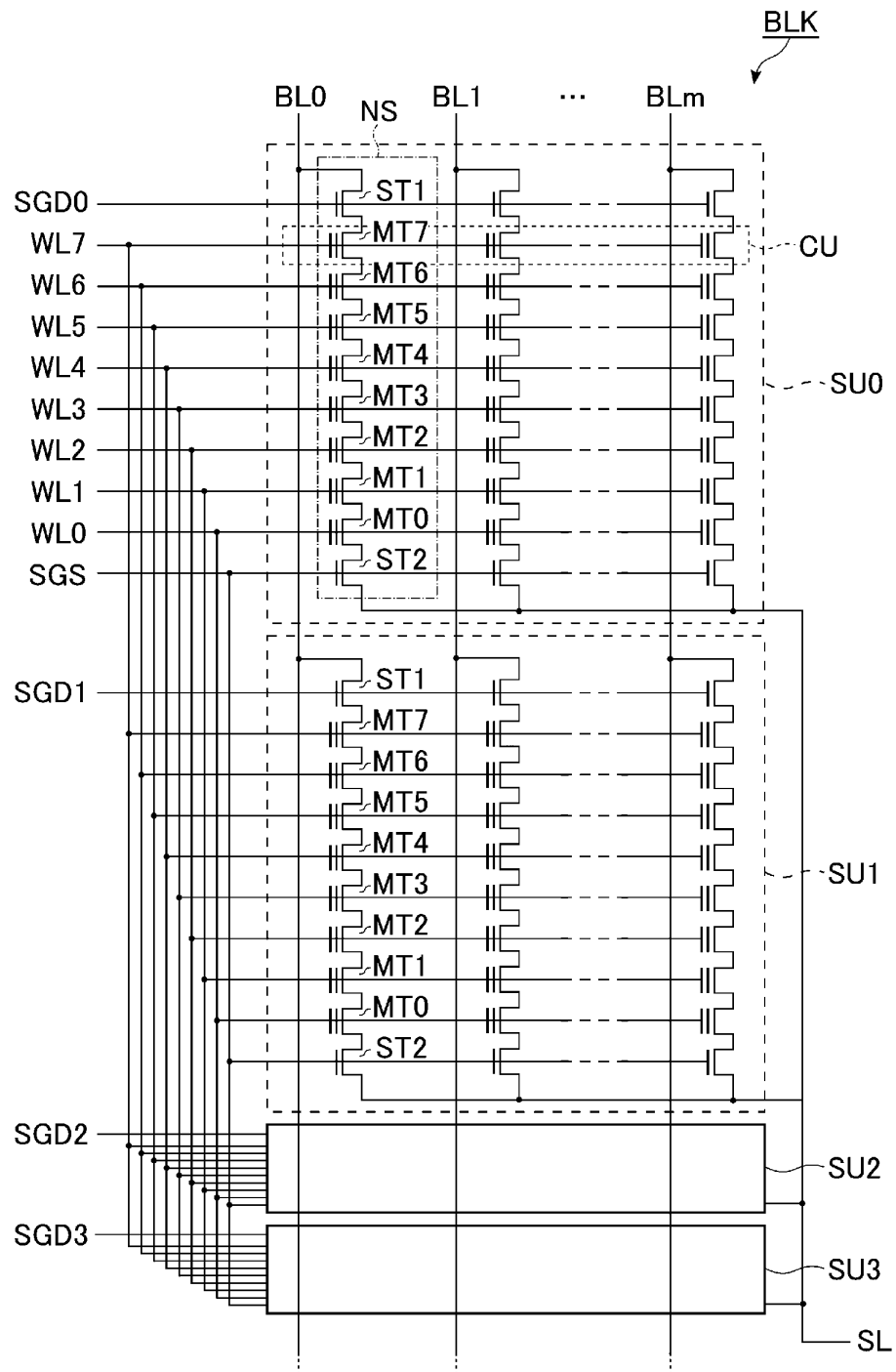
[図2]



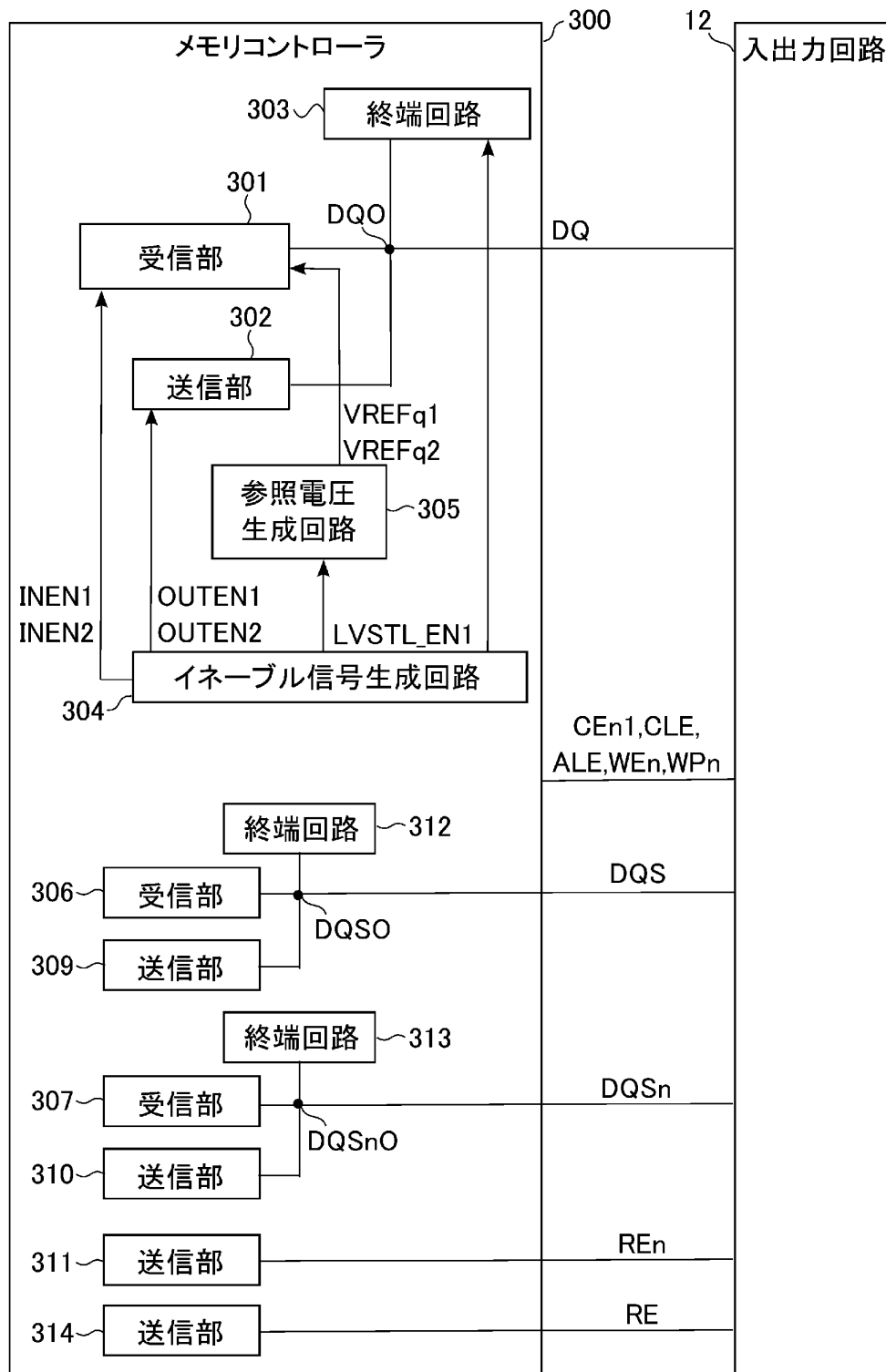
【図3】



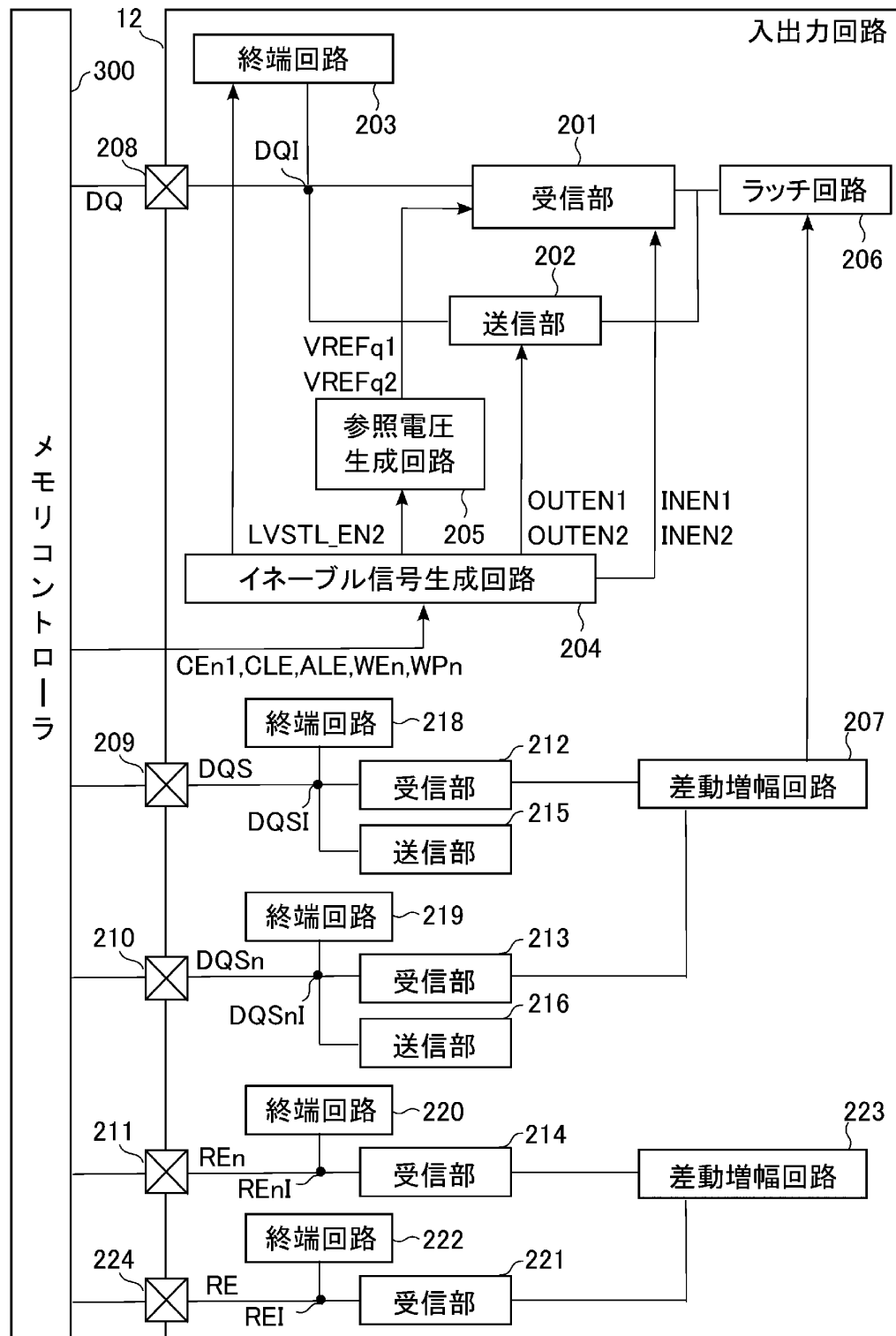
[図4]



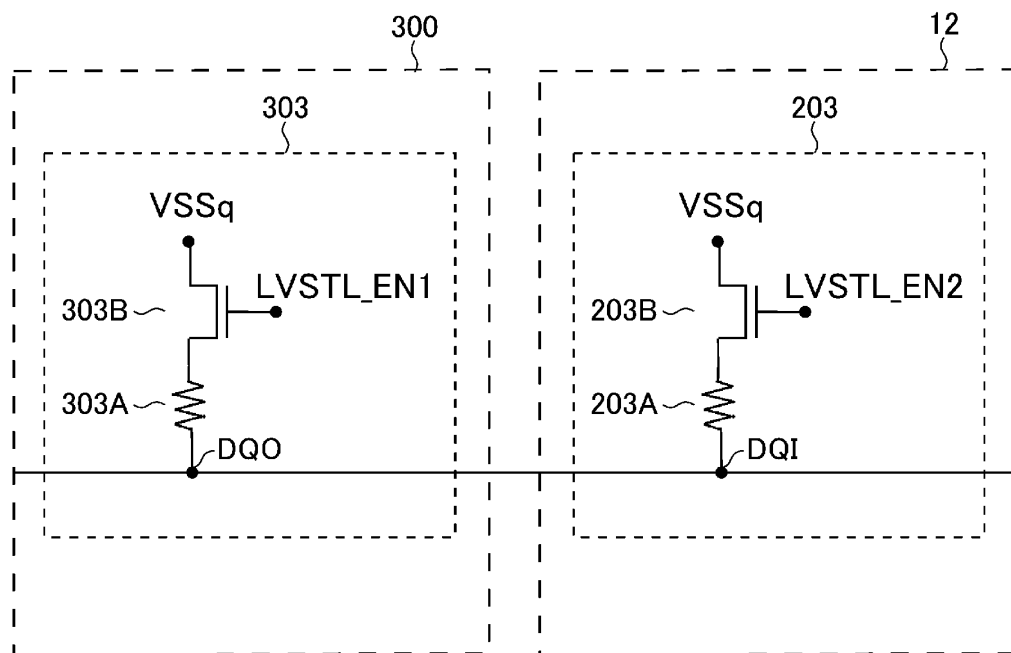
[図5]



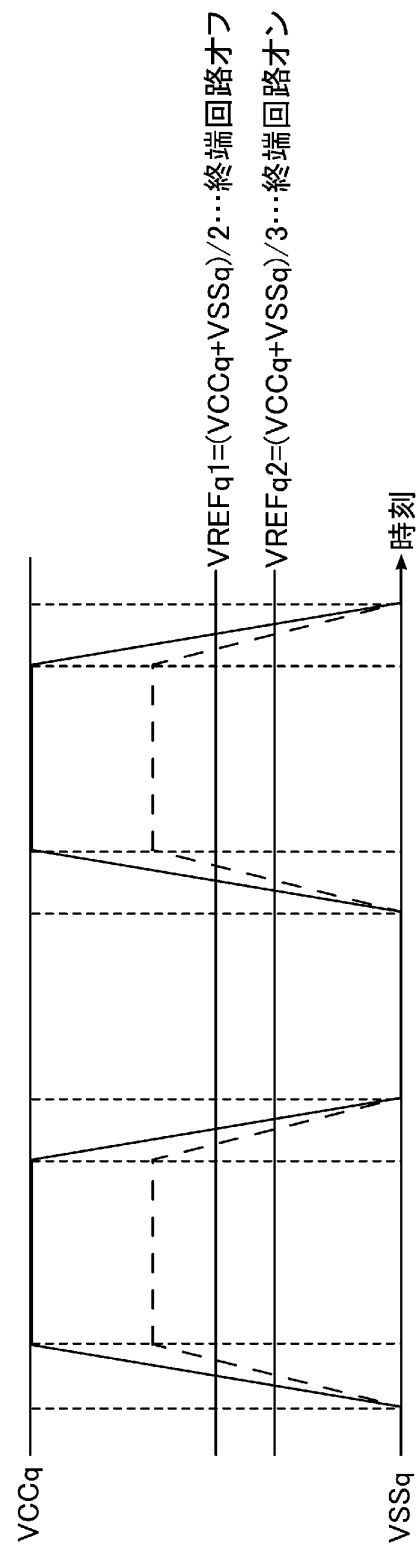
[図6]



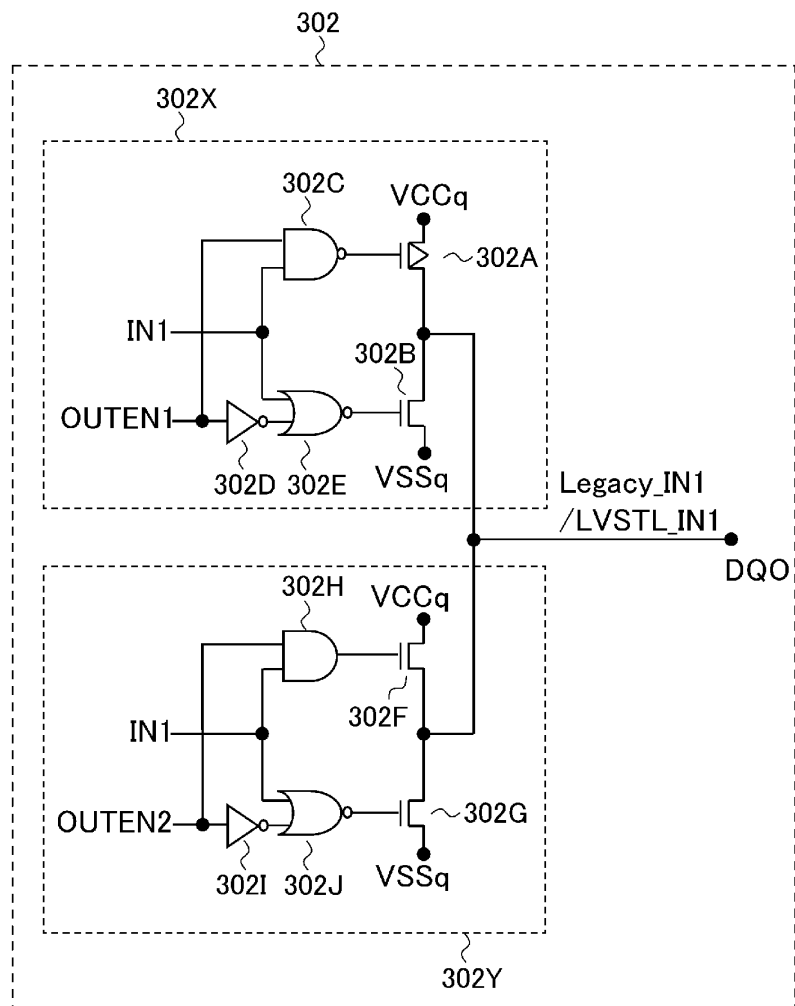
[図7]



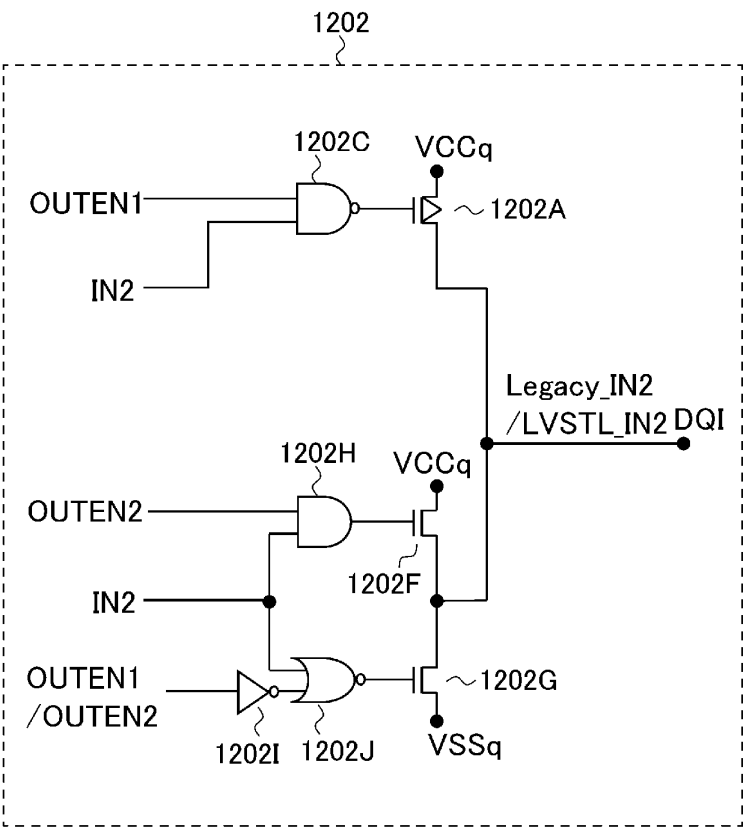
[図8]



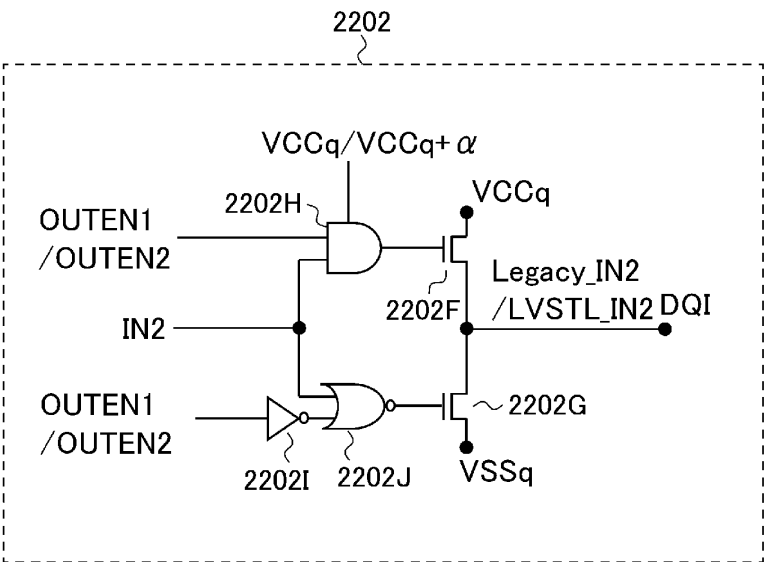
[図9]



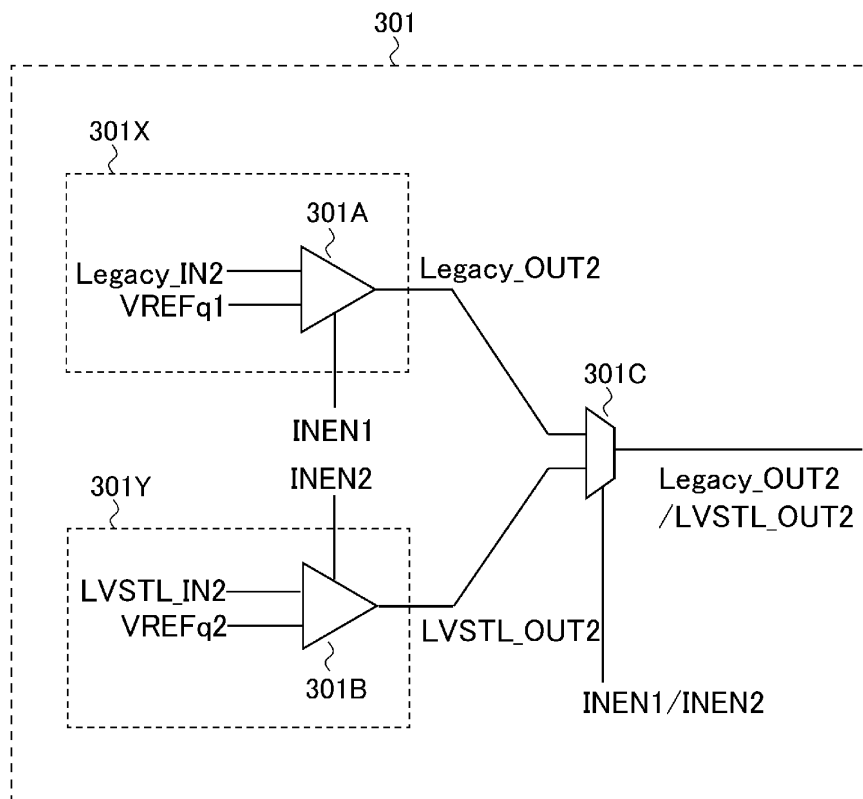
[図11]



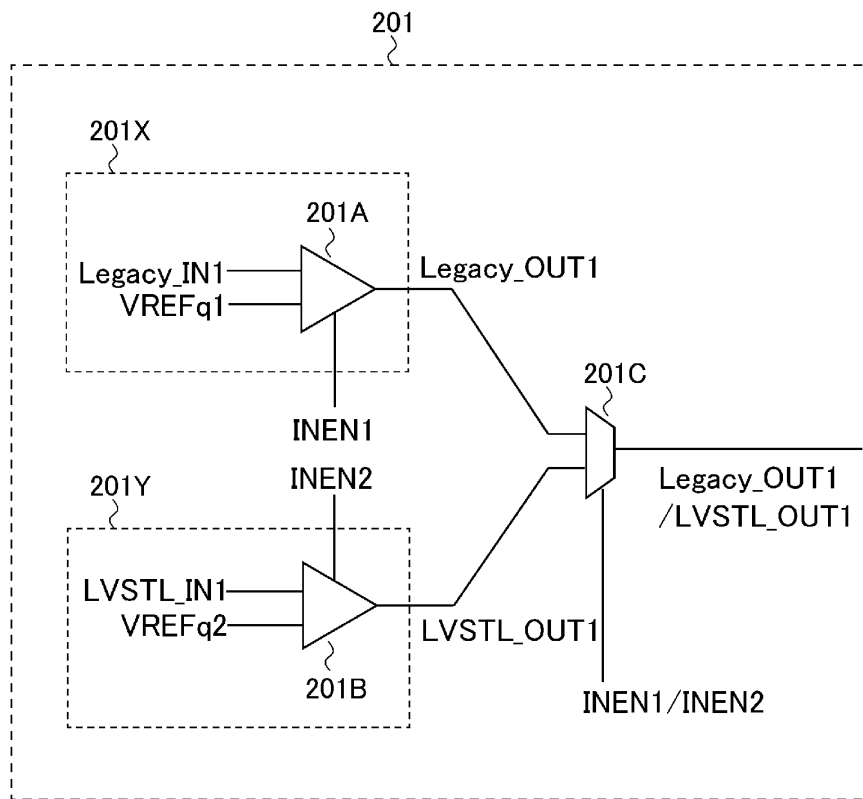
[図12]



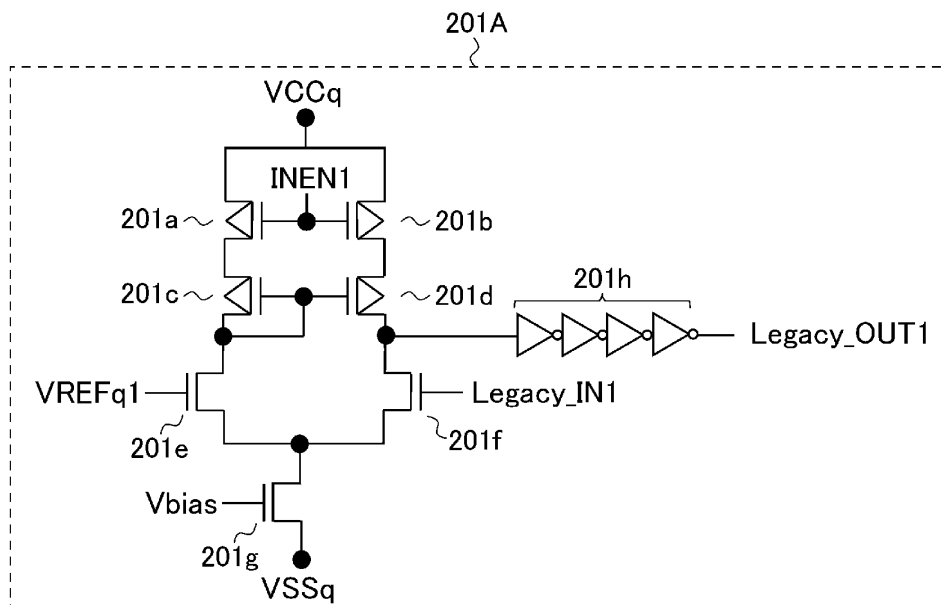
[図13]



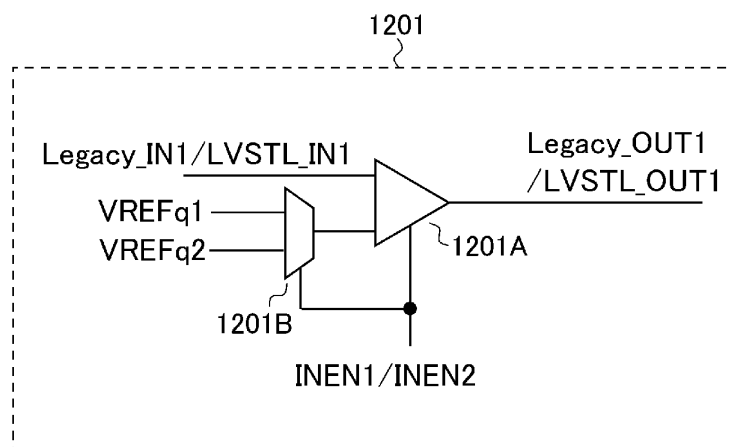
[図14]



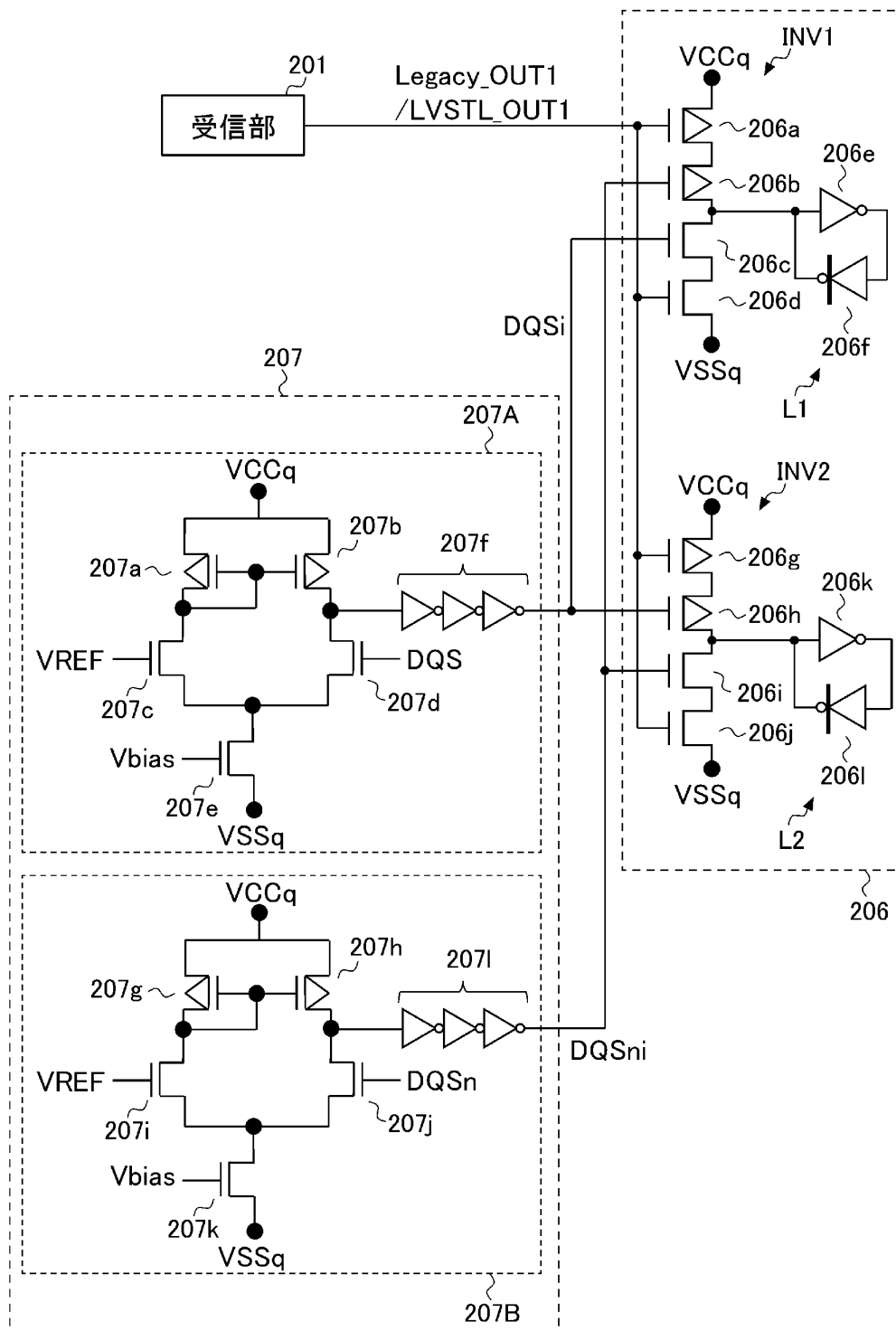
[図15]



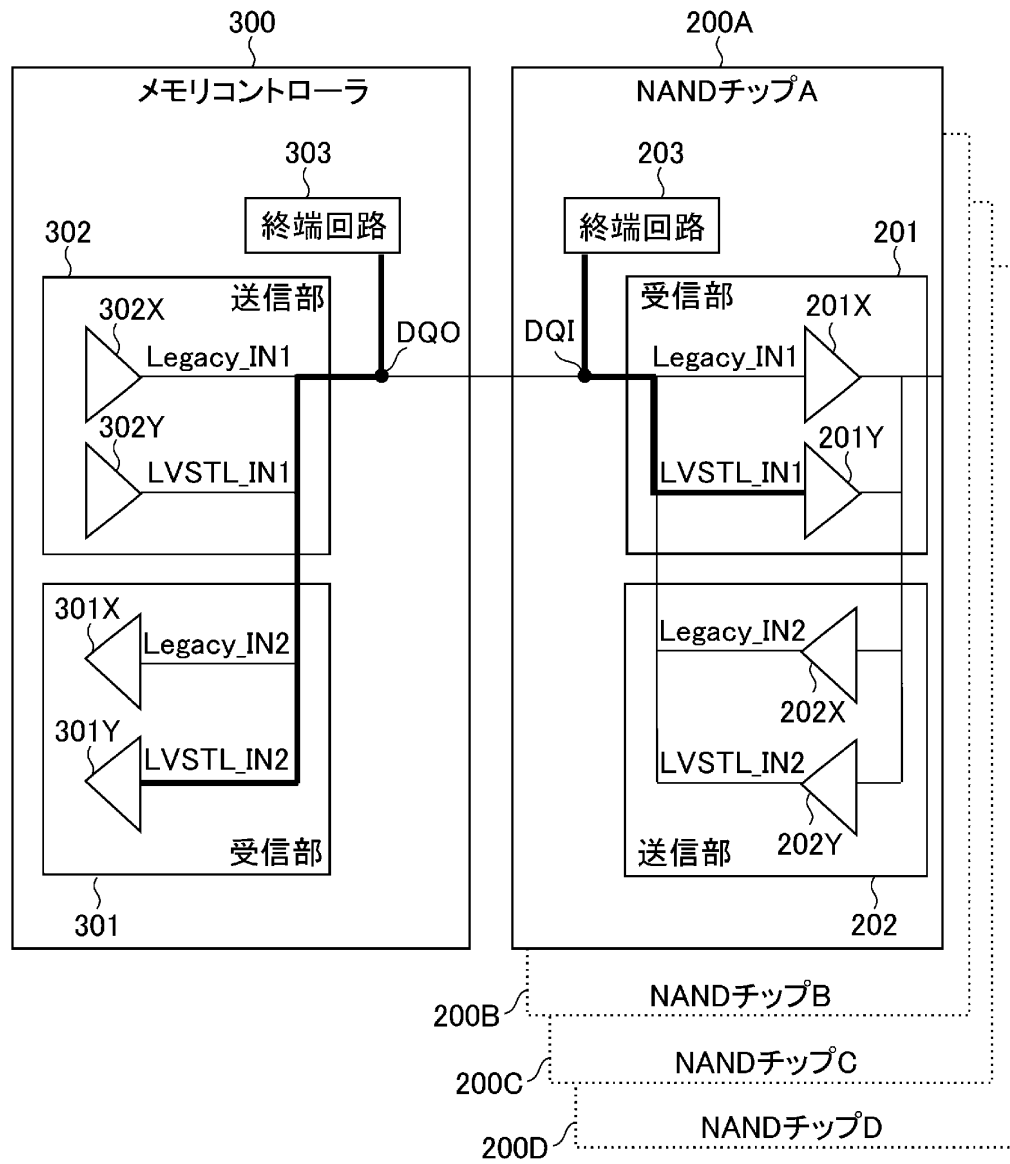
[図16]



[図17]



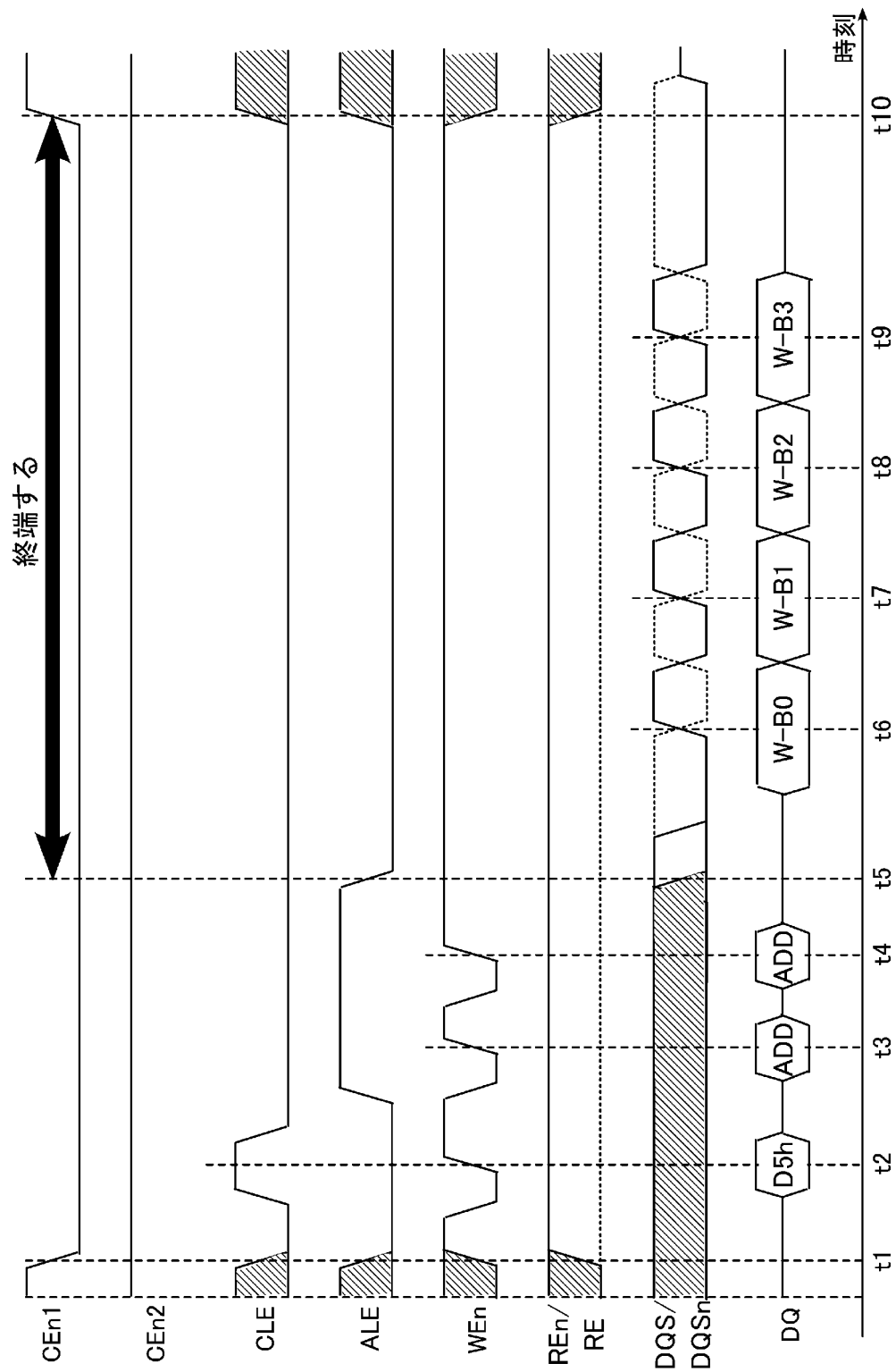
[図18]



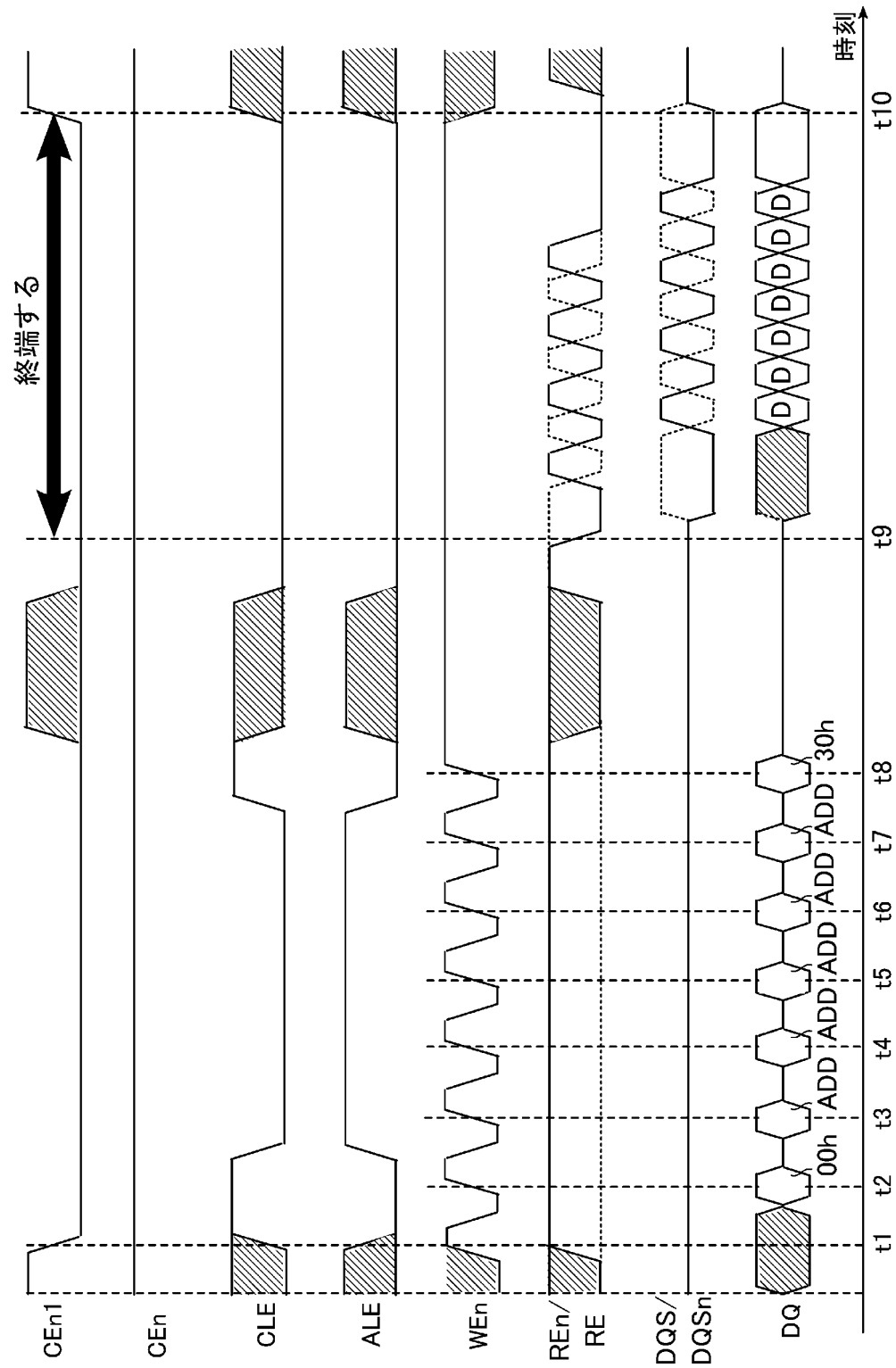
[図 19]

コマンド及びアドレス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	Legacy_IN1	Legacy_IN1	Legacy_IN1		
DQS	L固定				
RE	L固定				
ステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	Legacy_IN2	Legacy_IN2			
DQS	Legacy_DQS2	Legacy_DQS2			
RE	Legacy_RE1	Legacy_RE1			
パラレルステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	Legacy_IN2	Legacy_IN2	Legacy_IN2		
DQS	Legacy_DQS2	Legacy_DQS2	Legacy_DQS2		
RE	Legacy_RE1	Legacy_RE1	Legacy_RE1		
FeatureData					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1,終端			
DQS	LVSTL_DQS1	LVSTL_DQS1,終端			
RE	L固定				
DataOutput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2, 終端	LVSTL_IN2			
DQS	LVSTL_DQS2, 終端	LVSTL_DQS2			
RE	LVSTL_RE1	LVSTL_RE1,終端			
DataInput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1,終端			
DQS	LVSTL_DQS1	LVSTL_DQS1,終端			
RE	L固定				

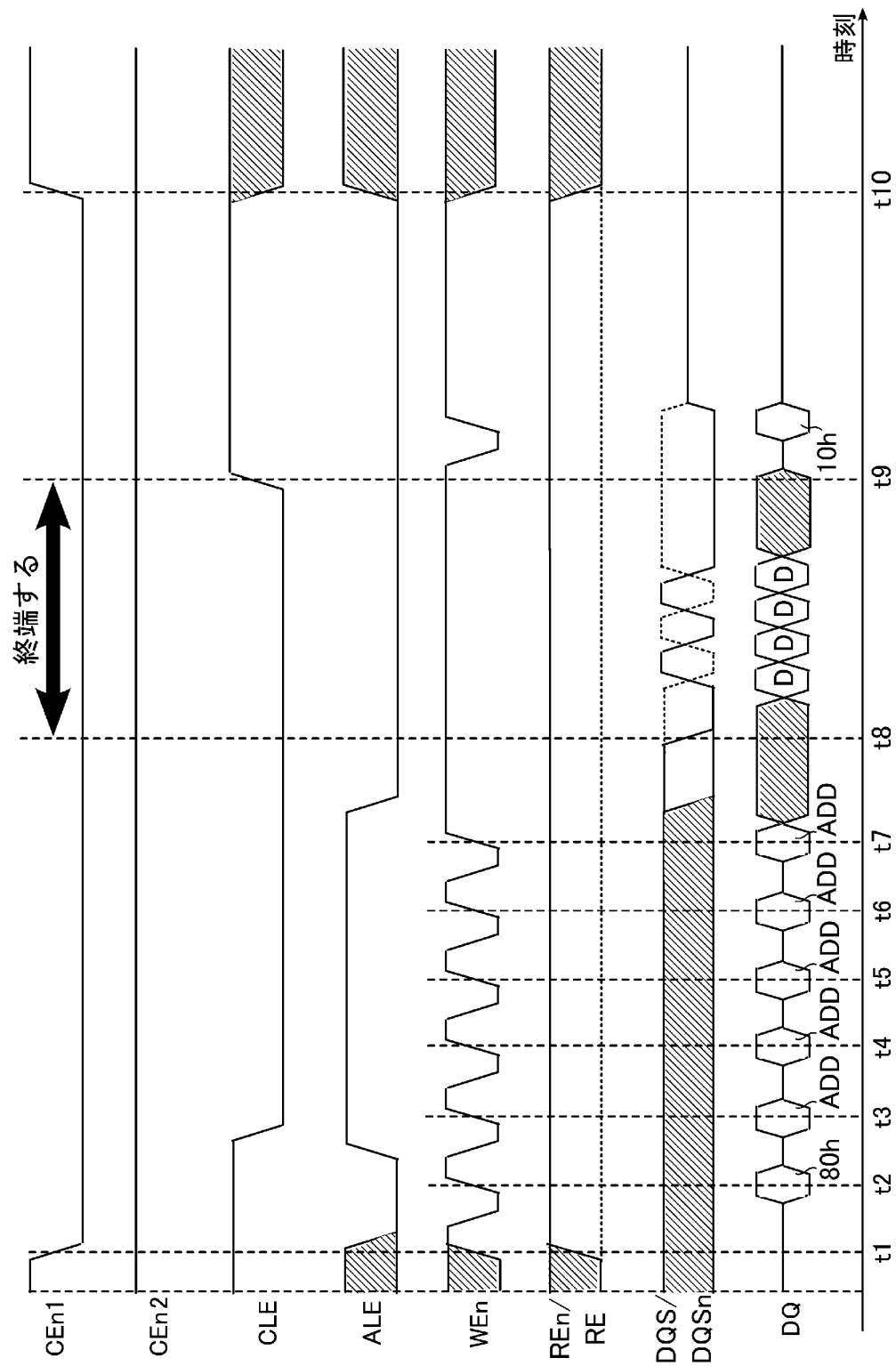
[図20]



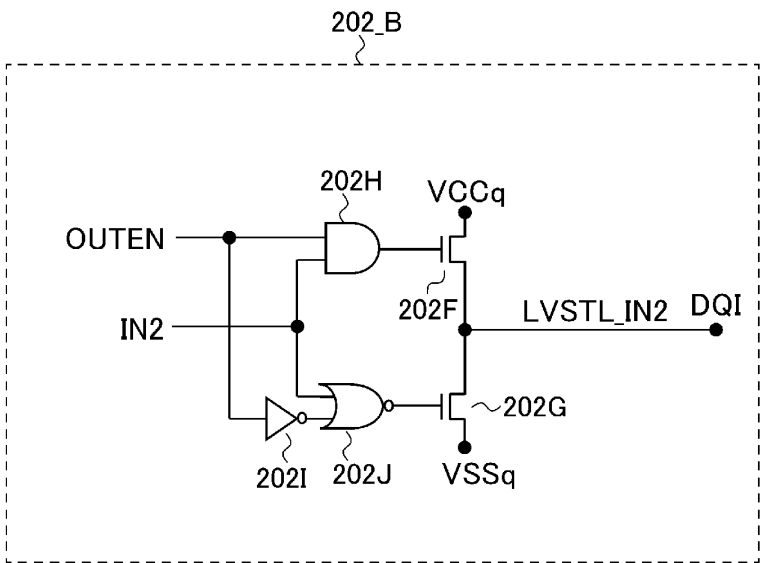
[図21]



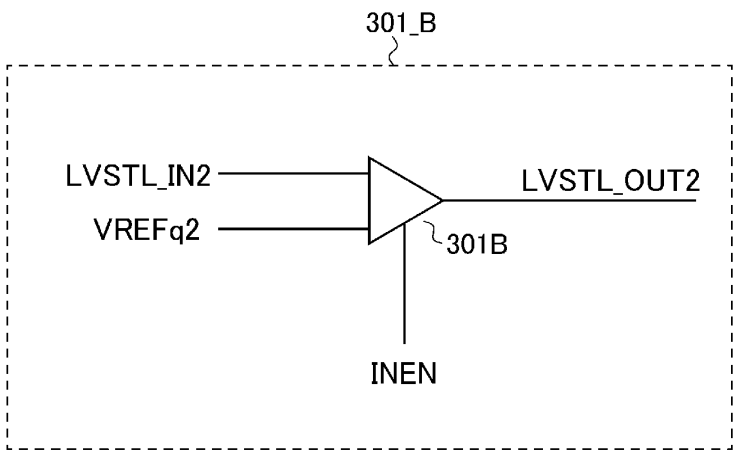
[図22]



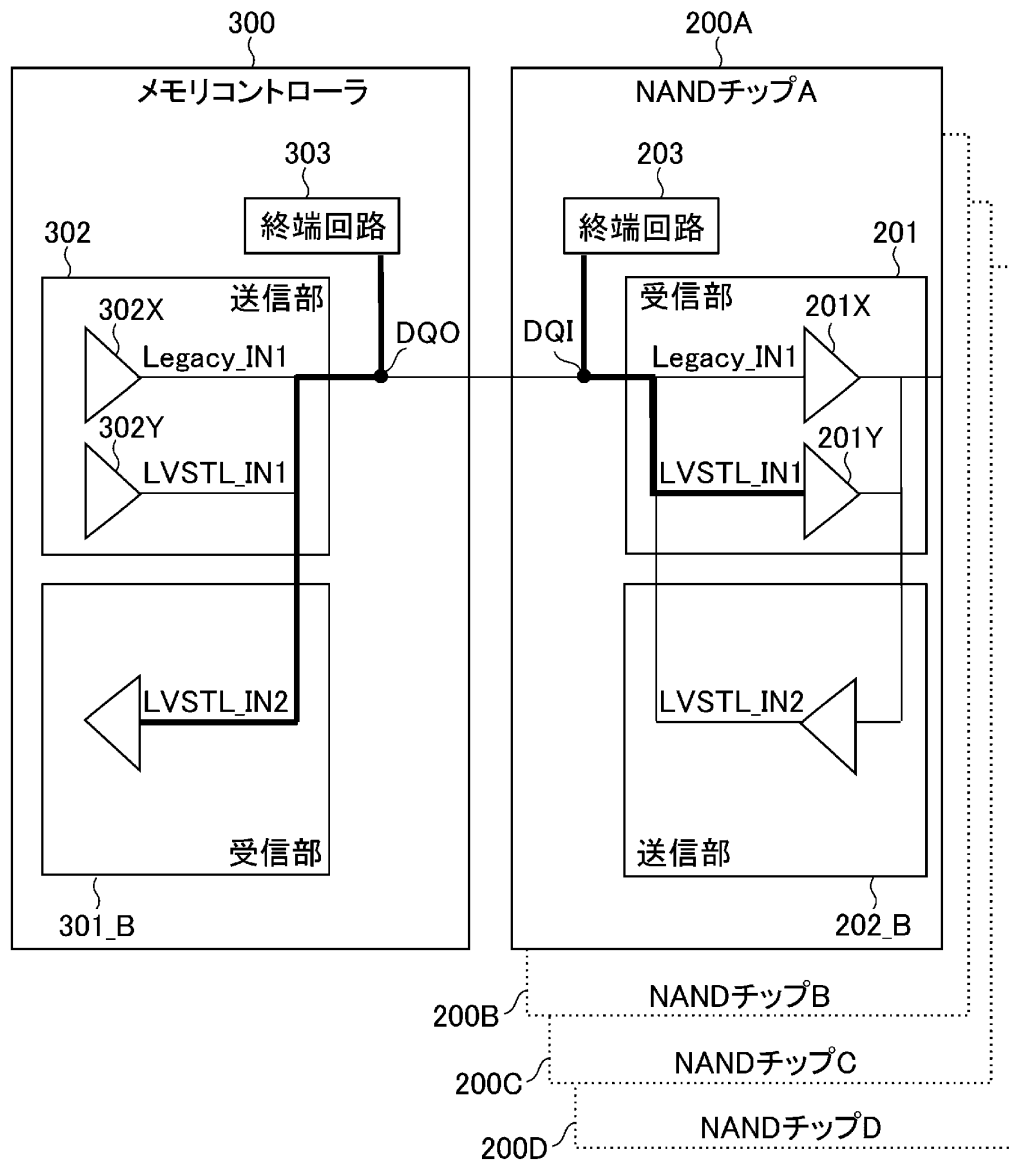
[図23]



[図24]



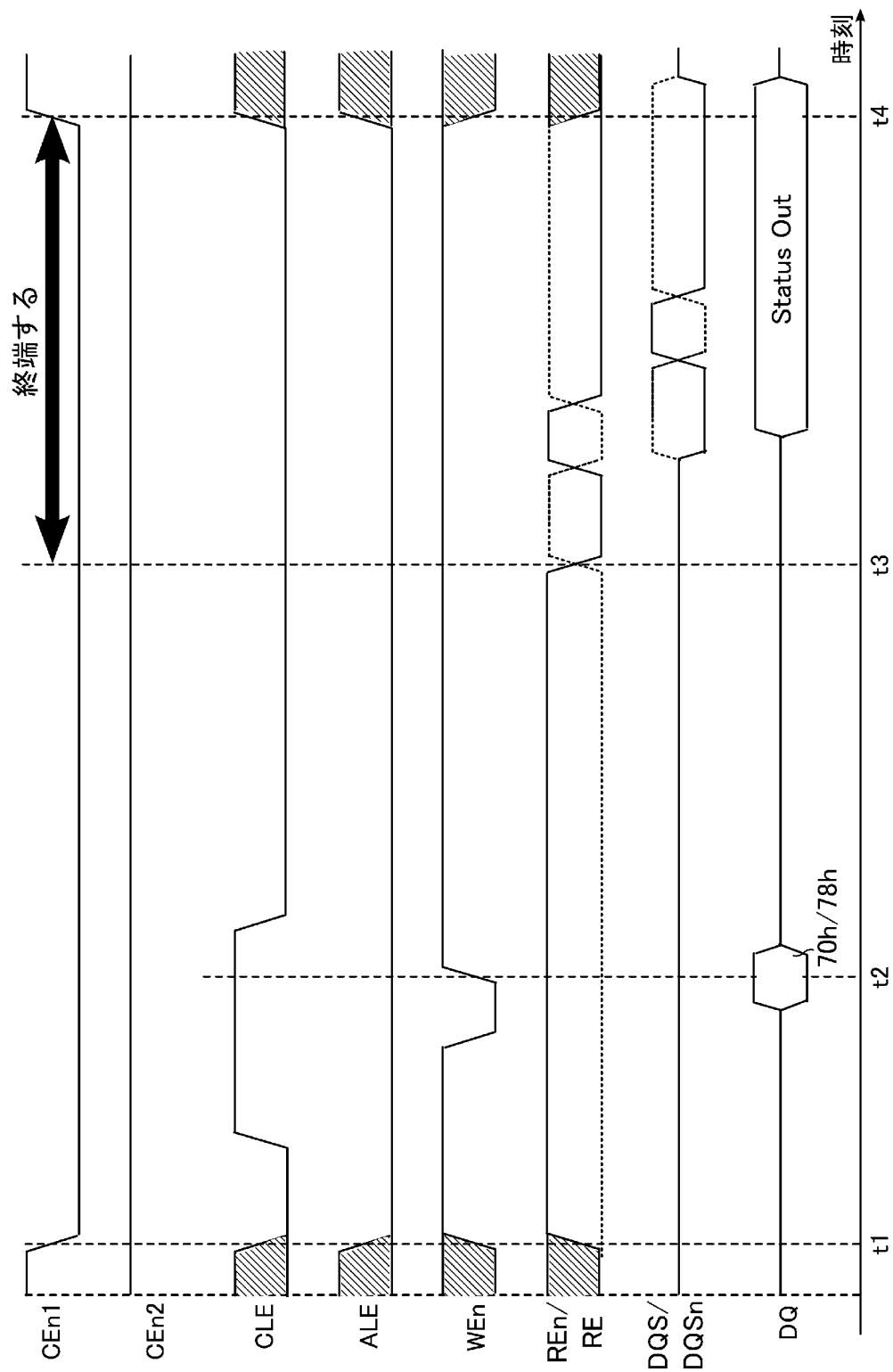
[図25]



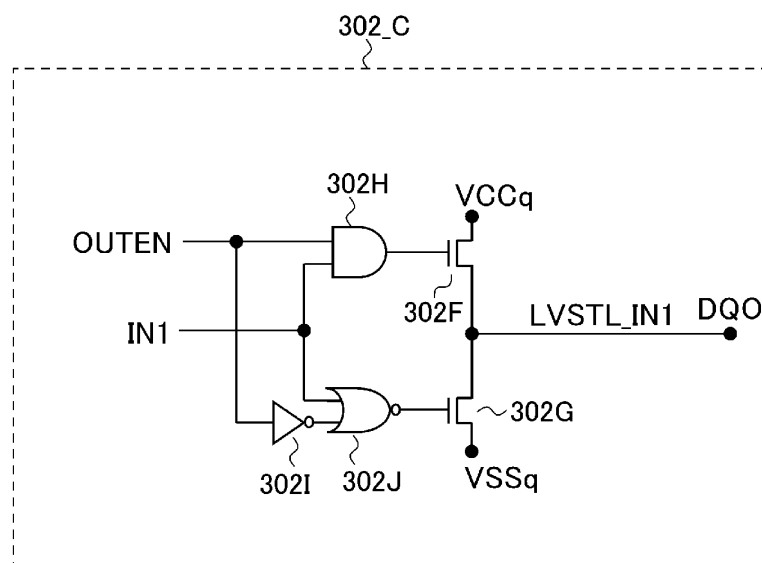
[図26]

コマンド及びアドレス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	Legacy_IN1	Legacy_IN1	Legacy_IN1		
DQS	L固定				
RE	L固定				
ステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2, 終端	LVSTL_IN2			
DQS	LVSTL_DQS2, 終端	LVSTL_DQS2			
RE	LVSTL_RE1	LVSTL_RE1, 終端			
パラレルステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2, 終端	LVSTL_IN2	LVSTL_IN2		
DQS	LVSTL_DQS2, 終端	LVSTL_DQS2	LVSTL_DQS2		
RE	Legacy_RE1	Legacy_RE1	Legacy_RE1		
FeatureData					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1, 終端			
DQS	LVSTL_DQS1	LVSTL_DQS1, 終端			
RE	L固定				
DataOutput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2, 終端	LVSTL_IN2			
DQS	LVSTL_DQS2, 終端	LVSTL_DQS2			
RE	LVSTL_RE1	LVSTL_RE1, 終端			
DataInput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1, 終端			
DQS	LVSTL_DQS1	LVSTL_DQS1, 終端			
RE	L固定				

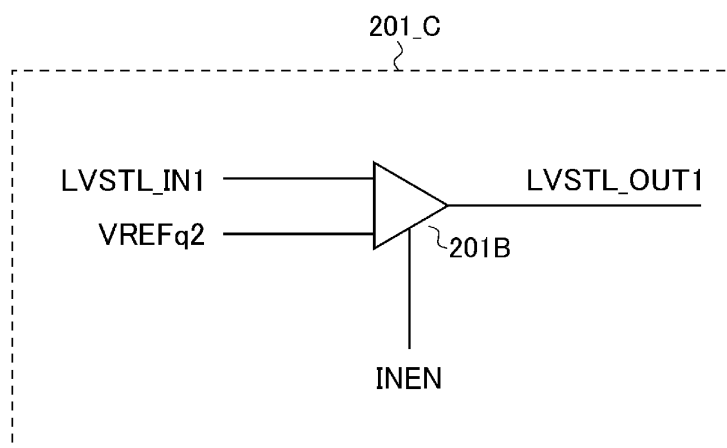
[図27]



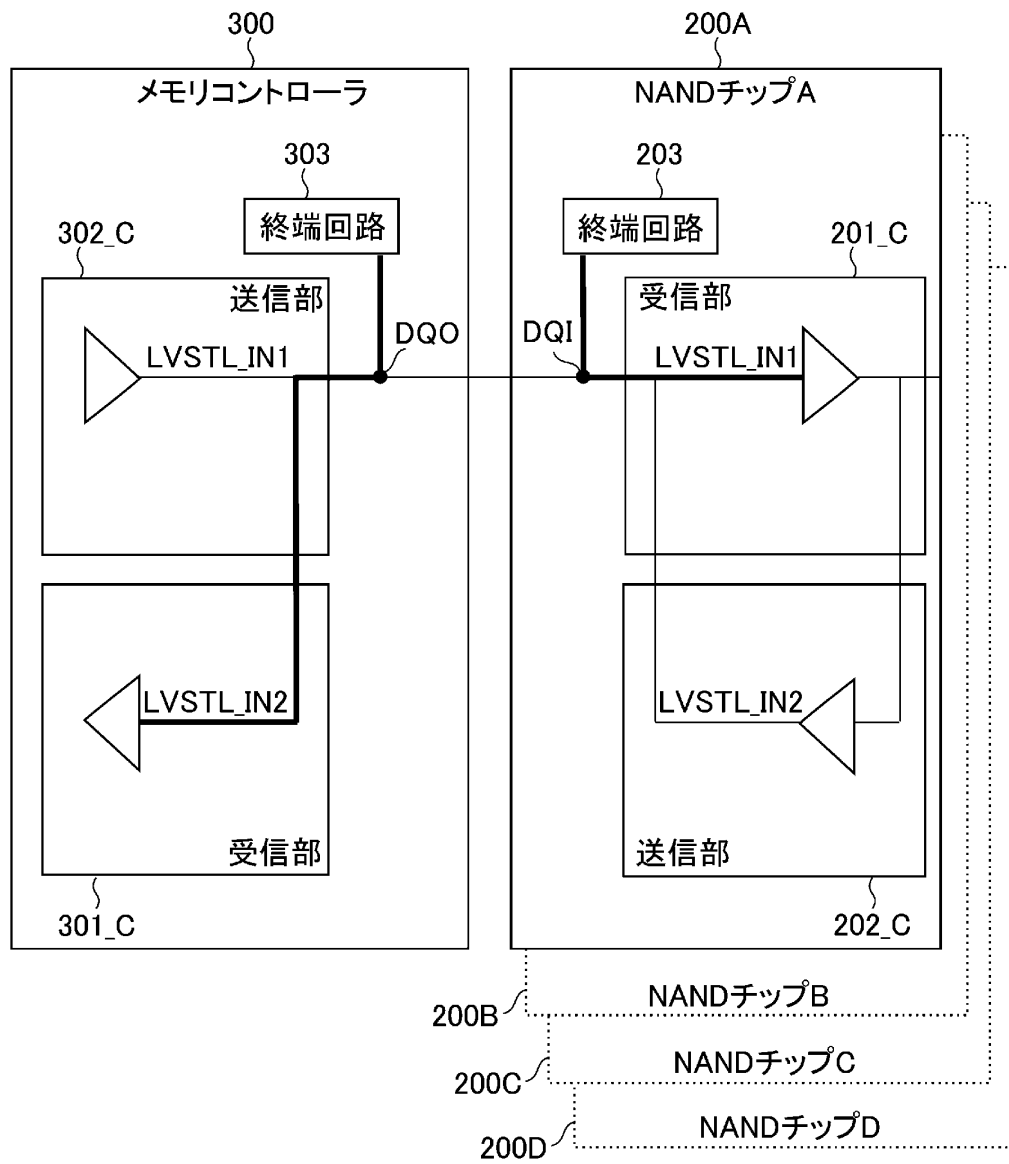
[図28]



[図29]



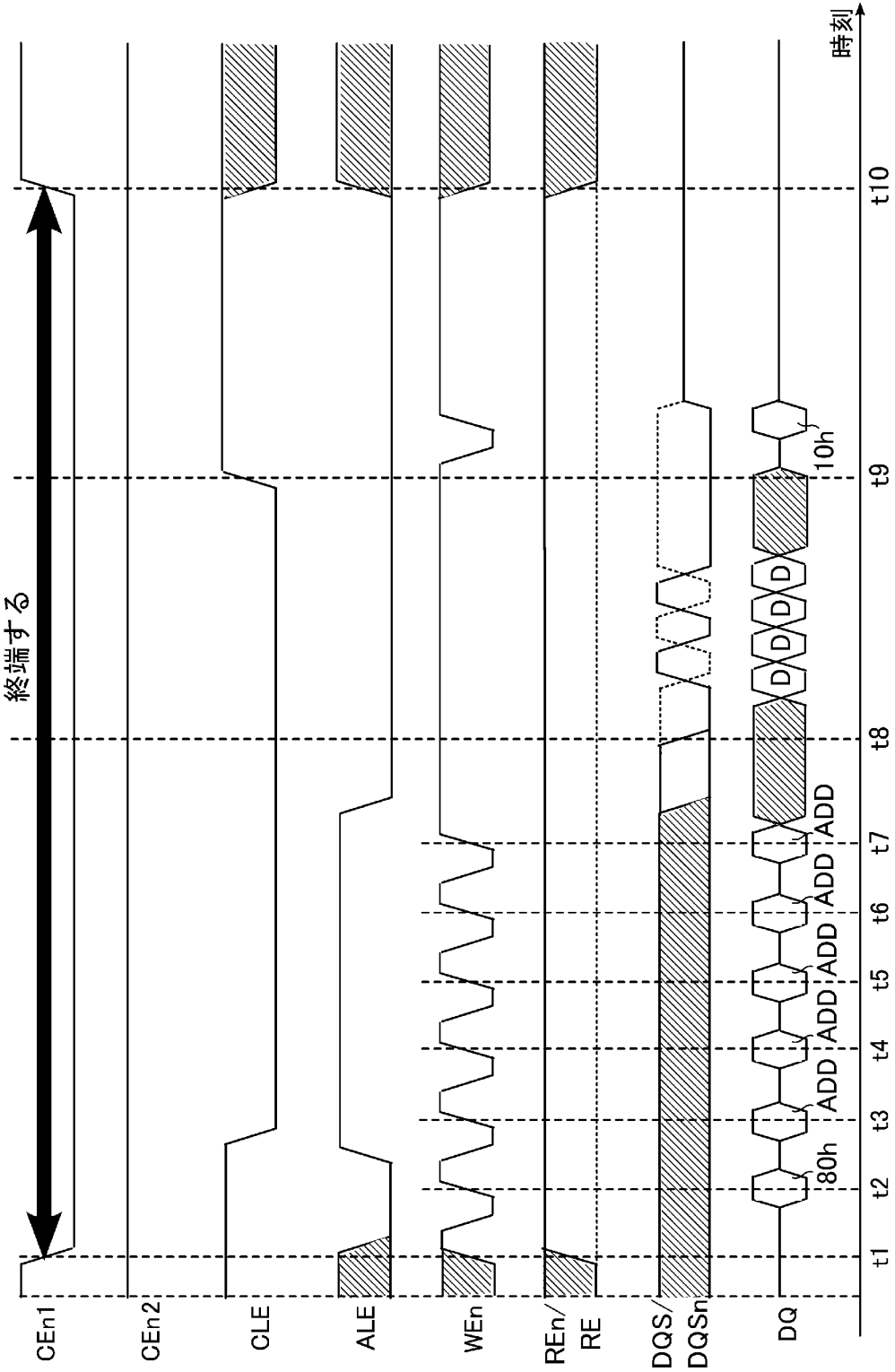
[図30]



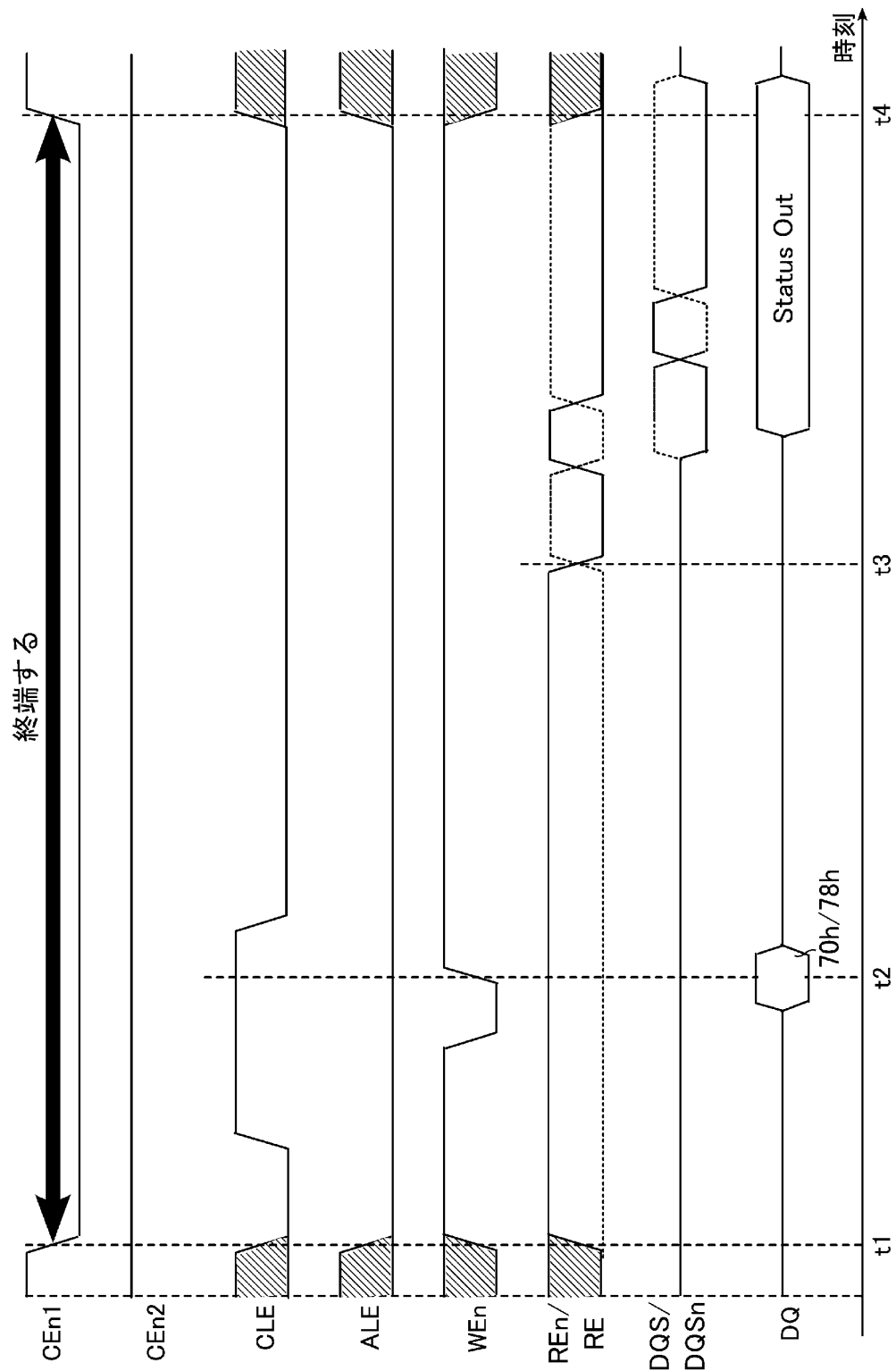
[図31]

コマンド及びアドレス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1,終端	LVSTL_IN1		
DQS	L固定				
RE	L固定				
ステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2, 終端	LVSTL_IN2			
DQS	LVSTL_DQS2, 終端	LVSTL_DQS2			
RE	LVSTL_RE1	LVSTL_RE1,終端			
パラレルステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2, 終端	LVSTL_IN2	LVSTL_IN2		
DQS	LVSTL_DQS2, 終端	LVSTL_DQS2	LVSTL_DQS2		
RE	LVSTL_RE1	LVSTL_RE1,終端	LVSTL_RE1		
FeatureData					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1,終端			
DQS	LVSTL_DQS1	LVSTL_DQS1,終端			
RE	L固定				
DataOutput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2, 終端	LVSTL_IN2			
DQS	LVSTL_DQS2, 終端	LVSTL_DQS2			
RE	LVSTL_RE1	LVSTL_RE1,終端			
DataInput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1,終端			
DQS	LVSTL_DQS1	LVSTL_DQS1,終端			
RE	L固定				

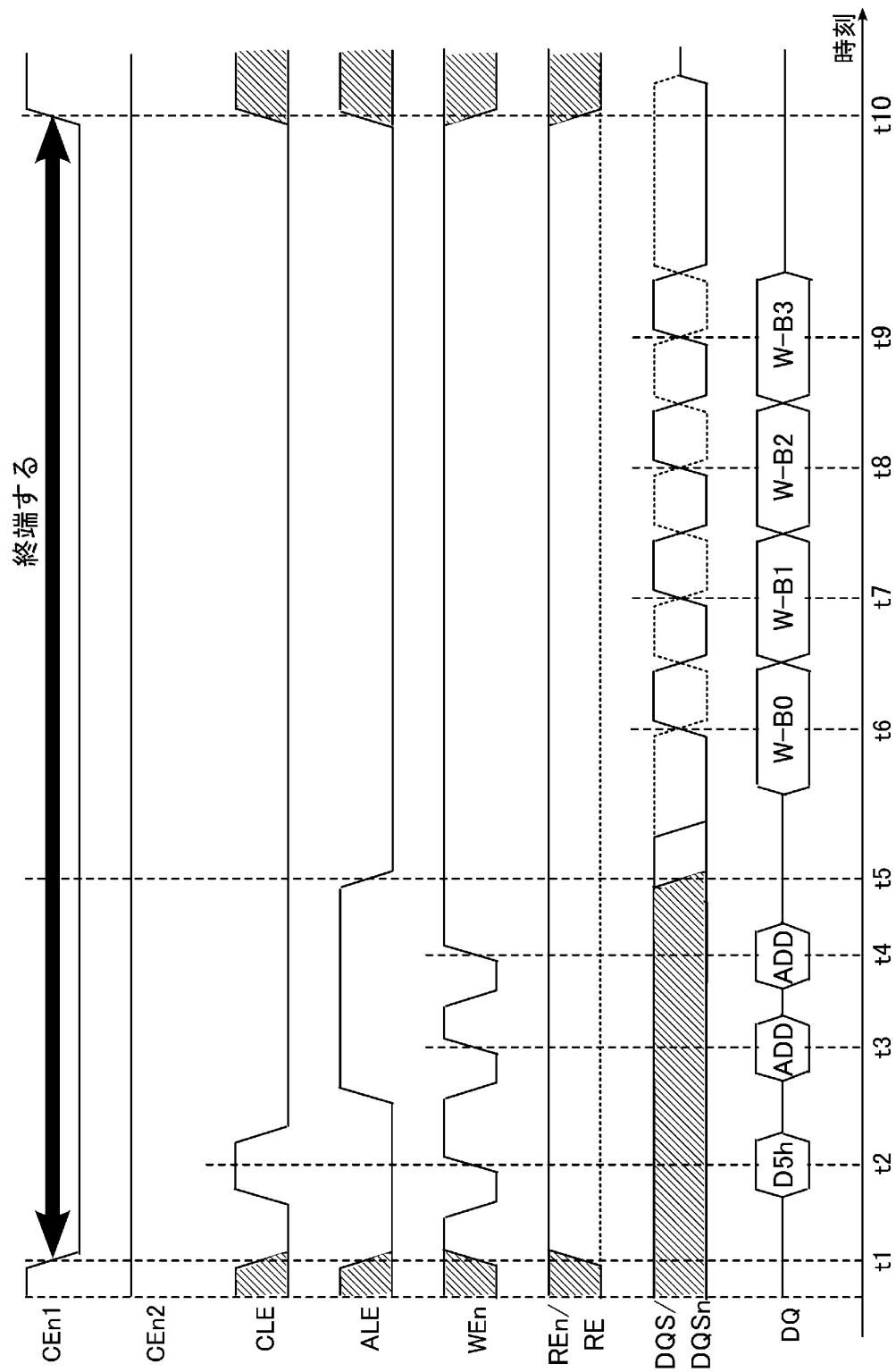
[図32]



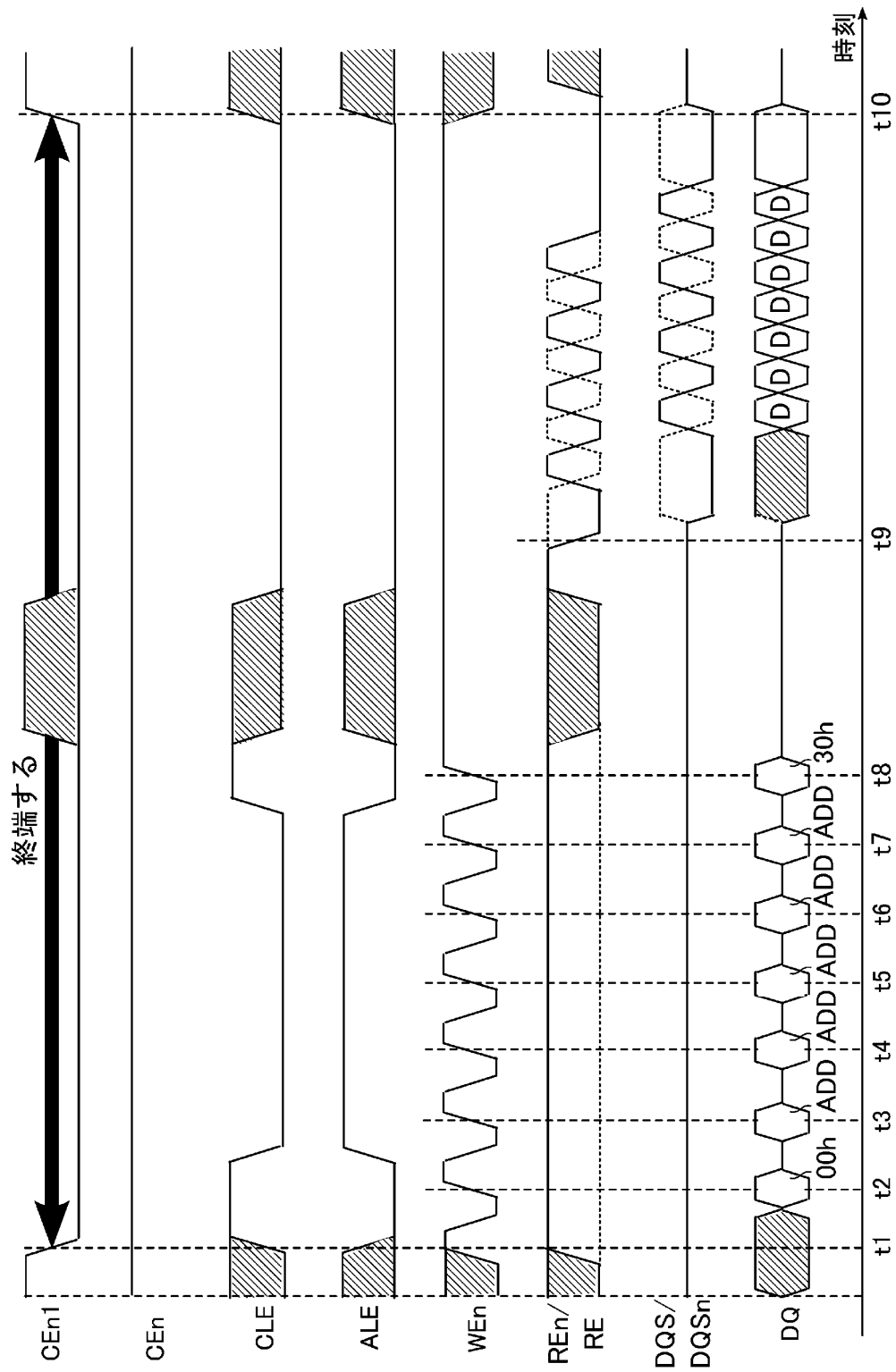
[図33]



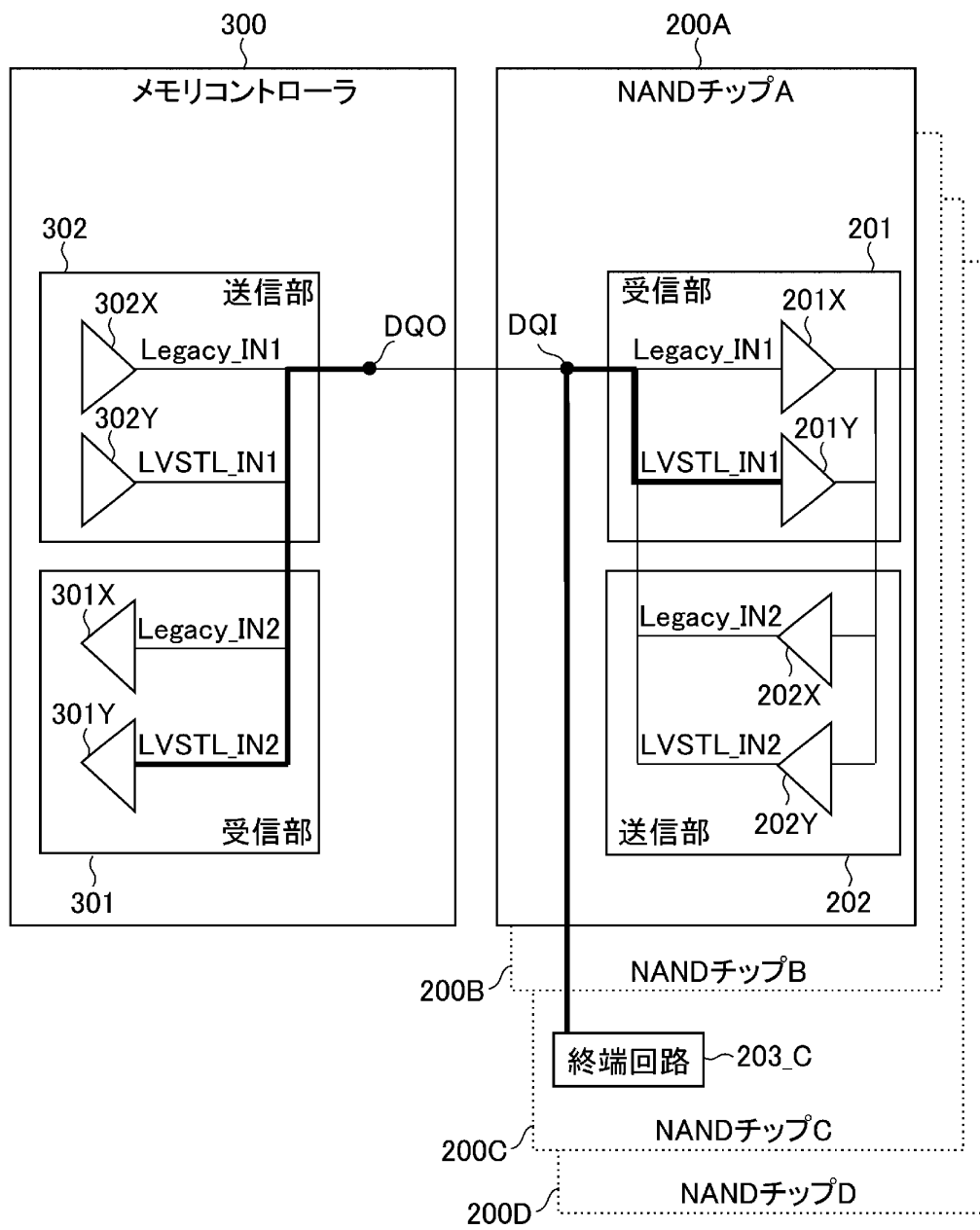
[図34]



[図35]



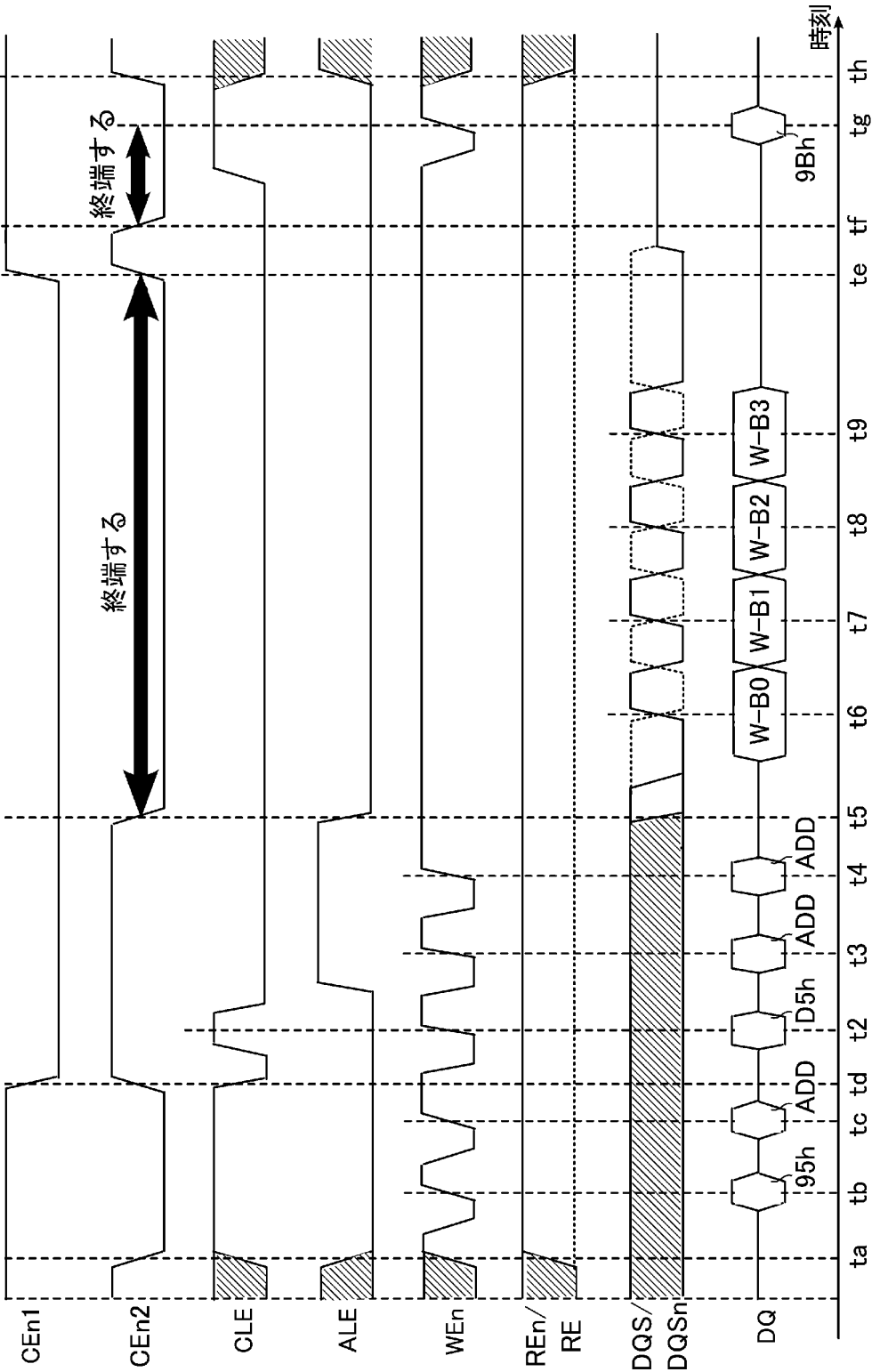
[図36]



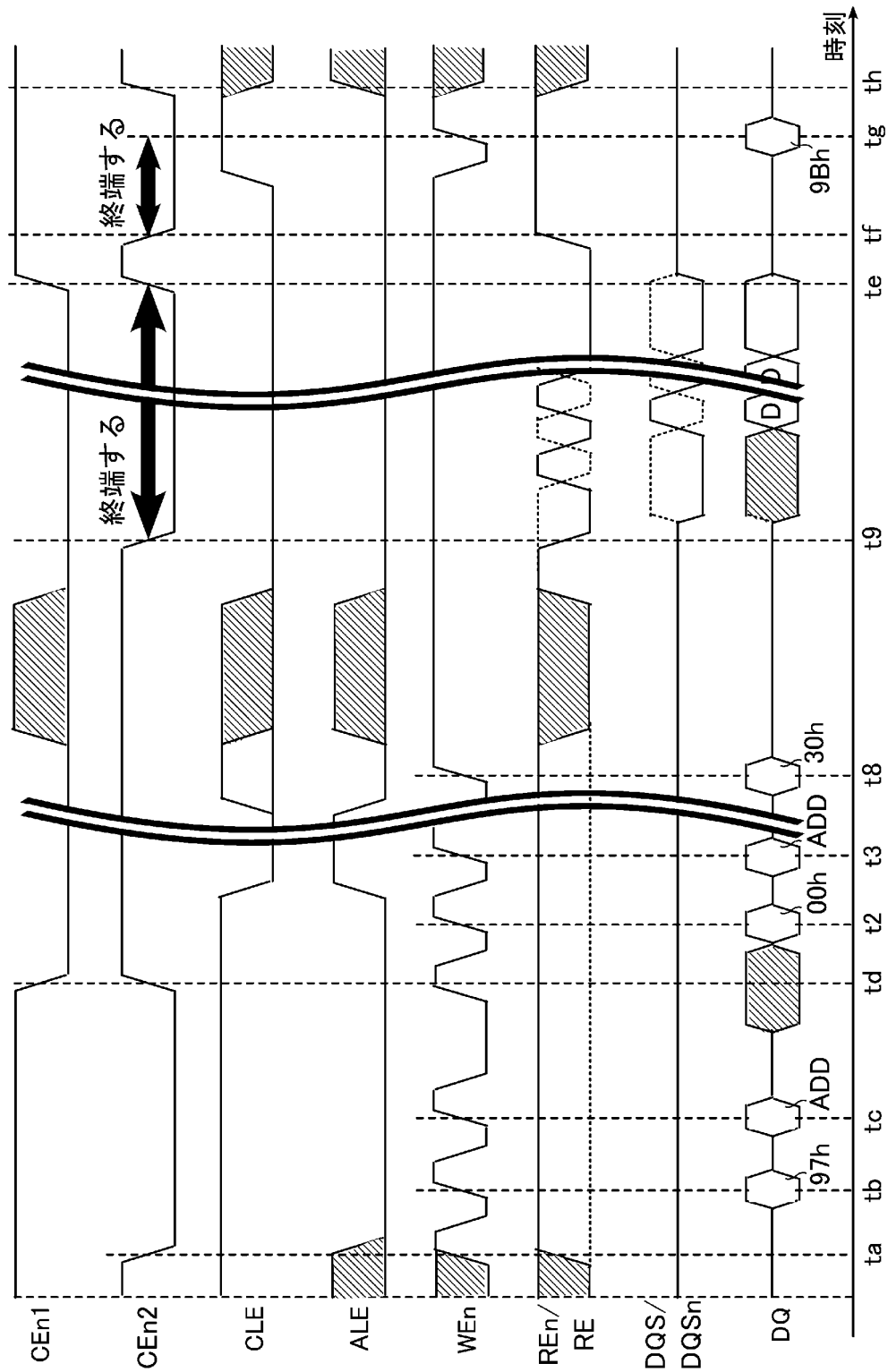
[図37]

コマンド及びアドレス						
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD	
DQ	Legacy_IN1	Legacy_IN1	Legacy_IN1			
DQS	L固定					
RE	L固定					
ステータス						
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD	
DQ	Legacy_IN2	Legacy_IN2				
DQS	Legacy_DQS2	Legacy_DQS2				
RE	Legacy_RE1	Legacy_RE1				
パラレルステータス						
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD	
DQ	Legacy_IN2	Legacy_IN2	Legacy_IN2			
DQS	Legacy_DQS2	Legacy_DQS2	Legacy_DQS2			
RE	Legacy_RE1	Legacy_RE1	Legacy_RE1			
FeatureData						
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD	
DQ	LVSTL_IN1	LVSTL_IN1		終端		
DQS	LVSTL_DQS1	LVSTL_DQS1		終端		
RE	L固定					
DataOutput						
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD	
DQ	LVSTL_IN2	LVSTL_IN2		終端		
DQS	LVSTL_DQS2	LVSTL_DQS2		終端		
RE	LVSTL_RE1	LVSTL_RE1		終端		
DataInput						
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD	
DQ	LVSTL_IN1	LVSTL_IN1		終端		
DQS	LVSTL_DQS1	LVSTL_DQS1		終端		
RE	L固定					

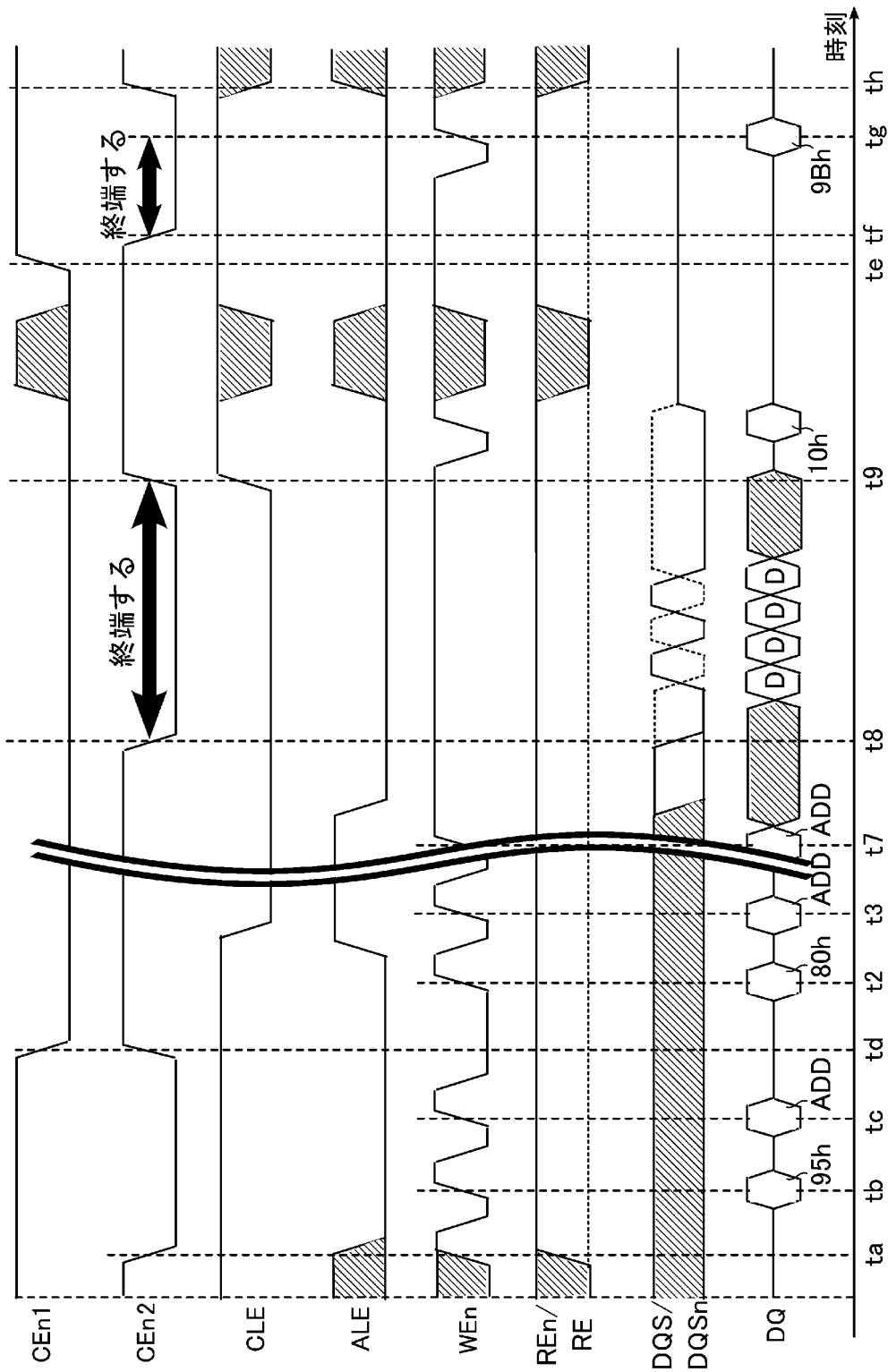
[図38]



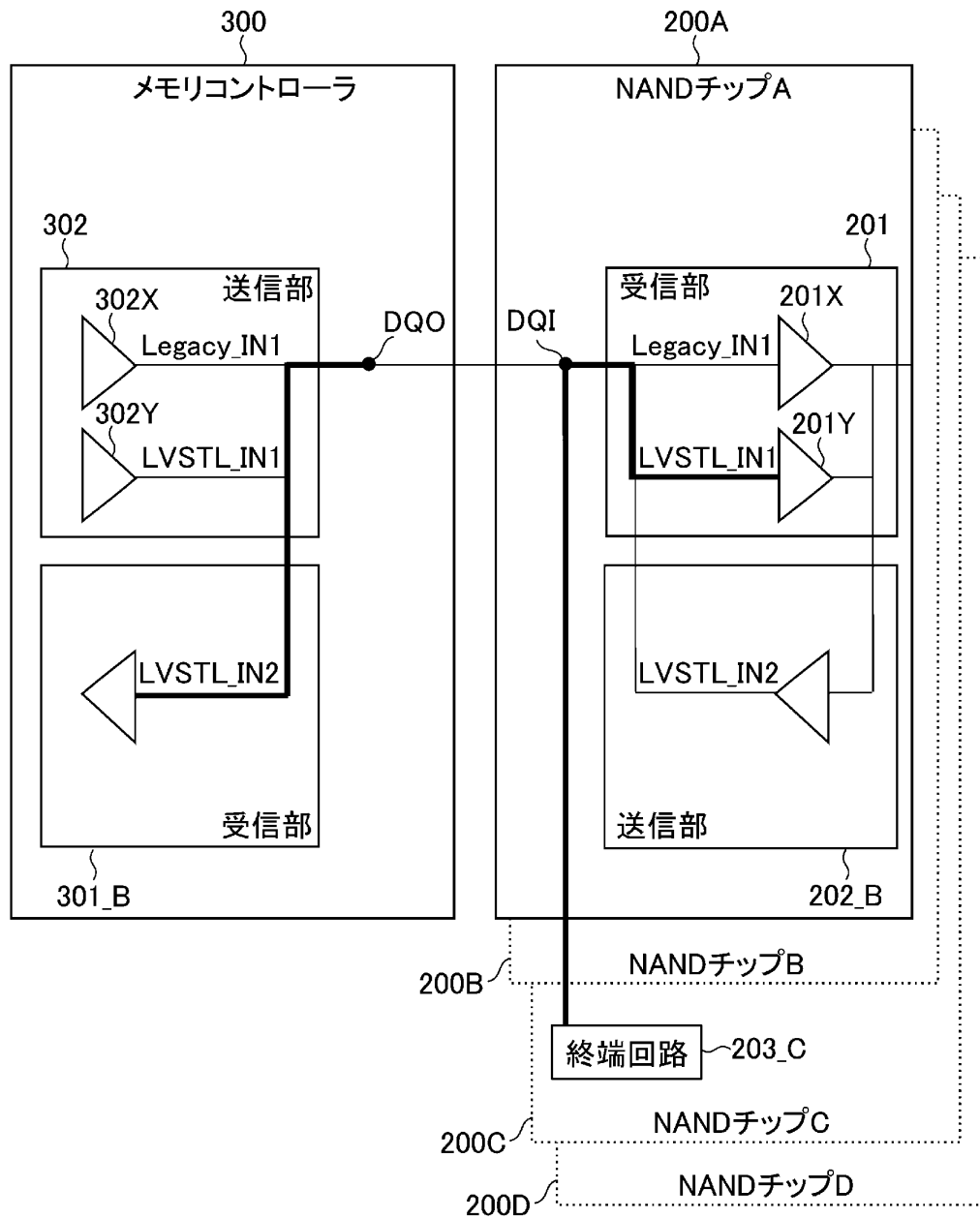
[図39]



[図40]



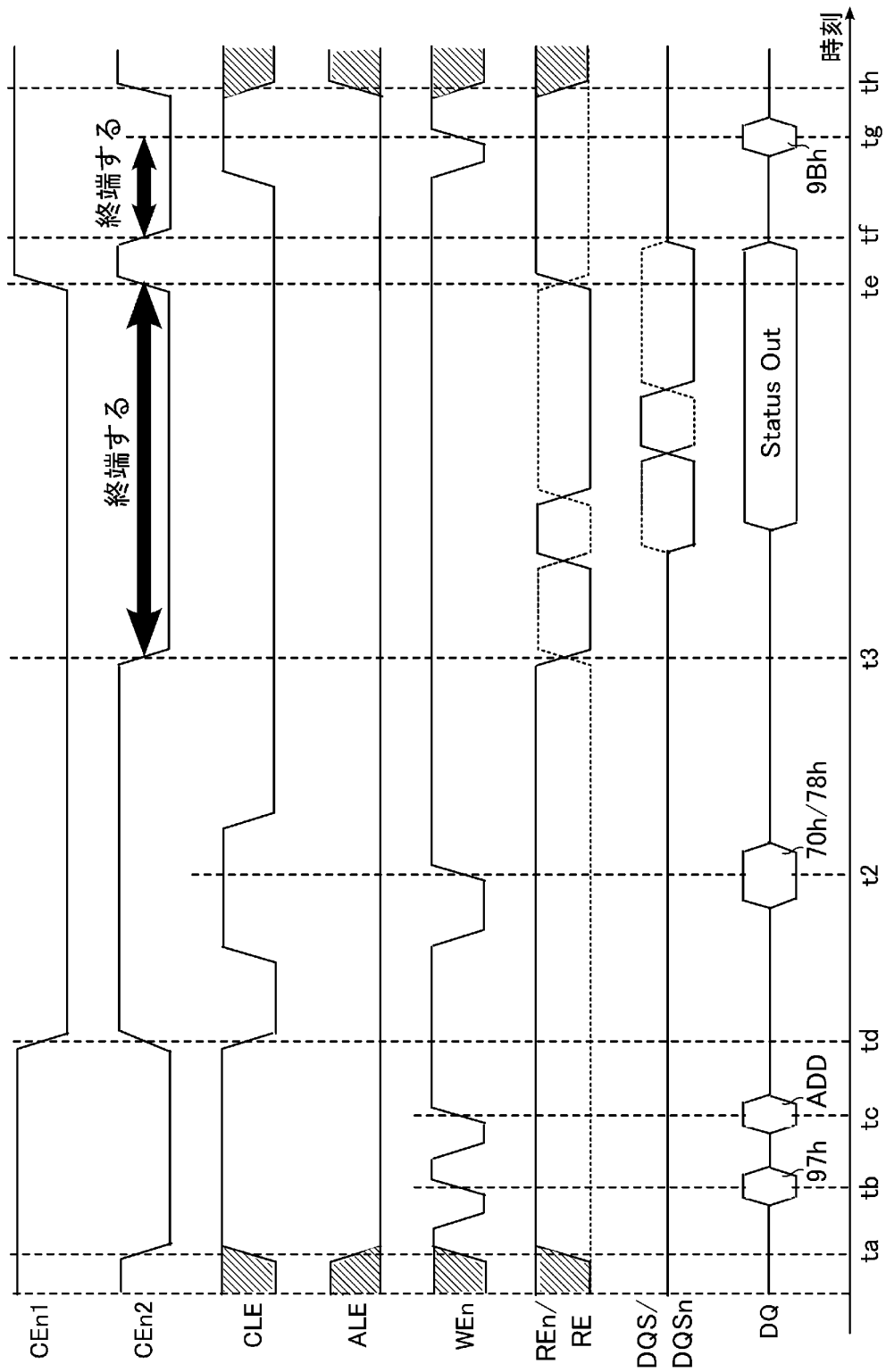
[図41]



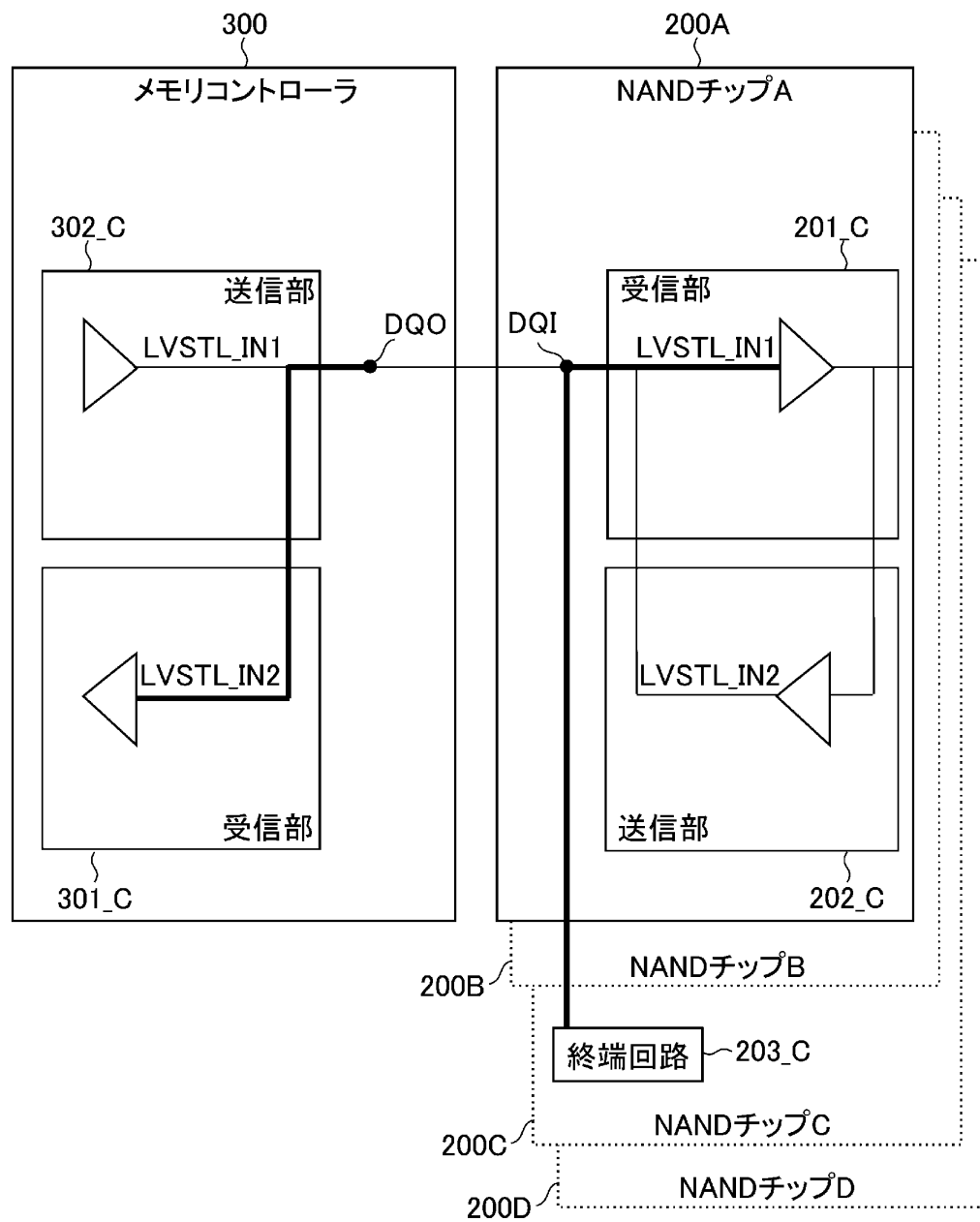
[図42]

コマンド及びアドレス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	Legacy_IN1	Legacy_IN1	Legacy_IN1		
DQS	L固定				
RE	L固定				
ステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2	LVSTL_IN2		終端	
DQS	LVSTL_DQS2	LVSTL_DQS2		終端	
RE	LVSTL_RE1	LVSTL_RE1		終端	
パラレルステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2	LVSTL_IN2	LVSTL_IN2	終端	
DQS	LVSTL_DQS2	LVSTL_DQS2	LVSTL_DQS2	終端	
RE	LVSTL_RE1	LVSTL_RE1	LVSTL_RE1	終端	
FeatureData					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1		終端	
DQS	LVSTL_DQS1	LVSTL_DQS1		終端	
RE	L固定				
DataOutput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2	LVSTL_IN2		終端	
DQS	LVSTL_DQS2	LVSTL_DQS2		終端	
RE	LVSTL_RE1	LVSTL_RE1		終端	
DataInput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1		終端	
DQS	LVSTL_DQS1	LVSTL_DQS1		終端	
RE	L固定				

[図43]



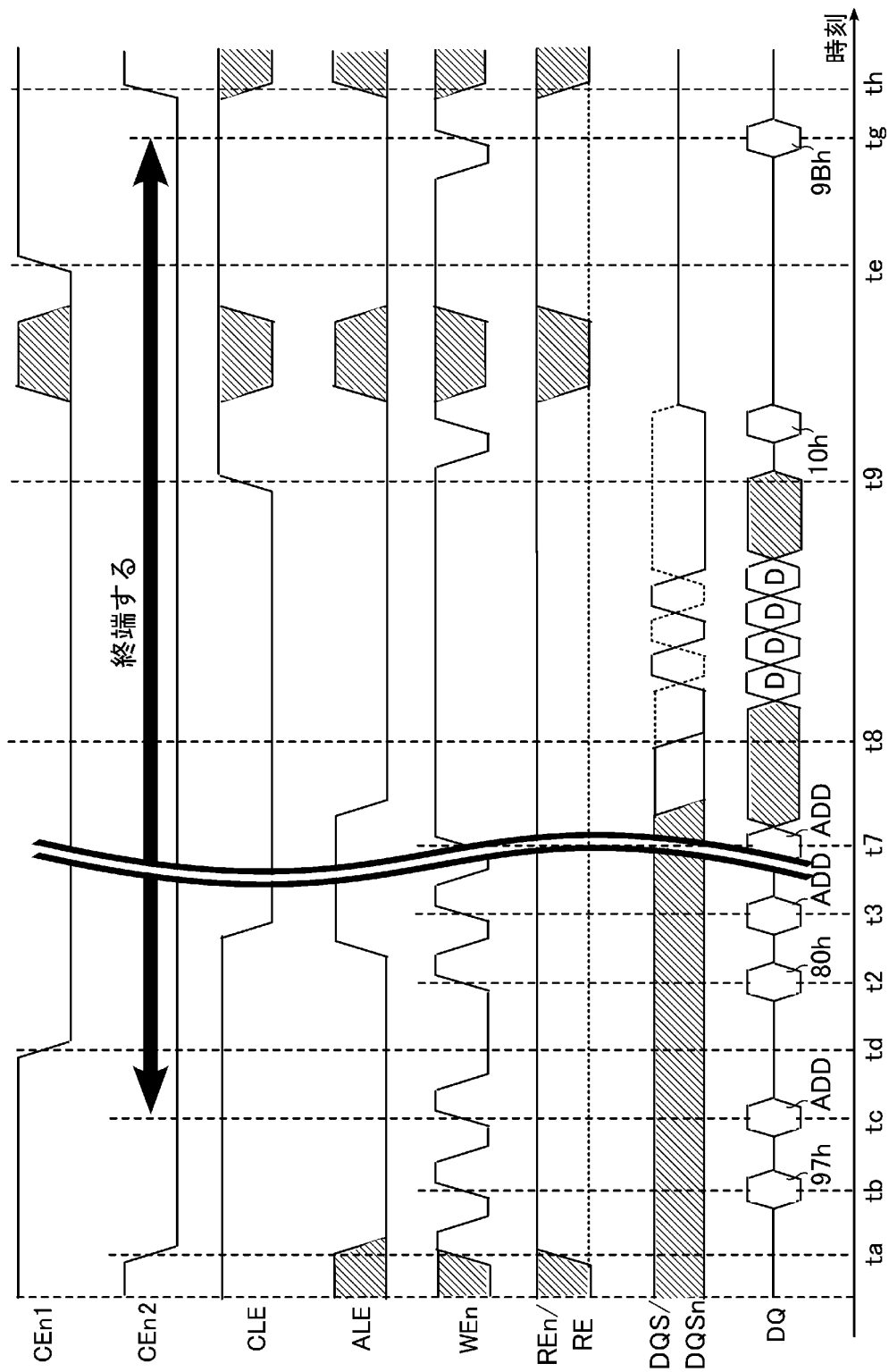
[図44]



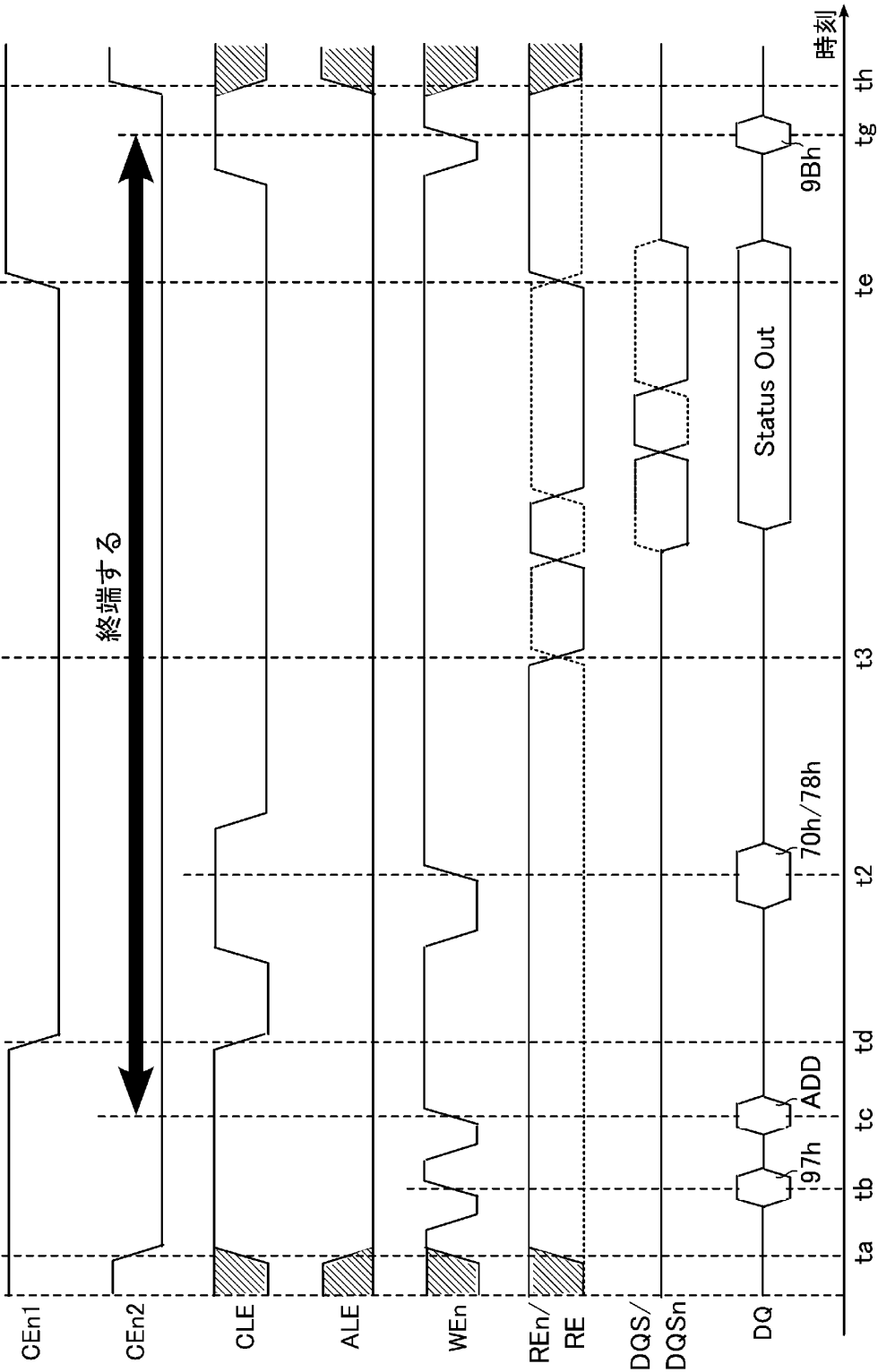
[図 45]

コマンド及びアドレス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1	LVSTL_IN1	終端	
DQS	floating			終端	
RE	floating			終端	
ステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2	LVSTL_IN2		終端	
DQS	LVSTL_DQS2	LVSTL_DQS2		終端	
RE	LVSTL_RE1	LVSTL_RE1		終端	
パラレルステータス					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2	LVSTL_IN2	LVSTL_IN2	終端	
DQS	LVSTL_DQS2	LVSTL_DQS2	LVSTL_DQS2	終端	
RE	LVSTL_RE1	LVSTL_RE1	LVSTL_RE1	終端	
FeatureData					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1		終端	
DQS	LVSTL_DQS1	LVSTL_DQS1		終端	
RE	floating			終端	
DataOutput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN2	LVSTL_IN2		終端	
DQS	LVSTL_DQS2	LVSTL_DQS2		終端	
RE	LVSTL_RE1	LVSTL_RE1		終端	
DataInput					
	メモリコントローラ	NANDチップA	NANDチップB	NANDチップC	NANDチップD
DQ	LVSTL_IN1	LVSTL_IN1		終端	
DQS	LVSTL_DQS1	LVSTL_DQS1		終端	
RE	floating			終端	

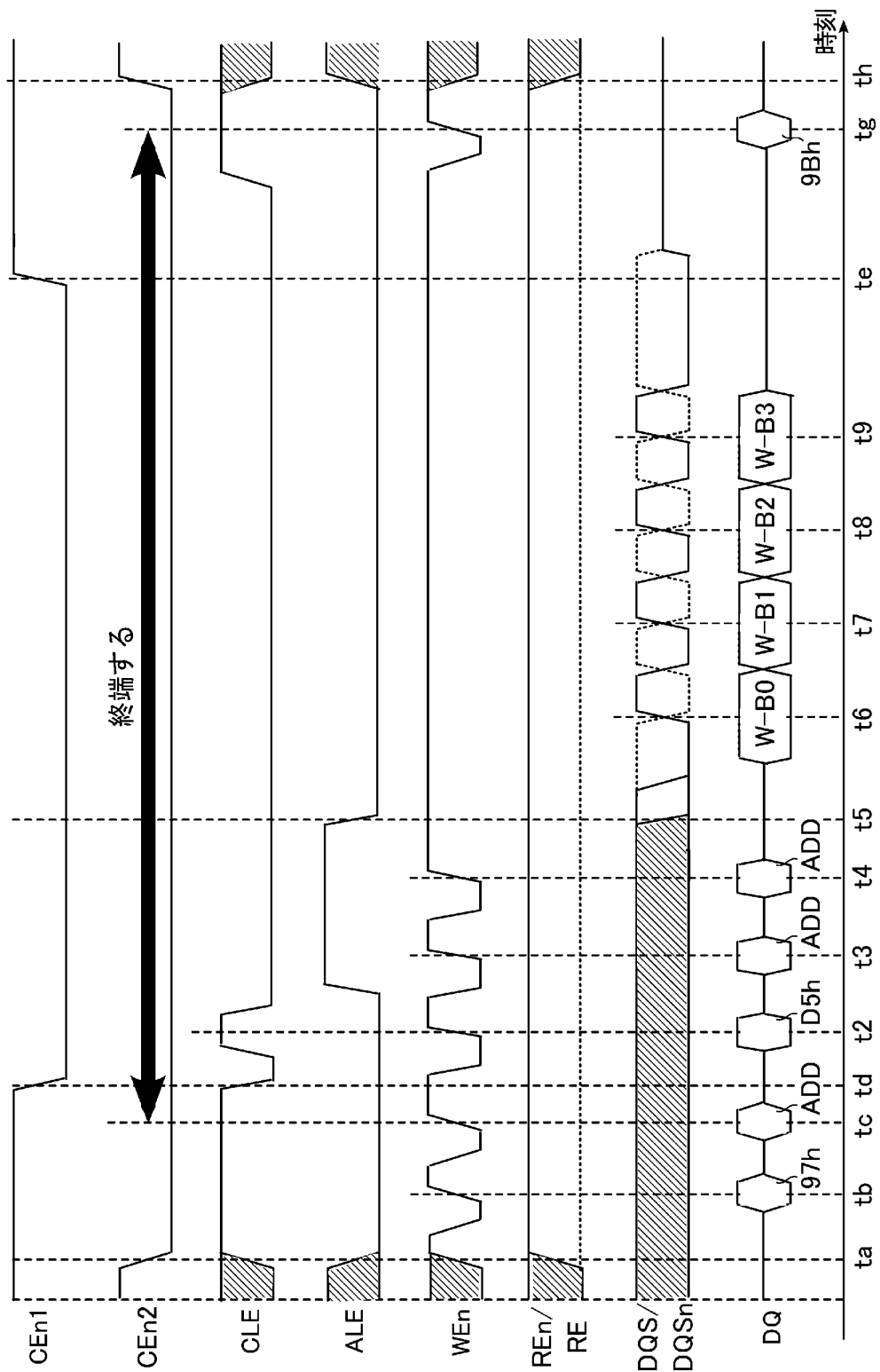
[図46]



[図47]



[図48]



[図49]

