

说明书

发明名称：一种电力线载波通信系统的仿真方法、系统

技术领域

- [1] 本发明属于电力线载波通信的仿真技术领域，尤其涉及一种电力线载波通信系统的仿真方法、系统。

背景技术

- [2] 电力线载波（Power Line Carrier, PLC）通信是指利用电力线作为信息传输媒介进行语音或数据传输的一种特殊通信方式。公知地，电力线载波通信由于下列因素的影响，不经处理的载波信号无法实现高速稳定的传输：1）配电变压器对载波信号的阻隔作用；2）电力线之间存在的干扰对载波信号的影响；3）信号耦合方式（如：线-地耦合，线-中线耦合等）对载波信号的影响；4）电力线自身的脉冲干扰对载波信号的影响；5）电力线由于线路阻抗对载波信号的高衰减；6）电力线上的高噪声对载波信号的影响；7）电力线不同分布点的分布参数对载波信号的影响。因此，目前在电力线载波通信系统均包括具有信号处理功能的发送端和接收端。发送端用于对载波信号进行信道编码、调制及其它处理后耦合到电力线上，接收端用于对经由电力线传输的载波信号进行对应处理。
- [3] 现有技术中，在一种情况下，发送端和接收端分别采用了微处理器芯片和可编程逻辑芯片组合的方式，实现对载波信号的信道编码/信道解码和载波调制/载波解调。由于受到微处理器芯片的性能及研发技术的限制，其中的微处理器芯片一般不采用复杂的通信算法实现信道编码/信道解码，甚至在某些情况下微处理器芯片不处理载波信号，而是采用透明传输的方式进行载波信号的传输。而在另一种情况下，发送端和接收端分别采用了DSP芯片或FPGA芯片代替微处理器芯片，实现对载波信号的信道编码/信道解码。虽然DSP芯片或FPGA芯片的性能较高，可采用复杂的通信算法实现信道编码/信道解码，但其成本较高，不适合大范围推广应用。
- [4] 一般地，在电力载波通信系统的发送端和接收端生产前，需构建电力载波通信

系统的仿真软件平台，以对发送端和接收端中各功能单元进行仿真，进而通过仿真结果数据对系统功能进行验证。而根据现有技术中发送端和接收端的上述结构，其所构建的用于信道编码/信道解码的功能模块是微处理器芯片、DSP芯片或FPGA芯片，其存在对载波信号处理能力差或使得实际产品成本高的问题。

对发明的公开

技术问题

- [5] 本发明的目的在于提供一种电力线载波通信系统的仿真方法，旨在解决现有技术中，构建的用于信道编码/信道解码的功能模块是微处理器芯片、DSP芯片或FPGA芯片，其存在对载波信号处理能力差或使得实际产品成本高的问题。

问题的解决方案

技术解决方案

- [6] 本发明是这样实现的，一种电力线载波通信系统的仿真方法，所述方法包括以下步骤：
- [7] S1、构建电力载波通信系统的发送端、接收端以及电力线信道的仿真模型；
- [8] S2、向构建的所述发送端的仿真模型发送测试数据，获取并显示仿真结果数据；
- [9] 其中，所述发送端的仿真模型包括信道编码模型，所述信道编码模型包括ARM核心芯片及所述ARM核心芯片的外围逻辑电路的仿真模型、以及所述ARM核心芯片的RS纠错编码算法仿真模型；所述接收端的仿真模型包括信道解码模型，所述信道解码模型包括ARM核心芯片及所述ARM核心芯片的外围逻辑电路仿真模型、以及所述ARM核心芯片的RS纠错解码算法仿真模型。
- [10] 本发明的另一目的在于提供一种电力线载波通信系统的仿真系统，所述系统包括：
- [11] 仿真模型构建模块，用于构建电力载波通信系统的发送端、接收端以及电力线信道的仿真模型；
- [12] 仿真执行模块，用于向所述仿真模型构建模块构建的所述发送端的仿真模型发送测试数据，获取并显示仿真结果数据；
- [13] 其中，所述发送端的仿真模型包括信道编码模型，所述信道编码模型包括AR

M核心芯片及所述ARM核心芯片的外围逻辑电路的仿真模型、以及所述ARM核心芯片的RS纠错编码算法仿真模型，所述接收端的仿真模型包括信道解码模型，所述信道解码模型包括ARM核心芯片及所述ARM核心芯片的外围逻辑电路仿真模型、以及所述ARM核心芯片的RS纠错解码算法仿真模型。

发明的有益效果

有益效果

- [14] 本发明实施例提供的电力线载波通信系统的仿真方法及系统所构建的发送端的仿真模型和接收端的仿真模型中，信道编码模型和信道解码模型均包括ARM核心芯片及其外围逻辑电路的仿真模型，且发送端包括ARM核心芯片的RS纠错编码算法仿真模型、接收端包括ARM核心芯片的RS纠错解码算法仿真模型。由于ARM核心芯片的成本普遍较现有电力线载波通信系统中发送端和接收端所应用的DSP芯片或FPGA芯片低，将其与RS纠错编解码算法结合，可低成本实现具有较高纠错能力的RS循环纠错码的运算；同时，ARM核心芯片具有较强的数据处理能力，可处理纠错能力较高的RS纠错编解码算法，而现有电力线载波通信系统中发送端和接收端所应用的微处理器芯片和可编程逻辑芯片组合方式，则由于微处理器芯片本身的数据处理能力有限，无法作为RS纠错编解码算法的硬件载体，而该RS纠错编解码算法能够保证电力线载波信号的稳定传输。综上所述，将ARM核心芯片与RS纠错编解码算法组合，可在低成本的情况下保证电力线载波信号的稳定传输，其优势是单独应用DSP芯片、FPGA芯片或单片机等微处理器芯片时所无法比拟的。

对附图的简要说明

附图说明

- [15] 图1是本发明实施例提供的电力线载波通信系统的仿真方法的流程图；
- [16] 图2是应用本发明实施例提供的电力线载波通信系统的仿真方法构建的电力线载波通信系统的结构图；
- [17] 图3是图2中电力线信道的仿真模型的结构图；
- [18] 图4是本发明实施例提供的电力线载波通信系统的仿真系统的结构图。

发明实施例

本发明的实施方式

- [19] 为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。
- [20] 针对现有技术存在的问题，本发明实施例提供的电力线载波通信系统的仿真方法构建的发送端和接收端中，构建的用于信道编码/信道解码的功能模型包括ARM核心芯片及其外围逻辑电路仿真模型、以及ARM核心芯片的RS纠错编码/RS纠错解码算法仿真模型。
- [21] 图1示出了本发明实施例提供的电力线载波通信系统的仿真方法的流程。
- [22] 在步骤S1中，构建电力载波通信系统的发送端、接收端以及电力线信道的仿真模型，优选地，本发明实施例是通过Matlab/Simulink构建电力载波通信系统的发送端、接收端以及电力线信道的仿真模型的。
- [23] 如图2所示，与现有技术不同的是，构建的发送端的仿真模型包括信道编码模型，该信道编码模型包括ARM核心芯片及其外围逻辑电路的仿真模型、以及ARM核心芯片的RS纠错编码算法仿真模型；构建的接收端的仿真模型包括信道解码模型，该信道解码模型包括ARM核心芯片及其外围逻辑电路仿真模型、以及ARM核心芯片的RS纠错解码算法仿真模型。其中，RS纠错解码算法是一种基于RS码的编码算法，RS码又称为里德-所罗门码（Reed-solomon Codes），其纠错能力强，构造方便；其中，ARM核心芯片具有较强的数据处理能力，且成本普遍较DSP芯片或FPGA芯片低，将其与RS纠错编解码算法结合，可低成本实现具有较高纠错能力的RS循环纠错码的运算，该RS纠错编解码算法能够保证电力线载波信号的稳定传输。
- [24] 优选地，ARM核心芯片是STM32芯片，该芯片的内核是ARM Cortex-M3，且该内核采用哈佛架构，能够进行较快的定点运算，具有更强的数据处理能力，且成本较低。
- [25] 构建的发送端的仿真模型还包括：载波调制模型，该载波调制模型包括PLC芯片的仿真模型、以及PLC芯片的算法仿真模型；连接载波调制模型的加循环前缀

算法模型；连接加循环前缀算法模型的插入保护间隔算法模型；连接插入保护间隔算法模型和电力线信道的仿真模型的并/串变换算法模型。其中，信道编码模型用于对输入的载波信号进行RS算法编码，载波调制模型用于对编码后的载波信号进行调制，加循环前缀算法模型用于向调制后的载波信号中加入循环前缀，插入保护间隔算法模型用于插入训练序列，并/串变换算法模型用于将载波信号中的多个比特数据信息通过变换算法变成单个载波信号。

- [26] 构建的接收端的仿真模型还包括：连接电力线信道的仿真模型的串/并变换算法模型；连接串/并变换算法模型的去保护间隔算法模型；连接去保护间隔算法模型的去循环前缀算法模型；连接去循环前缀算法模型的信道均衡模型；连接在去循环前缀算法模型和信道均衡模型之间的信道估计算法模型；连接信道均衡模型的去零算法模型；连接去零算法模型的载波解调模型；连接载波解调模型的信道解码模型。其中的串/并变换算法模型、去保护间隔算法模型、载波解调模型和信道解码模型分别的功能与上述发送端的仿真模型中相应仿真模型对应，在此不再赘述。

- [27] 进一步地，在步骤S1之前或之后，还包括步骤：S0、构建第一误码率计算算法模型和第二误码率计算算法模型；其中的第一误码率计算算法模型连接信道编码模型和载波调制模型之间的通信信道，以及信道解码模型和载波解调模型之间的通信信道；第二误码率计算算法模型连接载波调制模型和加循环前缀算法模型之间的通信信道，以及载波解调模型和去零算法模型之间的通信信道。

- [28] 另外，如图3所示，构建的电力线信道的仿真模型包括：多径衰减信道模型；连接多径衰减信道模型的高斯白噪声信道模型；噪声干扰模型；连接高斯白噪声信道模型和噪声干扰模型的加性算法模型。该电力线信道的仿真模型描述了电力线信道的三种最主要的干扰特性，其中的多径衰落指的是载波信号在传输过程中由于受到线路或者其他因素导致的信号折射与反射参数多个经过不同路径到达接收端的信号特性；高斯白噪声指的是一类幅度服从高斯分布的、功率谱密度是均匀分布的噪声；噪声干扰信道与高斯白噪声信道的相加构成加性信道，加性信道是另一类噪声，此类噪声的信号关系是相加的。其中的噪声干扰模型电力线载波常见的五种类的噪声模型：有色背景噪声模型，窄带噪声模

型，同步于工频的周期脉冲噪声模型，异步于工频的周期脉冲噪声模型，随机脉冲噪声模型，且有色背景噪声模型可用高斯白噪声的声源经过滤波器滤波生成。其中的工频指市电的频率，其大小根据国家的不同而不同，一般国家规定为50HZ，在某些国家则规定为60HZ。

[29] 在步骤S2中，向构建的发送端的仿真模型发送测试数据，获取并显示仿真结果数据。其中，获取并显示仿真结果数据的步骤具体为：获取第一误码率计算算法模型和第二误码率计算算法模型分别计算得到的载波信号的误码率、错误符号数和总符号数，通过计算得到的误码率识别载波信号经过电力线信道的仿真模型时衰减及噪声对载波信号影响的强弱。

[30] 图4示出了本发明实施例提供的电力线载波通信系统的仿真系统的结构，为了便于说明，仅示出了与本发明实施例相关的部分。

[31] 本发明实施例提供的电力线载波通信系统的仿真系统包括：仿真模型构建模块11，用于构建电力载波通信系统的发送端、接收端以及电力线信道的仿真模型；仿真执行模块12，用于向仿真模型构建模块11构建的发送端的仿真模型发送测试数据，获取并显示仿真结果数据。其中，仿真模型构建模块11构建的各仿真模型如上所述，仿真执行模块12的具体执行过程如上所述，在此不再赘述。

[32] 进一步地，仿真模型构建模块11还用于构建第一误码率计算算法模型和第二误码率计算算法模型，其中第一误码率计算算法模型和第二误码率计算算法模型分别于其它模型之间的连接关系如上所述，在此不再赘述。

[33] 本发明实施例提供的电力线载波通信系统的仿真方法及系统所构建的发送端的仿真模型和接收端的仿真模型中，信道编码模型和信道解码模型均包括ARM核心芯片及其外围逻辑电路的仿真模型，且发送端包括ARM核心芯片的RS纠错编码算法仿真模型、接收端包括ARM核心芯片的RS纠错解码算法仿真模型。由于ARM核心芯片的成本普遍较现有电力线载波通信系统中发送端和接收端所应用的DSP芯片或FPGA芯片低，将其与RS纠错编解码算法结合，可低成本实现具有较高纠错能力的RS循环纠错码的运算；同时，ARM核心芯片具有较强的数据处理能力，可处理纠错能力较高的RS纠错编解码算法，而现有电力线载波通信系统中发送端和接收端所应用的微处理器芯片和可编程逻辑芯片组合方式，则由

于微处理器芯片本身的数据处理能力有限，无法作为RS纠错编解码算法的硬件载体，而该RS纠错编解码算法能够保证电力线载波信号的稳定传输。综上所述，将ARM核心芯片与RS纠错编解码算法组合，可在低成本的情况下保证电力线载波信号的稳定传输，其优势是单独应用DSP芯片、FPGA芯片或单片机等微处理器芯片时所无法比拟的。

[34] 本领域普通技术人员可以理解实现上述实施例方法中的全部或部分步骤是可以通程序来控制相关的硬件完成，所述的程序可以在存储于一计算机可读取存储介质中，所述的存储介质，如ROM/RAM、磁盘、光盘等。

[35] 以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权利要求书

- [权利要求 1] 一种电力线载波通信系统的仿真方法，其特征在于，所述方法包括以下步骤：
- S1、构建电力载波通信系统的发送端、接收端以及电力线信道的仿真模型；
- S2、向构建的所述发送端的仿真模型发送测试数据，获取并显示仿真结果数据；
- 其中，所述发送端的仿真模型包括信道编码模型，所述信道编码模型包括ARM核心芯片及所述ARM核心芯片的外围逻辑电路的仿真模型、以及所述ARM核心芯片的RS纠错编码算法仿真模型；所述接收端的仿真模型包括信道解码模型，所述信道解码模型包括ARM核心芯片及所述ARM核心芯片的外围逻辑电路仿真模型、以及所述ARM核心芯片的RS纠错解码算法仿真模型。
- [权利要求 2] 如权利要求1所述的电力线载波通信系统的仿真方法，其特征在于，所述发送端的仿真模型还包括：
- 载波调制模型，所述载波调制模型包括PLC芯片的仿真模型、以及所述PLC芯片的算法仿真模型；
- 连接所述载波调制模型的加循环前缀算法模型；
- 连接所述加循环前缀算法模型的插入保护间隔算法模型；
- 连接所述插入保护间隔算法模型和所述电力线信道的仿真模型的并/串变换算法模型。
- [权利要求 3] 如权利要求2所述的电力线载波通信系统的仿真方法，其特征在于，所述ARM核心芯片是STM32芯片，所述接收端的仿真模型还包括：
- 连接所述电力线信道的仿真模型的串/并变换算法模型；
- 连接所述串/并变换算法模型的去保护间隔算法模型；
- 连接所述去保护间隔算法模型的去循环前缀算法模型；
- 连接所述去循环前缀算法模型的信道均衡模型；

连接在所述去循环前缀算法模型和所述信道均衡模型之间的信道估计算法模型；

连接所述信道均衡模型的去零算法模型；

连接所述去零算法模型的载波解调模型；

连接所述载波解调模型的信道解码模型。

[权利要求 4]

如权利要求3所述的电力线载波通信系统的仿真方法，其特征在于，在所述步骤S1之前或之后，所述方法还包括以下步骤：

S0：构建第一误码率计算算法模型和第二误码率计算算法模型；

其中，所述第一误码率计算算法模型连接所述信道编码模型和所述载波调制模型之间的通信信道，以及所述信道解码模型和所述载波解调模型之间的通信信道；所述第二误码率计算算法模型连接所述载波调制模型和所述加循环前缀算法模型之间的通信信道，以及所述载波解调模型和所述去零算法模型之间的通信信道。

[权利要求 5]

如权利要求1至4任一项所述的电力线载波通信系统的仿真方法，其特征在于，所述电力线信道的仿真模型包括：

多径衰减信道模型；

连接所述多径衰减信道模型的高斯白噪声信道模型；

噪声干扰模型，所述噪声干扰模型包括有色背景噪声模型，窄带噪声模型，同步于工频的周期脉冲噪声模型，异步于工频的周期脉冲噪声模型和随机脉冲噪声模型；

连接所述高斯白噪声信道模型和所述噪声干扰模型的加性算法模型。

[权利要求 6]

一种电力线载波通信系统的仿真系统，其特征在于，所述系统包括：

仿真模型构建模块，用于构建电力载波通信系统的发送端、接收端以及电力线信道的仿真模型；

仿真执行模块，用于向所述仿真模型构建模块构建的所述发送端的仿真模型发送测试数据，获取并显示仿真结果数据；

其中，所述发送端的仿真模型包括信道编码模型，所述信道编码模型包括ARM核心芯片及所述ARM核心芯片的外围逻辑电路的仿真模型、以及所述ARM核心芯片的RS纠错编码算法仿真模型，所述接收端的仿真模型包括信道解码模型，所述信道解码模型包括ARM核心芯片及所述ARM核心芯片的外围逻辑电路仿真模型、以及所述ARM核心芯片的RS纠错解码算法仿真模型。

[权利要求 7]

如权利要求6所述的电力线载波通信系统的仿真系统，其特征在于，所述发送端的仿真模型还包括：
载波调制模型，所述载波调制模型包括PLC芯片的仿真模型、以及所述PLC芯片的算法仿真模型；
连接所述载波调制模型的加循环前缀算法模型；
连接所述加循环前缀算法模型的插入保护间隔算法模型；
连接所述插入保护间隔算法模型和所述电力线信道的仿真模型的并/串变换算法模型。

[权利要求 8]

如权利要求7所述的电力线载波通信系统的仿真系统，其特征在于，所述ARM核心芯片是STM32芯片，所述接收端的仿真模型还包括：
连接所述电力线信道的仿真模型的串/并变换算法模型；
连接所述串/并变换算法模型的去保护间隔算法模型；
连接所述去保护间隔算法模型的去循环前缀算法模型；
连接所述去循环前缀算法模型的信道均衡模型；
连接在所述去循环前缀算法模型和所述信道均衡模型之间的信道估计算法模型；
连接所述信道均衡模型的去零算法模型；
连接所述去零算法模型的载波解调模型；
连接所述载波解调模型的信道解码模型。

[权利要求 9]

如权利要求8所述的电力线载波通信系统的仿真系统，其特征在于，所述仿真模型构建模块还用于构建第一误码率计算算法模型和

第二误码率计算算法模型;

所述第一误码率计算算法模型连接所述信道编码模型和所述载波调制模型之间的通信信道, 以及所述信道解码模型和所述载波解调模型之间的通信信道; 所述第二误码率计算算法模型连接所述载波调制模型和所述加循环前缀算法模型之间的通信信道, 以及所述载波解调模型和所述去零算法模型之间的通信信道。

[权利要求 10]

如权利要求6至9任一项所述的电力线载波通信系统的仿真系统, 其特征在于, 所述电力线信道的仿真模型包括:

多径衰减信道模型;

连接所述多径衰减信道模型的高斯白噪声信道模型;

噪声干扰模型, 所述噪声干扰模型包括有色背景噪声模型, 窄带噪声模型, 同步于工频的周期脉冲噪声模型, 异步于工频的周期脉冲噪声模型和随机脉冲噪声模型;

连接所述高斯白噪声信道模型和所述噪声干扰模型的加性算法模型。