

半导体结构及其制备方法

相关申请的交叉引用

本公开实施例要求于 2022 年 5 月 30 日提交中国专利局、申请号为 202210598976.8 的中国专利的优先权，所述专利申请的全部内容通过引用结合在本公开实施例中。

技术领域

本公开实施例涉及半导体制造技术领域，特别是涉及一种半导体结构及其制备方法。

背景技术

随着半导体存储器件（例如动态随机存取存储器 Dynamic Random Access Memory，简称 DRAM）变得高度集成，单位单元在半导体衬底上的面积会相应地逐渐缩小，包含在金属氧化物半导体（MOS）晶体管中的沟道长度也会逐渐减小，沟道长度的减小易造成短沟道效应的产生。

为了维持半导体存储器件的高度集成，当前主流的 DRAM 工艺中，存储单元晶体管采用埋入式字线（Buried Wordline，简称 BW）MOS 可以在一定程度上降低短沟道效应从而减少器件漏电现象。

然而，随着存储单元尺寸缩小，BW 沟槽尺寸也会随之缩小，进而填入 BW 沟槽的金属截面积也会减小；这就会导致字线（Wordline，简称 WL）电阻增高，造成更多功耗，加剧由电阻（R）寄生电容（C）充放电过程引起的信号延迟（简称 RC 延迟）。

发明内容

根据本公开实施例的各种实施例，提供一种半导体结构及其制备方法。

根据一些实施例，本公开实施例一方面提供一种半导体结构的制备方法，包括：
提供衬底；

于所述衬底内形成离子注入区；所述离子注入区的上表面与所述衬底的上表面具有间距；

于所述衬底内形成初始字线沟槽；所述初始字线沟槽自所述衬底的上表面延伸至所述离子注入区内；

对所述初始字线沟槽进行拓宽处理，以形成所述字线沟槽；所述字线沟槽底部的宽度大于所述字线沟槽的最小宽度。

根据一些实施例，于所述衬底内注入氟离子或硼离子，以形成所述离子注入区。

根据一些实施例，所述离子注入区的离子浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{22} \text{cm}^{-3}$ ；

5 所述离子注入区与所述衬底的上表面的距离为 100nm~200nm。

根据一些实施例，对所述初始字线沟槽进行拓宽处理，以形成所述字线沟槽，包括：采用原位生长工艺，于所述初始字线沟槽的侧壁及底部形成牺牲介质层；位于所述离子注入区内的所述牺牲介质层的厚度大于其余的所述牺牲介质层的厚度；

去除所述牺牲介质层，以形成所述字线沟槽。

10 根据一些实施例，形成所述字线沟槽之后，所述半导体结构的制备方法还包括：

于所述衬底内进行第一导电类型的离子注入，以消除所述离子注入区，并形成第一掺杂区域；所述第一掺杂区域的底部低于所述字线沟槽的底部，且所述第一掺杂区域的顶部高于所述字线沟槽的底部；

15 于所述衬底内进行第二导电类型的离子注入，以形成第二掺杂区域；所述第二掺杂区域位于所述第一掺杂区域的上方，并延伸至所述衬底的上表面；所述字线沟槽贯穿所述第二掺杂区域并延伸至所述第一掺杂区域内；所述第一掺杂区域为第一导电类型的掺杂区域，所述第二掺杂区域为第二导电类型的掺杂区域；

于所述字线沟槽的侧壁及底部形成栅氧化层；

20 于所述栅氧化层的表面形成字线导电层；所述字线导电层的顶部低于所述字线沟槽的顶部；

于所述字线沟槽内形成填充介质层；所述填充介质层位于所述字线导电层的顶部，且至少填充满所述字线沟槽。

根据一些实施例，所述第一导电类型为 P 型；所述第二导电类型为 N 型。

25 根据一些实施例，所述第一掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ ；所述第二掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ 。

根据一些实施例，所述离子注入区为第一掺杂区域；于所述衬底内形成离子注入区之前，所述半导体结构的制备方法还包括：

30 于所述衬底内形成第二掺杂区域；所述第二掺杂区域位于所述第一掺杂区域的上方，并延伸至所述衬底的上表面；所述初始字线沟槽贯穿所述第二掺杂区域并延伸至所述第一掺杂区域内；所述第一掺杂区域为第一导电类型的掺杂区域，所述第二掺杂区域为第二导

电类型的掺杂区域。

根据一些实施例，所述对所述初始字线沟槽进行拓宽处理，以形成所述字线沟槽，包括：

5 采用湿法刻蚀溶液对所述初始字线沟槽进行湿法刻蚀，以得到所述字线沟槽；所述湿法刻蚀溶液对所述第一掺杂区域内的部分所述初始字线沟槽的刻蚀速率大于对所述第二掺杂区域内的部分所述初始字线沟槽的刻蚀速率。

根据一些实施例，所述第一导电类型为 P 型；所述第二导电类型为 N 型；所述湿法刻蚀溶液包括氨水和双氧水的混合液。

10 根据一些实施例，所述第一掺杂区域的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ ；所述第二掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ ；

所述第一掺杂区域与所述衬底的上表面的距离为 100nm~200nm。

根据一些实施例，形成所述字线沟槽之后，所述半导体结构的制备方法还包括：

于所述字线沟槽的侧壁及底部形成栅氧化层；

15 于所述栅氧化层的表面形成字线导电层；所述字线导电层的顶部低于所述字线沟槽的顶部；

于所述字线沟槽内形成填充介质层；所述填充介质层位于所述字线导电层的顶部，且至少填充满所述字线沟槽。

根据一些实施例，本公开实施例另一方面提供一种半导体结构，包括：

20 衬底；所述衬底内设有第一掺杂区域及第二掺杂区域，所述第二掺杂区域自所述衬底的上表面延伸至所述衬底内；所述第一掺杂区域位于所述第二掺杂区域的下方；所述第一掺杂区域为第一导电类型的掺杂区域，所述第二掺杂区域为第二导电类型的掺杂区域；

字线沟槽；所述字线沟槽贯穿所述第二掺杂区域，且延伸至所述第一掺杂区域内，所述字线沟槽底部的宽度大于所述字线沟槽的最小宽度。

25 根据一些实施例，所述第一掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ ；所述第二掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ ；

所述第一导电类型为 P 型；所述第二导电类型为 N 型；

所述第一掺杂区域与所述衬底的上表面的距离为 100nm~200nm。

根据一些实施例，所述半导体结构还包括：

栅氧化层，位于所述字线沟槽的侧壁及底部；

30 字线导电层，位于所述栅氧化层的表面，且所述字线导电层的顶部低于所述字线沟槽

的顶部;

填充介质层, 位于所述字线导电层的顶部, 且至少填充满所述字线沟槽。

本公开实施例可以/至少具有以下优点:

本公开实施例提供的半导体结构的制备方法, 通过在衬底内形成离子注入区, 使得在形成初始字线沟槽之后, 能够对初始字线沟槽进行拓宽处理形成字线沟槽, 从而能够增大所形成的字线沟槽底部截面积, 并减小在后续制程中所形成的字线的电阻, 避免器件功耗的增加和 RC 延迟的恶化。

本公开实施例提供的半导体结构, 具有底部截面积较大的字线沟槽, 这样能够减小在后续制程中所形成的字线的电阻, 避免器件功耗的增加和 RC 延迟的恶化。

本公开实施例的一个或多个实施例的细节在下面的附图和描述中提出。本公开实施例的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案, 下面将对实施例描述中所需要使用的附图作简单地介绍, 显而易见地, 下面描述中的附图仅仅是本公开实施例的一些实施例, 对于本领域普通技术人员来讲, 在不付出创造性劳动的前提下, 还可以根据这些附图获得其他实施例的附图。

图 1 为一种埋入式字线工艺中, 通过干法刻蚀形成埋入式字线山形沟槽后所得结构的截面结构示意图;

图 2 为一种埋入式字线工艺中, 形成字线结构后所得结构的截面结构示意图;

5 图 3 为本公开实施例其中一个实施例提供的半导体结构的制备方法的流程图;

图 4 为本公开实施例其中一个实施例提供的半导体结构的制备方法中, 步骤 S1 所得结构的截面结构示意图;

图 5 为本公开实施例其中一个实施例提供的半导体结构的制备方法中, 步骤 S2 所得结构的截面结构示意图;

10 图 6 为本公开实施例其中一个实施例提供的半导体结构的制备方法中, 步骤 S3 所得结构的截面结构示意图;

图 7 为本公开实施例其中一个实施例提供的半导体结构的制备方法中, 步骤 S4 的流程图;

图 8 为本公开实施例其中一个实施例提供的半导体结构的制备方法中, 步骤 S401 所

得结构的截面结构示意图；

图 9 为本公开实施例其中一个实施例提供的半导体结构的制备方法中，步骤 S402 所得结构的截面结构示意图；

图 10 为本公开实施例其中一个实施例提供的半导体结构的制备方法中，在形成字线
5 沟槽之后的流程图；

图 11 为本公开实施例其中一个实施例提供的半导体结构的制备方法中，步骤 S512 所得结构的截面结构示意图；

图 12 为本公开实施例其中一个实施例提供的半导体结构的制备方法中，步骤 S513 所得结构的截面结构示意图；

10 图 13 为本公开实施例其中一个实施例提供的半导体结构的制备方法中，步骤 S515 所得结构的截面结构示意图；图 13 亦为本公开实施例其中一个实施例提供的半导体结构的截面结构示意图；

图 14 为本公开实施例其中一个实施例提供的半导体结构的制备方法中，在衬底内形成第二掺杂区域所得结构的截面结构示意图；

图 15 为本公开实施例另一个实施例提供的半导体结构的制备方法中，步骤 S3 所得结构的截面结构示意图。

具体实施方式

15 为了便于理解本公开实施例，下面将参照相关附图对本公开实施例进行更全面的描述。附图中给出了本公开实施例的首选实施例。但是，本公开实施例可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开实施例的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开实施例的技术领域的技术人员通常理解的含义相同。本文中在本公开实施例的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开实施例。

应当明白，当元件或层被称为“位于…上方”其它元件或层时，其可以直接地在其它元件或层上，或者可以存在居间的元件或层。应当明白，尽管可使用术语第一、第二等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和
25 /或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本公开实施例

教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂区域称为第二掺杂区域，且类似地，可以将第二掺杂区域称为第一掺杂区域；第一掺杂区域与第二掺杂区域为不同的掺杂区域，譬如，第一掺杂区域可以为第一导电类型的掺杂区域且第二掺杂区域可以为第二掺杂区域为第二导电类型的掺杂区域；或第一掺杂区域可以为第二掺杂区域为第二导电类型的掺杂区域且第二掺杂区域可以为第一导电类型的掺杂区域。

空间关系术语例如“位于…下方”、“位于…上方”，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“位于其它元件下方”将取向为在其它元件或特征“上”。因此，示例性术语“位于…上方”可包括上和下两个取向。此外，器件也可以包括另外地取向（譬如，旋转 90 度或其它取向），并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用时，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本公开实施例的理想实施例（和中间结构）的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本公开实施例的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。因此，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本公开实施例的范围。

请参阅图 1 至图 15。需要说明的是，本实施例中所提供的图示仅以示意方式说明本公开实施例的基本构想，虽图示中仅显示与本公开实施例中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

为了维持半导体存储器件的高度集成，当前主流的 DRAM 工艺中，存储单元晶体管采用埋入式字线可以在一定程度上降低短沟道效应从而减少器件漏电现象。

在 DRAM 埋入式字线工艺中，如图 1 所示，通常先使用干法刻蚀在衬底 1' 内形成岛

状结构；然后再通过干法刻蚀形成埋入式字线山形沟槽；之后进行热氧化工艺形成栅氧化层 132'，再由下至上依次沉积金属 133'及填充介质层 134'，以形成字线结构，如图 2 所示。

然而，随着存储单元尺寸缩小，埋入式字线沟槽尺寸也会随之缩小，进而填入埋入式字线沟槽的金属截面积也会减小；这就会导致字线电阻增高，造成更多功耗，加剧 RC 延迟。

针对现有技术中的不足之处，本公开实施例根据一些实施例，提供一种半导体结构的制备方法。

请参阅图 3，在其中一个实施例中，该制备方法可以包括如下步骤：

S1：提供衬底。

S2：于衬底内形成离子注入区；离子注入区的上表面与衬底的上表面具有间距。

S3：于衬底内形成初始字线沟槽；初始字线沟槽自衬底的上表面延伸至离子注入区内。

S4：对初始字线沟槽进行拓宽处理，以形成字线沟槽；字线沟槽底部的宽度大于字线沟槽的最小宽度。

本公开实施例提供的半导体结构的制备方法，通过在衬底内形成离子注入区，使得在形成初始字线沟槽之后，能够对初始字线沟槽进行拓宽处理形成字线沟槽，从而能够增大所形成的字线沟槽底部截面积，并减小在后续制程中所形成的字线电阻，因此可以降低器件功耗和减小 RC 延迟。

下面结合图 4 至图 15 对本公开实施例涉及的半导体结构的制备方法进行更详细的说明。

对于步骤 S1，如图 4 所示，提供衬底 1。

本公开实施例对于衬底 1 的材质并不做具体限定。作为示例，衬底 1 可以包括但不限于硅衬底、蓝宝石衬底、玻璃衬底、碳化硅衬底、氮化镓衬底或砷化镓衬底等等中的任意一种或几种；也就是说，衬底 1 的材质可以包括但不限于硅、蓝宝石、玻璃、碳化硅、氮化镓或砷化镓等等中的任意一种或几种。

在一些可能的实施例中，在步骤 S1 之前，该制备方法还可以包括对初始衬底进行刻蚀，以形成如图 4 所示的岛状结构的步骤。本公开实施例对于刻蚀初始衬底的方式并不做具体限定；作为示例，可以采用但不仅限于干法刻蚀的方式对初始衬底进行刻蚀。

对于步骤 S2，如图 5 所示，于衬底 1 内形成离子注入区 11。具体的，离子注入区 11 的上表面应当与衬底 1 的上表面具有间距。

本公开实施例对于离子注入区 11 的离子浓度亦不做具体限定。作为示例，离子注入

区 11 的离子浓度可以为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{22} \text{cm}^{-3}$; 譬如, 离子注入区 11 的离子浓度可以为 $1 \times 10^{17} \text{cm}^{-3}$ 、 $1 \times 10^{18} \text{cm}^{-3}$ 、 $1 \times 10^{19} \text{cm}^{-3}$ 、 $1 \times 10^{20} \text{cm}^{-3}$ 、 $1 \times 10^{21} \text{cm}^{-3}$ 或 $1 \times 10^{22} \text{cm}^{-3}$ 等等。

本公开实施例对于离子注入区 11 与衬底 1 上表面之间的距离大小亦不做限定。作为示例, 离子注入区 11 与衬底 1 的上表面的距离可以为 100nm~200nm; 譬如, 离子注入区 11 与衬底 1 的上表面的距离可以为 100nm、125nm、150nm、175nm 或 200nm。

对于步骤 S3, 如图 6 所示, 于衬底 1 内形成初始字线沟槽 12。具体的, 初始字线沟槽 12 应当自衬底 1 的上表面延伸至离子注入区 11 内。

本公开实施例对于形成初始字线沟槽 12 的方式并不做具体限定。作为示例, 可以采用但不限于干法刻蚀的方式于衬底 1 内形成初始字线沟槽 12。

作为示例, 于硅衬底内形成初始字线沟槽 12 的步骤可以采用如下方式进行, 比如: 使用四氟化碳 (CF_4) 作为刻蚀气体对硅衬底进行干法刻蚀, 四氟化碳在电容耦合等离子体 (CCP) 或电感耦合等离子体 (ICP) 中解离成三氟甲基 (CF_3) 和氟 (F) 中性基团。这些氟中性基团因电子不饱和而具有较高的反应活性, 进而非常容易地与硅衬底发生反应, 形成具有挥发特性的四氟化硅 (SiF_4), 最终形成初始字线沟槽 12。

本公开实施例对于初始字线沟槽 12 的宽度并不做具体限定。在其中一个实施例中, 在步骤 S2 中形成的初始字线沟槽 12 的宽度可以为后续制程中形成的字线沟槽 13 的宽度的 $1/3 \sim 2/3$; 譬如, 在步骤 S2 中形成的初始字线沟槽 12 的宽度可以为后续制程中形成的字线沟槽 13 的宽度的 $1/3$ 、 $1/2$ 或 $2/3$ 等等。

同时, 本公开实施例对于初始字线沟槽 12 的深度亦不做具体限定。在其中一个实施例中, 可以使初始字线沟槽 12 的底部位于离子注入区 11 内。

对于步骤 S4, 请结合图 8 至图 9, 对初始字线沟槽 12 进行拓宽处理, 以形成字线沟槽 13。具体的, 字线沟槽 13 底部的宽度 d_1 应当大于字线沟槽 13 的最小宽度 d_2 。在一些实施例中, 字线沟槽 13 的最小宽度还可以为字线沟槽 13 上部 (字线沟槽 13 的底部上方的区域) 的宽度, 例如字线沟槽 13 上部为矩形状。

本公开实施例对于对初始字线沟槽 12 进行拓宽处理的方式并不做具体限定。请参阅图 7, 在其中一个实施例中, 步骤 S4 可以包括如下步骤:

S401: 如图 8 所示, 采用原位生长工艺, 于初始字线沟槽 12 的侧壁及底部形成牺牲介质层 131; 具体的, 位于离子注入区 11 内的牺牲介质层 131 的厚度应当大于其余的牺牲介质层 131 的厚度。

S402: 如图 9 所示, 去除牺牲介质层 131, 以形成字线沟槽 13。

在步骤 S401 中，本公开实施例对于形成牺牲介质层 131 的原位生长工艺的方式并不做具体限定。

可以理解，当衬底 1 包括硅衬底时，刻蚀形成初始字线沟槽 12 后，裸露出来的初始字线沟槽 12 的侧壁及底部应当包括硅（Si）。作为示例，于初始字线沟槽 12 的侧壁及底部形成牺牲介质层 131 的步骤，可以采用如下方式进行，比如：通过热氧化（例如干氧氧化或湿氧氧化）工艺，将刻蚀后裸露出来的硅氧化成二氧化硅（SiO₂），以形成牺牲介质层 131。

由于位于离子注入区 11 内的初始字线沟槽 12 中的硅反应速率较快，则能够消耗更多的硅，使得所形成的位于离子注入区 11 内的牺牲介质层 131 的厚度大于其余的牺牲介质层 131 的厚度。

本公开实施例对于离子注入区 11 内注入离子的种类并不做具体限定。作为示例，可以通过向衬底 1 内注入氟离子来形成离子注入区 11。其中，向衬底 1 内注入氟离子能够降低硅元素与氧（O）元素的活化能，形成与 Si-Si 键相比活性更低的 Si-F 键，也就是 Si-F 键更容易被打断，也就是氧气更加打断 Si-F，形成 Si-O 键。因此所形成的离子注入区 11 氧化速率更快，能够消耗更多的硅，有助于提升形成较厚的牺牲介质层 131。

作为示例，向衬底 1 内注入氟离子以形成离子注入区 11 的步骤可以采用如下方式进行，比如：使用三氟化硼（BF₃）作为离子源，将三氟化硼电离后经电场加速进入质量分析器；利用质量分析器的磁场，将氟离子（F⁺或 F⁺⁺）分选出来，在经过加速器使氟离子能量达到 120KeV，在与衬底 1 的上表面的距离为 100nm~200nm 深度的区域形成掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{22} \text{cm}^{-3}$ 的离子注入区 11。

在步骤 S402 中，本公开实施例对于去除牺牲介质层 131 的方式并不做具体限定。作为示例，可以采用但不仅限于湿法刻蚀工艺去除牺牲介质层 131。

同时，本公开实施例对于步骤 S402 中使用的湿法刻蚀溶液的种类亦不做具体限定。作为示例，可以采用但不限于稀释的氢氟酸（Diluted Hydrofluoric Acid，简称 DHF）或缓冲氧化硅刻蚀溶液（简称 BOE）将牺牲介质层 131 全部去除。

下面请参阅图 10，在其中一个实施例中，该制备方法在形成字线沟槽 13 之后，还可以包括如下步骤

S511：于衬底 1 内进行第一导电类型的离子注入，以消除离子注入区 11，并形成第一掺杂区域 141；具体的，第一掺杂区域 141 的底部应当低于字线沟槽 13 的底部，且第一掺杂区域 141 的顶部应当高于字线沟槽 13 的底部。

S512: 于衬底 1 内进行第二导电类型的离子注入, 以形成第二掺杂区域 142; 具体的, 如图 11 所示, 第二掺杂区域 142 应当位于第一掺杂区域 141 的上方, 并延伸至衬底 1 的上表面; 同时, 字线沟槽 13 应当贯穿第二掺杂区域 142, 并延伸至第一掺杂区域 141 内; 其中, 第一掺杂区域 141 为第一导电类型的掺杂区域, 第二掺杂区域 142 为第二导电类型的掺杂区域。

S513: 如图 12 所示, 于字线沟槽 13 的侧壁及底部形成栅氧化层 132。

S514: 于栅氧化层 132 的表面形成字线导电层 133; 具体的, 字线导电层 133 的顶部应当低于字线沟槽 13 的顶部。

S515: 于字线沟槽 13 内形成填充介质层 134; 具体的, 如图 13 所示, 填充介质层 134 应当位于字线导电层 133 的顶部, 且至少填满字线沟槽 13。

本公开实施例对于形成栅氧化层 132 的方式并不做具体限定。作为示例, 可以采用但不限于自由基氧化工艺、化学气相沉积工艺 (Physical Vapor Deposition, PVD)、化学气相沉积工艺 (Chemical Vapor Deposition, CVD)、流体化学气相沉积 (Flowable Chemical Vapor Deposition, FCVD) 工艺、高密度等离子沉积 (High Density Plasma, HDP) 工艺、等离子体增强沉积工艺或原子层沉积工艺等等中的任意一种方式于字线沟槽 13 的侧壁及底部形成栅氧化层 132。

同时, 本公开实施例对于栅氧化层 132 的材质亦不做具体限定。作为示例, 栅氧化层 132 可以包括但不限于二氧化硅层、高 k 电介质材料层或其他电介质材料层等等中的任意一种或几种; 也就是说, 栅氧化层 132 的材质可以包括但不限于二氧化硅、高 k 电介质材料或其他电介质材料等等中的任意一种或几种。

作为示例, 可以利用 850°C~1050°C 的自由基氧化工艺形成栅氧化层 132; 譬如, 可以利用 850°C、900°C、950°C、1000°C 或 1050°C 等等自由基氧化工艺形成栅氧化层 132。氧中性自由基 (O^*) 或氢氧中性自由基 (OH^*) 是氢气 (H_2) 和氧气 (O_2) 反应生成水过程中的中间产物, 由于核外电子不饱和因而具有更强的化学活性, 自由基在可以将较弱的化学键打断然后形成更强的化学键, 因此能够获得更高质量的栅氧化层 132。

作为示例, 在采用自由基氧化工艺形成栅氧化层 132 的过程中, 可以将反应压力控制在 20Torr 以内, 低压可使气体分子的平均自由程更长, 这样能够获得较长的自由基寿命。

本公开实施例对于形成字线导电层 133 的方式并不做具体限定。作为示例, 可以采用但不仅限于化学气相沉积工艺、化学气相沉积工艺、流体化学气相沉积工艺、高密度等离子沉积工艺、等离子体增强沉积工艺或原子层沉积工艺等等中的任意一种或几种于栅氧化

层 132 的表面形成字线导电层 133。

作为示例，于栅氧化层 132 的表面形成字线导电层 133 的步骤，可以采用如下方式进行，比如：于栅氧化层 132 的表面形成字线导电材料层；回刻部分字线导电材料层，以形成字线导电层 133。

- 5 同时，本公开实施例对于字线导电层 133 的材质亦不做具体限定。作为示例，字线导电层 133 的材质可以包括但不限于氮化钛（TiN）、钛（Ti）、硅化钨（Si₂W）或钨（W）等等中的任意一种或几种。

作为示例，于栅氧化层 132 的表面形成字线导电层 133 的步骤，还可以采用如下方式进行，比如：使用台阶覆盖较好的化学气相沉积工艺沉积钨金属以字线导电材料层，此过程中反应气体可以包括但不限于硅烷（SiH₄）和六氟化钨（WF₆）；然后使用干法刻蚀的方法回刻字线导电材料层，此过程中刻蚀气体可以使用但不仅限于六氟化硫。

本公开实施例对于形成填充介质层 134 的形式并不做具体限定。作为示例，可以通过但不限于化学气相沉积工艺或化学气相沉积工艺中的任意一种于字线沟槽 13 内形成填充介质层 134。

- 15 本公开实施例对于填充介质层 134 的材质亦不做具体限定。作为示例，填充介质层 134 的材质可以包括但不限于二氧化硅、氮化硅（Si₃N₄）或氮氧化硅（SiON）等等中的一种或几种。

作为示例，于字线沟槽 13 内形成填充介质层 134 的步骤可以采用如下方式进行，比如：使用化学气相沉积的方法，利用六氯乙硅烷（Si₂Cl₆，简称 HCD）或二氯硅烷（SiH₂Cl₂，简称 DCS）与氨气（NH₃）反应，以形成氮化硅作为填充介质材料层；再经过化学机械平坦化（Chemical Mechanical Polishing，简称 CMP）形成填充介质层 134。

在本公开实施例中，第一导电类型可以为 P 型；此时第二导电类型应当为 N 型。

- 25 作为示例，形成 P 型的第一掺杂区域 141 的步骤，可以采用如下方式进行，比如：使用三氟化硼离化产生的硼离子（B⁺）作为离子源，通过离子注入工艺形成掺杂硼离子的 P 型第一掺杂区域 141。

作为示例，形成 N 型的第二掺杂区域 142 的步骤，可以采用如下方式进行，比如：使用磷（P）蒸汽离化产生的磷离子（P⁺）为离子源，通过离子注入工艺在第一掺杂区域 141 的上方形成掺杂磷离子的 N 型第二掺杂区域 142。

- 30 本公开实施例对于第一掺杂区域 141 内的离子浓度大小，以及第二掺杂区域 142 内的离子浓度大小均不做具体限定。作为示例，第一掺杂区域 141 内的离子浓度可以为 1×10^{11}

$6\text{cm}^3 \sim 1 \times 10^{20}\text{cm}^3$; 譬如, 第一掺杂区域 141 内的离子浓度可以为 $1 \times 10^{16}\text{cm}^3$ 、 $1 \times 10^{17}\text{cm}^3$ 、 $1 \times 10^{18}\text{cm}^3$ 、 $1 \times 10^{19}\text{cm}^3$ 或 $1 \times 10^{20}\text{cm}^3$ 等等。作为示例, 第二掺杂区域 142 内的离子浓度可以为 $1 \times 10^{16}\text{cm}^3 \sim 1 \times 10^{20}\text{cm}^3$; 譬如, 第二掺杂区域 142 内的离子浓度可以为 $1 \times 10^{16}\text{cm}^3$ 、 $1 \times 10^{17}\text{cm}^3$ 、 $1 \times 10^{18}\text{cm}^3$ 、 $1 \times 10^{19}\text{cm}^3$ 或 $1 \times 10^{20}\text{cm}^3$ 等等。

5 作为示例, 还可以通过向衬底 1 内注入硼 (B) 离子来形成离子注入区 11。当通过向衬底 1 内注入硼离子以形成离子注入区 11 时, 可以将离子注入区复用为第一掺杂区域 141。在此基础上, 在衬底 1 内形成离子注入区 11 (本实施例中亦为第一掺杂区域 141) 之前, 该制备方法还可以包括在衬底 1 内形成第二掺杂区域 142 的步骤。

具体的, 如图 14 所示, 第二掺杂区域 142 应当位于第一掺杂区域 141 的上方, 并延伸
10 伸至衬底 1 的上表面。

需要说明的是, 形成第一掺杂区域 141 及第二掺杂区域 142 的方式可以参阅前述内容, 此处不再累述。

此时, 步骤 S3 所得结构可以如图 15 所示, 初始字线沟槽 12 贯穿第二掺杂区域 142 并延伸至第一掺杂区域 141 内; 其中, 第一掺杂区域 141 为第一导电类型的掺杂区域, 第二掺杂区域 142 为第二导电类型的掺杂区域。
15

需要说明的是, 形成初始字线沟槽 12 的方式可以参阅前述内容, 此处不再累述。在一些实施例中, 初始字线沟槽 12 上部的宽度例如小于字线沟槽 13 上部的宽度的 $1/2$, 如果初始字线沟槽 12 上部的宽度较大, 在后续拓宽处理过程中, 初始字线沟槽 12 上部的宽度会变得更大, 则使得相邻字线沟槽 13 之间的间距较小, 则不利于后续制造位线接触垫, 位线接触垫位于字线沟槽 13 之间, 由于字线沟槽 13 之间的间距较小, 则有可能导致位线接触垫与字线沟槽 13 连接, 也就是位线与字线直接连接, 由此影响存储器的性能。
20

在其中一个实施例中, 第一导电类型可以为 P 型; 此时第二导电类型应当为 N 型。

在其中一个实施例中, 步骤 S4 还可以包括如下步骤:

采用湿法刻蚀溶液对初始字线沟槽 12 (图 6 所示) 进行湿法刻蚀, 以得到字线沟槽 1
25 3; 请继续参阅图 11, 图 11 亦为本实施例得到字线沟槽 13 后所得结构的截面结构示意图。

具体的, 湿法刻蚀溶液对第一掺杂区域 141 内的部分初始字线沟槽 12 的刻蚀速率应当大于对第二掺杂区域 142 内的部分初始字线沟槽 12 的刻蚀速率, 使得所形成的字线沟槽 13 底部的宽度能够大于字线沟槽 13 的最小宽度。

本公开实施例对于湿法刻蚀溶液的种类并不做具体限定。作为示例, 湿法刻蚀溶液可以包括但不仅限于氨水和双氧水 (H_2O_2) 的混合液。
30

在对初始字线沟槽 12 进行湿法刻蚀过程中，由于第一掺杂区域 141 的空穴浓度远高于位于其上方的第二掺杂区域 142，双氧水电离后形成的过氧氢根离子（ HO_2^- ）更容易与空穴浓度较高的第一掺杂区域 141 表面的硅结合，并发生反应形成二氧化硅，二氧化硅再与溶液中的氢氧根离子（ OH^- ）反应生成硅酸根离子（ SiO_3^{2-} ）而溶解到溶液中。因此，第一掺杂区域 141 的湿法刻蚀速率较快，则能够消耗更多的硅；位于第一掺杂区域 141 上方的第二掺杂区域 142 湿法刻蚀速率较慢，消耗的硅则少一些。如此，使得所形成的字线沟槽 13 底部的较为宽阔。

请继续参阅图 12 至图 13，在其中一个实施例中，在采用湿法刻蚀溶液对初始字线沟槽 12 进行湿法刻蚀，得到字线沟槽 13 之后，该制备方法还可以包括如下步骤：

于字线沟槽 13 的侧壁及底部形成栅氧化层 132，如图 12 所示；于栅氧化层 132 的表面形成字线导电层 133，字线导电层 133 的顶部低于字线沟槽 13 的顶部；于字线沟槽 13 内形成填充介质层 134，填充介质层 134 位于字线导电层 133 的顶部，且至少填满字线沟槽 13，如图 13 所示。

需要说明的是，形成栅氧化层 132、字线导电层 133 及填充介质层 134 的方式均可以参阅前述内容，此处不再累述。

应该理解的是，虽然图 3、图 7 和图 10 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 3、图 7 和图 10 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

本公开实施例还根据一些实施例，提供一种半导体结构。

请继续参阅图 13，在其中一个实施例中，该半导体结构可以包括衬底 1，以及字线沟槽 13。

衬底 1 内设有第一掺杂区域 141 及第二掺杂区域 142；其中，第二掺杂区域 142 自衬底 1 的上表面延伸至衬底 1 内，第一掺杂区域 141 位于第二掺杂区域 142 的下方；具体的，第一掺杂区域 141 可以为第一导电类型的掺杂区域，第二掺杂区域 142 则可以为第二导电类型的掺杂区域。

字线沟槽 13 贯穿第二掺杂区域 142，且延伸至第一掺杂区域 141 内；具体的，字线沟

槽 13 底部的宽度应当大于字线沟槽 13 的最小宽度。

本公开实施例的半导体结构，具有底部截面积较大的字线沟槽 13，这样能够减小在后续制程中所形成的字线电阻，因此可以降低器件功耗和减小 RC 延迟。

5 本公开实施例对于第一掺杂区域 141 与衬底 1 上表面之间的距离大小并不做限定。作为示例中，第一掺杂区域 141 与衬底 1 的上表面的距离可以为 100nm~200nm；譬如，第一掺杂区域 141 与衬底 1 的上表面的距离可以为 100nm、125nm、150nm、175nm 或 200nm。

请继续参阅图 13，在其中一个实施例中，该半导体结构还可以包括栅氧化层 132、字线导电层 133 及填充介质层 134。

10 具体的，栅氧化层 132 位于字线沟槽 13 的侧壁及底部；字线导电层 133 位于栅氧化层 132 的表面，且字线导电层 133 的顶部低于字线沟槽 13 的顶部；填充介质层 134 位于字线导电层 133 的顶部，且至少填充满字线沟槽 13。

需要注意的是，本公开实施例中的制备方法均可用于制备对应的半导体结构，故而方法实施例与结构实施例之间的技术特征，在不产生冲突的前提下可以相互替换及补充，以使得本领域技术人员能够获悉本公开实施例的技术内容。

本说明书中的各个实施例均采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似的部分互相参见即可。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本公开实施例的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本公开实施例构思的前提下，还可以做出若干变形和改进，这些都属于本公开实施例的保护范围。因此，本公开实施例专利的保护范围应以所附权利要求为准。

权利要求书

1.一种半导体结构的制备方法，包括：

提供衬底；

于所述衬底内形成离子注入区；所述离子注入区的上表面与所述衬底的上表面具有间距；

5 于所述衬底内形成初始字线沟槽；所述初始字线沟槽自所述衬底的上表面延伸至所述离子注入区内；

对所述初始字线沟槽进行拓宽处理，以形成所述字线沟槽；所述字线沟槽底部的宽度大于所述字线沟槽的最小宽度。

2.根据权利要求1所述的半导体结构的制备方法，其中，于所述衬底内注入氟离子或
10 硼离子，以形成所述离子注入区。

3.根据权利要求2所述的半导体结构的制备方法，其中，所述离子注入区的离子浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{22} \text{cm}^{-3}$ ；

所述离子注入区与所述衬底的上表面的距离为 100nm~200nm。

4.根据权利要求1所述的半导体结构的制备方法，其中，对所述初始字线沟槽进行拓
15 宽处理，以形成所述字线沟槽，包括：

采用原位生长工艺，于所述初始字线沟槽的侧壁及底部形成牺牲介质层；位于所述离子注入区内的所述牺牲介质层的厚度大于其余的所述牺牲介质层的厚度；

去除所述牺牲介质层，以形成所述字线沟槽。

5.根据权利要求1至4中任一项所述的半导体结构的制备方法，其中，形成所述字线
20 沟槽之后，所述半导体结构的制备方法还包括：

于所述衬底内进行第一导电类型的离子注入，以消除所述离子注入区，并形成第一掺杂区域；所述第一掺杂区域的底部低于所述字线沟槽的底部，且所述第一掺杂区域的顶部高于所述字线沟槽的底部；

于所述衬底内进行第二导电类型的离子注入，以形成第二掺杂区域；所述第二掺杂区域
25 位于所述第一掺杂区域的上方，并延伸至所述衬底的上表面；所述字线沟槽贯穿所述第二掺杂区域并延伸至所述第一掺杂区域内；所述第一掺杂区域为第一导电类型的掺杂区域，所述第二掺杂区域为第二导电类型的掺杂区域；

于所述字线沟槽的侧壁及底部形成栅氧化层；

于所述栅氧化层的表面形成字线导电层；所述字线导电层的顶部低于所述字线沟槽的

顶部;

于所述字线沟槽内形成填充介质层;所述填充介质层位于所述字线导电层的顶部,且至少填满所述字线沟槽。

6.根据权利要求5所述的半导体结构的制备方法,其中,所述第一导电类型为P型;
5 所述第二导电类型为N型。

7.根据权利要求5所述的半导体结构的制备方法,其中,所述第一掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$;所述第二掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ 。

8.根据权利要求1所述的半导体结构的制备方法,其中,所述离子注入区为第一掺杂区域;于所述衬底内形成离子注入区之前,所述半导体结构的制备方法还包括:

10 于所述衬底内形成第二掺杂区域;所述第二掺杂区域位于所述第一掺杂区域的上方,并延伸至所述衬底的上表面;所述初始字线沟槽贯穿所述第二掺杂区域并延伸至所述第一掺杂区域内;所述第一掺杂区域为第一导电类型的掺杂区域,所述第二掺杂区域为第二导电类型的掺杂区域。

9.根据权利要求8所述的半导体结构的制备方法,其中,所述对所述初始字线沟槽进
15 行拓宽处理,以形成所述字线沟槽,包括:

采用湿法刻蚀溶液对所述初始字线沟槽进行湿法刻蚀,以得到所述字线沟槽;所述湿法刻蚀溶液对所述第一掺杂区域内的部分所述初始字线沟槽的刻蚀速率大于对所述第二掺杂区域内的部分所述初始字线沟槽的刻蚀速率。

10.根据权利要求9所述的半导体结构的制备方法,其中,所述第一导电类型为P型;
20 所述第二导电类型为N型;所述湿法刻蚀溶液包括氨水和双氧水的混合液。

11.根据权利要求8所述的半导体结构的制备方法,其中,所述第一掺杂区域的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$;所述第二掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$;

所述第一掺杂区域与所述衬底的上表面的距离为100nm~200nm。

12.根据权利要求8至11中任一项所述的半导体结构的制备方法,其中,形成所述字
25 线沟槽之后,所述半导体结构的制备方法还包括:

于所述字线沟槽的侧壁及底部形成栅氧化层;

于所述栅氧化层的表面形成字线导电层;所述字线导电层的顶部低于所述字线沟槽的顶部;

于所述字线沟槽内形成填充介质层;所述填充介质层位于所述字线导电层的顶部,且
30 至少填满所述字线沟槽。

13.一种半导体结构，其中，包括：

衬底；所述衬底内设有第一掺杂区域及第二掺杂区域，所述第二掺杂区域自所述衬底的上表面延伸至所述衬底内；所述第一掺杂区域位于所述第二掺杂区域的下方；所述第一掺杂区域为第一导电类型的掺杂区域，所述第二掺杂区域为第二导电类型的掺杂区域；

5 字线沟槽；所述字线沟槽贯穿所述第二掺杂区域，且延伸至所述第一掺杂区域内，所述字线沟槽底部的宽度大于所述字线沟槽的最小宽度。

14.根据权利要求 13 所述的半导体结构，其中，所述第一掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ ；所述第二掺杂区域内的离子浓度为 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ ；

所述第一导电类型为 P 型；所述第二导电类型为 N 型；

10 所述第一掺杂区域与所述衬底的上表面的距离为 100nm~200nm。

15.根据权利要求 13 或 14 所述的半导体结构，其中，所述半导体结构还包括：

栅氧化层，位于所述字线沟槽的侧壁及底部；

字线导电层，位于所述栅氧化层的表面，且所述字线导电层的顶部低于所述字线沟槽的顶部；

填充介质层，位于所述字线导电层的顶部，且至少填充满所述字线沟槽。