

三维存储器及其制备方法、存储系统及电子设备

相关申请的交叉引用

本公开基于申请号为 202210270254.X、申请日为 2022 年 03 月 18 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此以引入方式并入本公开。

技术领域

本公开涉及半导体芯片技术领域，尤其涉及一种三维存储器及其制备方法、存储系统及电子设备。

背景技术

随着存储单元的特征尺寸接近工艺下限，平面工艺和制造技术变得具有挑战性且成本高昂，这造成 2D 或者平面 NAND 闪存的存储密度接近上限。为克服 2D 或者平面 NAND 闪存带来的限制，业界已经研发了具有三维结构的存储器（3D NAND），通过将存储单元三维地布置在衬底之上来提高存储密度。

在 3D NAND 中，存储阵列器件包括阵列区和台阶区。在存储阵列器件的制作过程中，在台阶区的各级台阶上刻蚀形成接触孔，填充导电材料形成连接柱，从而引入或引出栅极层的电信号。

然而，在刻蚀形成接触孔的过程中，可能会造成栅极层蚀穿，使得接触孔穿过相邻两层栅极层之间的介质层，导致不同栅极层之间短接，即不同层的字线短接，从而产生对存储单元的控制错误，引发存储失效。

发明内容

本公开的实施例提供一种三维存储器及其制备方法、存储系统及电子设备。

本公开的实施例采用如下技术方案：

一方面，提供一种三维存储器。所述三维存储器包括堆叠结构、刻蚀停止层、保护层和多个连接柱。所述堆叠结构包括交替设置的栅极层和介质层。所述堆叠结构包括多级台阶。所述刻蚀停止层设置于所述台阶上。所述保护层覆盖所述堆叠结构和所述刻蚀停止层。每级台阶对应至少一个连接柱，所述连接柱贯穿所述保护层及对应的台阶上的刻蚀停止层，与对应的台阶的栅极层电连接。

在一些实施例中，所述刻蚀停止层包括多个刻蚀停止部，每级台阶上设有一个刻蚀停止部，所述多个刻蚀停止部间隔设置。

在一些实施例中，所述刻蚀停止层为覆盖所述多级台阶的连续膜层。

在一些实施例中，所述刻蚀停止层的材料包括绝缘材料。

在一些实施例中，所述三维存储器还包括第一电介质层和第二电介质层，所述第一电介质层环绕所述栅极层设置，所述第二电介质层环绕所述刻蚀停止层设置。

在一些实施例中，所述三维存储器还包括隔离结构。所述隔离结构贯穿所述堆叠结构和所述保护层，所述隔离结构包括第一绝缘层，所述第一绝缘层与所述刻蚀停止层的材料不同。

在一些实施例中，所述隔离结构还包括填充层，所述第一绝缘层位于所述填充层位于和所述堆叠结构之间。

在一些实施例中，所述刻蚀停止层的材料包括氮化硅或多晶硅。

在一些实施例中，所述三维存储器还包括隔离结构，所述隔离结构贯穿所述堆叠结构和所述保护层，所述隔离结构包括第二绝缘层，所述第二绝缘层和所述刻蚀停止层的材料相同。

在一些实施例中，所述隔离结构还包括填充层，所述第二绝缘层位于所述填充层和所述堆叠结构之间。

在一些实施例中，所述隔离结构还包括第三绝缘层，所述第三绝缘层位于所述填充层和所述第二绝缘层之间。

在一些实施例中，所述第一绝缘层和所述刻蚀停止层的材料包括氮化硅。

在一些实施例中，所述刻蚀停止层的厚度大于所述栅极层的厚度。

另一方面，提供一种三维存储器的制备方法。所述制备方法包括：形成初始堆叠结构；所述初始堆叠结构包括交替设置的第一牺牲层和介质层；所述初始堆叠结构包括多级初始台阶。在所述初始堆叠结构上形成第二牺牲层。形成贯穿所述第二牺牲层和所述初始堆叠结构的栅线缝隙，并通过所述栅线缝隙，去除所述第一牺牲层形成第一空腔，及去除所述第二牺牲层形成第二空腔。在所述第一空腔内形成栅极层；在所述第二空腔内形成刻蚀停止层。在所述栅线缝隙内形成隔离结构。

在一些实施例中，在所述初始堆叠结构上形成第二牺牲层之后，还包括：图案化所述第二牺牲层，形成多个牺牲部，每级初始台阶上设有一个牺牲部，所述多个牺牲部间隔设置。

在一些实施例中，在所述第一空腔内形成栅极层，在所述第二空腔内形成刻蚀停止层，包括：通过所述栅线缝隙，向所述第一空腔内填充

栅极材料；所述第二空腔内部分填充栅极材料。去除所述第二空腔内的栅极材料。在所述第二空腔内形成刻蚀停止层。

在一些实施例中，所述在所述第二空腔内形成刻蚀停止层，包括：通过所述栅线缝隙，向所述第二空腔内填充介质材料。所述第二空腔内的介质材料形成刻蚀停止层。

在一些实施例中，所述在所述第二空腔内形成刻蚀停止层，包括：通过所述栅线缝隙，向所述第二空腔内填充半导体材料。去除覆盖在所述栅线缝隙的侧壁上的半导体材料，形成刻蚀停止层。

在一些实施例中，在所述第一空腔内形成栅极层，在所述第二空腔内形成刻蚀停止层之前，还包括：在所述第一空腔内形成第一电介质层以及在所述第二空腔内形成第二电介质层；所述第一电介质层覆盖所述第一空腔的侧壁，所述第二电介质层覆盖所述第二空腔的侧壁。

在一些实施例中，所述制备方法还包括：形成覆盖所述初始堆叠结构和所述第二牺牲层的保护层；所述栅线缝隙还贯穿所述保护层。

在一些实施例中，所述制备方法还包括：形成贯穿所述保护层的多个初始接触孔。刻蚀通过所述初始接触孔暴露的刻蚀停止层，形成接触孔。向所述接触孔内填充导电材料，形成连接柱，所述连接柱与对应的台阶的栅极层电连接。

再一方面，提供一种存储系统。所述存储系统包括控制器和三维存储器，所述三维存储器为上述任一实施例所述的三维存储器或由上述任一实施例所述的三维存储器的制备方法制备，所述控制器耦合至所述三维存储器，以控制所述三维存储器存储数据。

又一方面，提供一种电子设备。所述电子设备包括上述任一实施例所述的存储系统。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1 为根据一些实施例提供的三维存储器的立体结构图；

图 2 为根据一些实施例提供的三维存储器的俯视图；

图 3 为图 2 所示的三维存储器沿 AA' 处的剖面图；

图 4 为图 1 中三维存储器的一个存储单元串的等效电路图；

图 5 为根据一些实施例提供的一种三维存储器的台阶区沿第一方向的剖视图；

图 6 为根据一些实施例提供的另一种三维存储器的台阶区沿第一方向的剖视图；

图 7 为根据一些实施例提供的一种三维存储器的台阶区沿第二方向的剖视图；

图 8 为根据一些实施例提供的另一种三维存储器的台阶区沿第二方向的剖视图；

图 9 为根据一些实施例的三维存储器的制备方法的流程图；

图 10 为根据一些实施例的三维存储器的制备方法的制备步骤图；

图 11、图 24、图 25、图 28 和图 31 为根据一些实施例的三维存储器的制备方法的流程图；

图 12~图 23、图 26、图 27、图 29、图 30、图 32 和图 33 为根据一些实施例的三维存储器的制备方法的制备步骤图；

图 34 为根据一些实施例的三维存储器的结构图；

图 35 为根据一些实施例的存储系统的框图；

图 36 为根据另一些实施例的存储系统的框图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

在本公开的描述中，需要理解的是，术语“中心”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例”、“一些实施例”、“示例性实施例”、“示例

性地”或“一些示例”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“连接”及其衍伸的表达。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。这里所公开的实施例并不必然限制于本文内容。

“A、B和C中的至少一个”与“A、B或C中的至少一个”具有相同含义，均包括以下A、B和C的组合：仅A，仅B，仅C，A和B的组合，A和C的组合，B和C的组合，及A、B和C的组合。

“A和/或B”，包括以下三种组合：仅A，仅B，及A和B的组合。

在本公开的内容中，“在……上”、“上方”、和“之上”的含义应当以最宽泛的方式解释，使得“在…上”不仅意味着“直接在某物上”，而且还包括其间具有中间特征或层的“在某物上”的含义，并且“上方”或“之上”不仅意味着在某物“上方”或“之上”，还包括其间没有中间特征或层的在某物“上方”或“之上”的含义(即，直接在某物上)。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的刻蚀区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

图1为根据一些实施例提供的三维存储器100的立体结构示意图，图2为根据一些实施例提供的三维存储器100的俯视图；图3为图2所示的三维存储器100沿AA'处的剖面图。其中，图2仅示意出了三维存储器100部分区域的俯视图。

参阅图1和图2，三维存储器100包括阵列区A和台阶区B，台阶区B可以位于阵列区A之间，也可以位于阵列区A的外周。示例性地，沿第一方

向 X，三维存储器 100 包括依次并列设置的阵列区 A 和台阶区 B，阵列区 A 用于形成存储单元，台阶区 B 用于提供触点以连接字线连接线(图 1 中以 WL1 至 WL4 为例进行示意)。

其中，参阅图 1 和图 3，三维存储器 100 包括堆叠结构 2 及覆盖堆叠结构 2 的保护层 3，堆叠结构 2 包括交替设置的栅极层 21 和介质层 22 (图 1 中未示出)。

需要说明的是，堆叠结构 2 的栅极层 21 和介质层 22 的个数可以根据实际需要进行设定，本公开在此不做详细限定。

在一些实施例中，如图 1 和图 3 所示，三维存储器 100 还包括衬底 1，堆叠结构 2 设置于衬底 1 上。

在一些实施例中，上述衬底 1 用于支撑堆叠结构 2，该衬底 1 可以包括掺杂区 11，衬底 1 的材料包括单晶硅(Si)、单晶锗(Ge)、III-V 族化合物半导体材料、II-VI 族化合物半导体材料或在本领域中已知的其它半导体材料中的至少一种。

在另一些实施例中，上述衬底 1 不起到支撑堆叠结构 2 的作用，该衬底可以为源极层，源极层的材料包括半导体材料。半导体材料例如为单晶硅、多晶硅、单晶锗、III-V 族化合物半导体材料、II-VI 族化合物半导体材料以及其他合适的半导体材料。其中，源极层可以部分或全部被掺杂。示例性地，源极层可以包括掺杂区，掺杂区由 p 型掺杂剂掺杂。

在一些实施例中，介质层 22 的材料包括绝缘材料；示例性地，介质层 22 的材料包括氧化硅或氮化硅；例如，介质层 22 的材料包括二氧化硅，本公开不限于此。

在一些实施例中，栅极层 21 的材料包括导电材料；示例性地，栅极层 21 的材料包括金属或掺杂多晶硅；例如，栅极层 21 的材料包括钨、钴、铜、铝、掺杂晶体硅中的至少一种，本公开不限于此。

在一些实施例中，保护层 3 的材料包括绝缘材料。其中，保护层 3 的材料可以与介质层 22 的材料相同；示例性地，例如，保护层 3 的材料包括氧化硅或氮化硅；例如，保护层 3 的材料包括二氧化硅，本公开不限于此。

如图 1、图 2 和图 3 所示，在阵列区 A 中，具有多个存储单元串 4，多个存储单元串 4 沿第三方向 Z 贯穿堆叠结构 2，且多个存储单元串 4 可以在第一方向 X 和第二方向 Y 上以行和列方式布置。

需要说明的是，上述衬底 1 在 X-Y 平面中延伸，第一方向 X 和第二方向 Y，可以是衬底 1 平面中的两个正交方向。例如，第一方向 X 为字线 WL 的

延伸方向，第二方向 Y 为位线 BL 的延伸方向，第三方向 Z 垂直于衬底 1，即垂直于 X-Y 平面。

图 4 为图 1 中三维存储器 100 的一个存储单元串 4 的等效电路图。如图 1 和图 4 所示，一个存储单元串 4 相当于多个平面存储单元的存储容量。因此，该三维存储器 100 能够提供较大的存储容量。

参阅图 1 和图 4，存储单元串 4 的第一端连接至位线 BL，第二端连接至源极线 SL。也就是说，存储单元串 4 包括在第一端和第二端之间串联连接的多个晶体管，多个晶体管包括至少一个顶部选择晶体管 Q1、至少一个存储晶体管 M 和至少一个底部选择晶体管 Q2。图 4 中以多个晶体管包括一个顶部选择晶体管 Q1、四个存储晶体管 M 和一个底部选择晶体管 Q2 为例进行示意。

在写入操作中，存储单元串 4 利用富雷-诺特海姆（Fowler-Nordheim，简称 FN）隧穿效率将数据写入存储晶体管 M 中的选定存储晶体管（图 4 中的 M1 至 M4 中的一者）。

在读取操作中，存储单元串 4 根据存储晶体管 M 中的选定存储晶体管（图 4 中的 M1 至 M4 中的一者）的导通状态判断存储的电荷量，从而获得该电荷量表征的数据。

图 5 为根据一些实施例提供的一种三维存储器 100 的台阶区 B 沿第一方向 X 的剖视图。如图 2 和图 5 所示，堆叠结构 2 位于台阶区 B 的部分包括多级台阶 23，堆叠结构 2 的栅极层 21 均通过连接柱 5 与对应的信号线连接电连接。

示例性地，参阅图 1，沿第三方向 Z，多层栅极层 21 中位于最下方的至少一层栅极层 21 被构造为地选择线层 SGS，多层栅极层 21 中位于最上方的至少一层栅极层 21 被构造为串选择线层 SGD；多层栅极层 21 中位于中间层的栅极层 21 被构造为字线层 WL。图 1 中以一层栅极层 21 被构造为地选择线层 SGS（底部选择晶体管 Q2 的栅极）、一层栅极层 21 被构造为串选择线层 SGD（顶部选择晶体管 Q1 的栅极）、及 4 层栅极层被构造为字线层 WL（存储晶体管 M 的栅极）进行示意。

其中，串选择线层 SGD 通过连接柱 5 与对应的选择线连接线（SSL1 至 SSL4 中的一者）电连接，地选择线层 SGS 通过连接柱 5 与地选择线 GSL 电连接，字线层 WL 通过连接柱 5 与对应的字线连接线（WL1 至 WL4 中的一者）电连接。

在形成连接柱 5 的过程中，先要刻蚀覆盖在堆叠结构 2 上方的保护层 3，形成接触孔 6（参见图 33）。然而，在刻蚀保护层 3 形成接触孔 6 的过程中，

由于不同台阶 23 上侧的保护层 3 的厚度不同,极易造成对应的保护层 3 较薄的台阶 23 的栅极层 21 被蚀穿,使得接触孔 6 (参见图 33) 穿过相邻两层栅极层 21 之间的介质层 22,导致不同栅极层 21 之间短接,从而产生对存储单元的控制错误,引发存储失效。

基于此,参阅图 3 和图 5,本公开的一些实施例提供了一种三维存储器 100,三维存储器 100 包括堆叠结构 2、刻蚀停止层 7、保护层 3 和多个连接柱 5。

其中,刻蚀停止层 7 设置于多级台阶 23 上,保护层 3 覆盖堆叠结构 2 和刻蚀停止层 7。每级台阶 23 对应至少一个连接柱 5,连接柱 5 贯穿保护层 3 及对应的台阶 23 上的刻蚀停止层 7,与对应的台阶 23 的栅极层 21 电连接。

需要说明的是,保护层 3 与刻蚀停止层 7 具有较高的刻蚀选择比,以确实在后续去除保护层 3 形成接触孔 6 (参见图 33) 的过程中,可以使得初始接触孔 61 (参见图 32) 停止于刻蚀停止层 7 上。应理解,上述初始接触孔 61 (参见图 32) 也可以贯穿保护层 3 并延伸停止于刻蚀停止层 7 中。示例性地,保护层 3 的材料为氧化硅,刻蚀停止层 7 的材料为氮化硅。其中,去除保护层 3 形成接触孔 6 (参见图 33) 的过程可以参考下面提到的三维存储器 100 的制备方法,在此不做赘述。

本公开的上述实施例提供的三维存储器 100,刻蚀停止层 7 设置于台阶 23 上。在这种情况下,在形成接触孔 6 (参见图 33) 的过程中,可以通过刻蚀停止层 7 使得刻蚀保护层 3 形成的通孔停止于刻蚀停止层 7,形成初始接触孔 61 (参见图 32);然后,再刻蚀初始接触孔 61 (参见图 32) 暴露的刻蚀停止层 7,停止于对应的台阶 23 的栅极层 21,形成接触孔 6 (参见图 33)。

基于此,本公开的上述实施例提供的三维存储器 100,在刻蚀形成接触孔 6 的过程中,可以通过两步刻蚀,使得用于形成连接柱 5 的接触孔 6 (参见图 33) 停止于对应的栅极层 21,解决接触孔 6 蚀穿栅极层 21 而导致的不同的栅极层 21 之间短接的问题,提高产品良率。

在一些实施例中,如图 5 所示,刻蚀停止层 7 的厚度大于栅极层 21 的厚度。刻蚀停止层 7 的厚度可以根据堆叠结构 2 的厚度进行设计,本公开在此不做详细限定。

在一些实施例中,三维存储器 100 还包括第一电介质层和第二电介质层,第一电介质层设置于栅极层 21 和介质层 22 之间,第二电介质层设置于刻蚀停止层 7 和介质层 22,以降低存储单元漏电流的风险。其中,第一电介质层和第二电介质层的材料为高介电常数材料,例如,第一电介质层和第二电介

质层的材料包括氧化铝、氧化铪和氧化钽中的至少一种。

在一些实施例中，三维存储器 100 还包括粘合层，粘合层设置于第二电介质层与栅极层 21 之间，以增加栅极层 21 和第二电介质层之间的附着力。其中，粘合层的材料包括钽、氮化钽、钛、氮化钛中的至少一种。

在一些实施例中，如图 5 所示，刻蚀停止层 7 包括多个刻蚀停止部 71，每级台阶 23 上设有一个刻蚀停止部 71，多个刻蚀停止部 71 间隔设置。也就是说，相邻的两级台阶 23 中，相对远离衬底 1 的台阶 23 为第一台阶，相对靠近衬底 1 的台阶 23 为第二台阶，第一台阶上的刻蚀停止部 71，与第二台阶上的刻蚀停止部 71 之间具有间隔。即，不同的台阶 23 上的刻蚀停止部 71 之间相互分离，降低结构应力，提高可靠性。

其中，如图 5 所示，第二台阶上的刻蚀停止部 71 还与第一台阶之间具有间隔。也就是说，第二台阶上的刻蚀停止部 71 与第一台阶所包括的栅极层 21 之间具有间隙，即刻蚀停止部 71 与第一台阶所包括的栅极层 21 电绝缘。在这种情况下，刻蚀停止部 71 的材料还可以包括导电材料，连接柱 5 仅与其下方的台阶 23 的栅极层 21 电连接，不同栅极层 21 之间不会产生短接，不会引发存储失效。

需要说明的是，上述刻蚀停止部 71 的材料可以包括绝缘材料，也可以包括导电材料。示例性地，刻蚀停止部 71 的材料包括氮化硅、多晶硅和金属中的任一者，本公开不限于此。

图 6 为根据一些实施例提供的另一种三维存储器 100 的台阶区 B 沿第一方向 X 的剖视图。在另一些实施例中，如图 6 所示，刻蚀停止层 7 为覆盖多级台阶 23 的连续膜层。

其中，为避免不同栅极层 21 之间通过刻蚀停止层 7 电连接而导致短接，刻蚀停止层 7 的材料为绝缘材料。这样的话，连接柱 5 仅与其下方的台阶 23 的栅极层 21 直接接触电连接，不同栅极层 21 之间不会产生短接，不会引发存储失效。

需要说明的是，在刻蚀停止层 7 与介质层 22 之间设置有第二电介质层的情况下，该第二电介质层同样为绝缘材料，例如氧化铝，以避免不同栅极层 21 之间通过刻蚀停止层 7 电连接而导致短接。在这种情况下，连续的刻蚀停止层 7 也可以采用导电材料。

图 7 为根据一些实施例提供的一种三维存储器 100 的台阶区 B 沿第二方向 Y 的剖视图。如图 1、图 2 和图 7 所示，三维存储器 100 还包括隔离结构 8，隔离结构 8 贯穿堆叠结构 2 和保护层 3，以将三维存储器 100 分割为多个存储

块。

在一些实施例中，结合图 7 和图 23，堆叠结构 2 具有栅线缝隙 GLS，隔离结构 8 位于栅线缝隙 GLS 内。其中，隔离结构 8 包括第一绝缘层 81，第一绝缘层 81 填充栅线缝隙 GLS，以防止不同栅极层 21 之间在栅线缝隙 GLS 内短接、或者防止栅极层 21 氧化。其中，第一绝缘层 81 与刻蚀停止层 7 的材料不同，即第一绝缘层 81 与刻蚀停止层 7 在不同的工艺步骤中分别形成。

在另一些实施例中，如图 7 和图 23 所示，隔离结构 8 包括第一绝缘层 81 和填充层 82，第一绝缘层 81 覆盖栅线缝隙 GLS 的侧壁，以防止不同栅极层 21 之间在栅线缝隙 GLS 内短接、或者防止栅极层 21 氧化；填充层 82 填充栅线缝隙 GLS，以提供机械支撑作用，防止堆叠结构 2 的坍塌。其中，第一绝缘层 81 与刻蚀停止层 7 的材料不同，即第一绝缘层 81 与刻蚀停止层 7 在不同的工艺步骤中分别形成，也即第一绝缘层 81 与刻蚀停止层 7 之间具有明显的界面区分。

需要说明的是，在刻蚀停止层 7 包括多个间隔设置的刻蚀停止部 71 的情况下，刻蚀停止层 7 可以为绝缘材料，也可以为导电材料。在刻蚀停止层 7 为连续膜层的情况下，刻蚀停止层 7 可以为绝缘材料。示例性地，刻蚀停止层 7 为氮化硅。

此外，第一绝缘层 81 的材料包括绝缘材料；示例性地，第一绝缘层 81 的材料包括氧化硅，本公开不限于此。填充层 82 的材料可以为导电材料，也可以为绝缘材料；示例性地，填充层 82 的材料包括多晶硅，本公开不限于此。其中，在栅线缝隙 GLS 暴露的衬底 1 中形成有阵列共源掺杂区的情况下，填充层 82 的材料可以为导电材料，可以通过设置于栅线缝隙 GLS 内的填充层 82 引出源极信号。

图 8 为根据一些实施例提供的另一种三维存储器 100 的台阶区 B 沿第二方向 Y 的剖视图；如图 1、图 2 和图 8 所示，半导体结构 100 还包括隔离结构 8，隔离结构 8 贯穿堆叠结构 2 和保护层 3，以将半导体结构 100 分割为多个存储块。

在一些实施例中，如图 8 和图 29 所示，隔离结构 8 包括第二绝缘层 83，第二绝缘层 83 填充栅线缝隙 GLS，以防止不同栅极层 21 之间在栅线缝隙 GLS 内短接、或者防止栅极层 21 氧化。其中，第二绝缘层 83 与刻蚀停止层 7 的材料相同，即第二绝缘层 83 与刻蚀停止层 7 可以在同一工艺步骤中一起形成，也即第二绝缘层 83 与刻蚀停止层 7 之间没有明显的界面区分。

在另一些实施例中，如图 8 和图 29 所示，隔离结构 8 包括第二绝缘层 83、

第三绝缘层 84 和填充层 82, 第二绝缘层 83 覆盖栅线缝隙 GLS 的侧壁, 以防止不同栅极层 21 之间在栅线缝隙 GLS 内短接、或者防止栅极层 21 氧化。第三绝缘层 84 位于第二绝缘层 83 远离堆叠结构 2 的一侧, 位于填充层 82 和第二绝缘层 83 之间。填充层 82 位于第三绝缘层 84 远离第二绝缘层 83 的一侧, 且填充栅线缝隙 GLS, 以提供机械支撑作用, 防止堆叠结构 2 的坍塌。

其中, 第二绝缘层 83 与刻蚀停止层 7 的材料相同, 即第二绝缘层 83 与刻蚀停止层 7 可以在同一工艺步骤中一起形成, 也即第二绝缘层 83 与刻蚀停止层 7 之间没有明显的界面区分。示例性地, 第二绝缘层 83 的材料包括氮化硅, 本公开不限于此。第三绝缘层 84 的材料包括绝缘材料; 示例性地, 第三绝缘层 84 的材料包括氧化硅, 本公开不限于此。填充层 82 的材料可以参考上文, 在此不做赘述。

需要说明的是, 在第二绝缘层 83 与刻蚀停止层 7 在同一工艺步骤中一起形成的情况下, 无论刻蚀停止层 7 包括多个间隔设置的刻蚀停止部 71, 还是刻蚀停止层 7 为连续膜层, 刻蚀停止层 7 均为绝缘材料。示例性地, 刻蚀停止层 7 为氮化硅。

如图 9 所示, 本公开的一些实施例还提供了一种三维存储器 100 (参见图 3) 的制备方法, 包括 S1~S6。

S1: 参阅图 9 和图 10, 形成初始堆叠结构 200。

上述步骤中, 初始堆叠结构 200 包括交替设置的第一牺牲层 211 和介质层 22。初始堆叠结构 200 包括多级初始台阶 23, 初始台阶 23 的最上层为介质层 22。

其中, 该初始堆叠结构 200 可以通过化学气相沉积 (chemical vapor deposition, 简称 CVD)、物理气相沉积 (physical vapor deposition, 简称 PVD)、原子层沉积 (atomic layer deposition, 简称 ALD) 中的任一种薄膜沉积工艺形成。示例性地, 采用 CVD 薄膜沉积工艺, 在衬底 1 上依次形成多个初始膜层对 210, 每个初始膜层对 210 包括依次设置的第一牺牲层 211 和介质层 22。

需要说明的是, 初始堆叠结构 200 的多级初始台阶 23 可通过执行多次“修整-蚀刻(trim-etch)”循环工艺形成。多级初始台阶 23 所处的区域可以被称为台阶区 B (参见图 2)。

其中, 介质层 22 的材料与第一牺牲层 211 的材料不同。介质层 22 的材料包括绝缘材料; 示例性地, 介质层 22 的材料包括氧化硅或氮化硅; 例如, 介质层 22 的材料包括二氧化硅, 本公开不限于此。第一牺牲层 211 的材料包括多晶硅、氮化硅和多晶锗中的至少一种, 本公开不限于此。

S2: 参阅图 9、图 12 和图 13, 在初始堆叠结构 200 上形成第二牺牲层 710。

上述步骤中, 第二牺牲层 710 设置于初始台阶 23 上。其中, 该第二牺牲层 710 可以通过 CVD、PVD、ALD 中的任一种薄膜沉积工艺形成。示例性地, 采用 PVD 薄膜沉积工艺, 在多级初始台阶 23 上形成第二牺牲层 710。

需要说明的是, 第二牺牲层 710 的材料与第一牺牲层 211 的材料相同, 第二牺牲层 710 的材料包括多晶硅、氮化硅和多晶锗中的至少一种, 本公开不限于此。应理解, 介质层 22 的材料与第二牺牲层 710 的材料同样不同。示例性地, 介质层 22 的材料为二氧化硅, 第二牺牲层 710 的材料为氮化硅。

S3: 参阅图 9、图 17 和图 18, 形成贯穿第二牺牲层 710 和初始堆叠结构 200 的栅线缝隙 GLS。

上述步骤中, 栅线缝隙 GLS 可通过干法刻蚀或干法和湿法刻蚀工艺的组合来形成。示例性地, 采用各向异性刻蚀(离子铣刻蚀、等离子刻蚀、反应离子刻蚀、激光烧蚀等干法刻蚀中的任一种)工艺形成栅线缝隙 GLS, 并通过控制刻蚀时间, 使该刻蚀在贯穿初始堆叠结构 200。

S4: 参阅图 9、图 17 和图 18, 通过栅线缝隙 GLS, 去除第一牺牲层 211 形成第一空腔 C1, 及去除第二牺牲层 710 形成第二空腔 C2。

上述步骤中, 结合图 15, 在形成第一空腔 C1 和第二空腔 C2 时, 利用栅线缝隙 GLS 作为蚀刻剂通道, 采用各向同性蚀刻去除第一牺牲层 211 形成第一空腔 C1; 利用栅线缝隙 GLS 作为蚀刻剂通道, 采用各向同性蚀刻去除第二牺牲层 710 形成第二空腔 C2。其中, 各向同性蚀刻可以采用选择性的湿法蚀刻或气相蚀刻。在湿法蚀刻中使用蚀刻溶液作为蚀刻剂; 在气相蚀刻中使用蚀刻气体作为蚀刻剂。

需要说明的是, 在保护层 3 和介质层 22 的材料为氧化硅, 第一牺牲层 211 和第二牺牲层 710 的材料为氮化硅的情况下, 湿法蚀刻中可以采用磷酸溶液作为蚀刻剂; 在气相蚀刻中可以采用 C_4F_8 、 C_4F_6 和 CH_2F_2 中的至少一种作为蚀刻气体。

S5: 参阅图 9、图 17 和图 19, 在第一空腔 C1 内形成栅极层 21; 在第二空腔 C2 内形成刻蚀停止层 7。

上述步骤中, 如图 21 和图 22 所示, 在第二空腔 C2 的内壁被栅极材料覆盖, 且第二空腔 C2 内保留有间隙的情况下, 还需要经过其他工艺, 以形成刻蚀停止层 7, 具体工艺过程可以参考下文, 在此不做赘述。

S6: 参阅图 7、图 9 和图 23, 在栅线缝隙 GLS 内形成隔离结构 8。

上述步骤中, 在栅线缝隙内 GLS 形成隔离结构 8, 以防止不同栅极层 21

之间在栅线缝隙 GLS 内短接、防止栅极层 21 氧化、及提供机械支撑作用。其中，隔离结构 8 可采用 CVD、PVD、ALD 中的任一种薄膜沉积工艺形成于栅线缝隙 GLS 内。

在一些实施例中，如图 7 和图 23 所示，隔离结构 8 包括第一绝缘层 81 和填充层 82；第一绝缘层 81 覆盖栅线缝隙 GLS 的侧壁，位于填充层 82 与隔离结构 8 之间，以防止不同栅极层 21 之间在栅线缝隙 GLS 内短接及防止栅极层 21 氧化；填充层 82 填充栅线缝隙 GLS，以提供机械支撑作用，防止堆叠结构 2 的坍塌。

需要说明的是，第一绝缘层 81 的材料包括绝缘材料；示例性地，第一绝缘层 81 的材料包括氧化硅，本公开不限于此。填充层 82 的材料可以为导电材料，也可以为绝缘材料；示例性地，填充层 82 的材料为导电材料，填充层 82 的材料包括多晶硅，本公开不限于此。其中，在栅线缝隙 GLS 暴露的衬底 1 中形成有阵列共源掺杂区的情况下，填充层 82 的材料可以为导电材料，以通过填充层 82 引出源极信号。

在另一些实施例中，如图 8 和图 29 所示，隔离结构 8 包括第二绝缘层 83、第三绝缘层 84 和填充层 82。第二绝缘层 83 覆盖栅线缝隙 GLS 的侧壁。第三绝缘层 84 位于第二绝缘层 83 远离堆叠结构 2 的一侧，位于填充层 82 和第二绝缘层 83 之间。填充层 82 位于第三绝缘层 84 远离第二绝缘层 83 的一侧，且填充栅线缝隙 GLS。需要说明的是，第二绝缘层 83 的材料包括氮化硅，本公开不限于此。第三绝缘层 84 的材料包括氧化硅，本公开不限于此。

在一些实施例中，在 S5 之前，半导体结构 100 的制备方法还包括 S10。

S10: 在第一空腔 C1 内形成第一电介质层以及在第二空腔 C2 内形成第二电介质层。

上述步骤中，第一电介质层覆盖第一空腔 C1 的侧壁，第二电介质层覆盖第二空腔 C2 的侧壁，以减小栅极层 21 漏电流。其中，第一电介质层和第二电介质层的材料为高介电常数材料，例如，第一电介质层和第二电介质层的材料包括氧化铝、氧化锆和氧化钽中的至少一种。

在一些实施例中，在 S10 和 S5 之间，半导体结构 100 的制备方法还包括 S11。

S11: 在第一空腔 C1 内形成粘合层。

上述步骤中，粘合层设置于第二电介质层与栅极层 21 之间，以增加栅极层 21 和第二电介质层之间的附着力。其中，粘合层的材料包括钽、氮化钽、钛、氮化钛中的至少一种。

需要说明的是，粘合层的刻蚀速率与栅极材料的刻蚀速率可以相近，在后续刻蚀以去除第二空腔 C2 内的栅极材料的工艺过程中，粘合层可以同时被刻蚀掉。

在一些实施例中，参阅图 25，在 S2 之后，三维存储器 100 的制备方法还包括 S21。

S21：参阅图 12、图 14 和图 25，刻蚀第二牺牲层 710，形成多个牺牲部 711。

上述步骤中，每级初始台阶 23 上设有一个牺牲部 711，多个牺牲部 711 间隔设置。也就是说，不同的初始台阶 23 上的牺牲部 711 之间相互分离，以降低结构应力，提高可靠性。

其中，图案化第二牺牲层 710，可以在第二牺牲层 710 上涂光刻胶层，通过曝光显影等工艺步骤形成图案化的光刻胶层，以图案化的光刻胶层为掩膜，刻蚀第二牺牲层 710 后，最后去除掉光刻胶层，形成多个牺牲部 711。

在一些实施例中，参阅图 17、图 21 和图 24，S5 包括 S51~S53。

S51：通过栅线缝隙 GLS，向第一空腔 C1 填充栅极材料，向第二空腔 C2 内部分填充栅极材料。

上述步骤中，第一空腔 C1 被栅极材料填满，位于第一空腔 C1 内的部分的栅极材料形成栅极层 21；第二空腔 C2 内保留有间隙。其中，第二空腔 C2 的厚度大于第一空腔 C1 的厚度。此时，可以通过控制栅极材料的填充时间，在第一空腔 C1 被栅极材料填满，形成栅极层 21 时，停止填充栅极材料，第二空腔 C2 的内壁被栅极材料覆盖，且第二空腔 C2 内保留有间隙。

S52：去除第二空腔 C2 内的栅极材料。

上述步骤中，在去除覆盖在栅线缝隙 GLS 的侧壁上的栅极材料的过程中，还去除覆盖在栅线缝隙 GLS 的侧壁上的栅极材料。即去除覆盖在栅线缝隙 GLS 的侧壁上的栅极材料和去除第二空腔 C2 内的栅极材料，可以在同一道工序中进行，例如通过一次刻蚀工艺，去除栅线缝隙 GLS 的侧壁上的栅极材料及第二空腔 C2 内的栅极材料。

其中，由于第二空腔 C2 内的栅极材料保留有间隙，在去除栅线缝隙 GLS 的侧壁上的栅极材料的过程中，蚀刻剂进入第二空腔 C2 内的间隙，与第二空腔 C2 内的栅极材料大面积接触进行刻蚀，在去除栅线缝隙 GLS 的侧壁上的栅极材料被去除后，第二空腔 C2 内的栅极材料同样会被去除。此处，可以通过控制刻蚀的时间，使得覆盖在栅线缝隙 GLS 的侧壁上的栅极材料及第二空腔 C2 内的栅极材料均被完全去除。

S53: 在第二空腔 C2 内形成刻蚀停止层 7。

在一些实施例中, S53 包括 S531。

S531: 参阅图 19 和图 29, 通过栅线缝隙 GLS, 向第二空腔 C2 内填充介质材料。

上述步骤中, 参阅图 19 和图 20, 介质材料填充第二空腔 C2, 形成刻蚀停止层 7。介质材料覆盖栅线缝隙 GLS 的侧壁, 形成隔离结构 8 的第二绝缘层 83 (参见图 8)。其中, 介质材料为绝缘材料。

在第二空腔 C2 内填充介质材料时, 可以利用栅线缝隙 GLS 作为沉积物通道, 采用 CVD、PVD、ALD 中的任一种薄膜沉积工艺, 在第二空腔 C2 内填充介质材料。其中, 在利用栅线缝隙 GLS 作为沉积物通道, 在第二空腔 C2 内填充栅极材料的过程中, 在栅线缝隙 GLS 的侧壁上同样形成有介质材料。

需要说明的是, 保护层 3 的材料与介质材料具有较高的刻蚀选择比, 以确保在后续去除保护层 3 形成接触孔 6 (参见图 33) 的过程中, 可以使得初始接触孔 61 (参见图 32) 停止于介质材料形成的刻蚀停止层 7 上, 确保刻蚀停止层 7 几乎不被去除。应理解, 上述初始接触孔 61 (参见图 32) 也可以贯穿保护层 3 并延伸停止于介质材料形成的刻蚀停止层 7 中。

在另一些实施例中, 参阅图 28, S53 包括 S532 和 S533。

S532: 参阅图 19、图 28 和图 29, 通过栅线缝隙 GLS, 向第二空腔 C2 内填充半导体材料。

上述步骤中, 参阅图 19 和图 20, 在第二空腔 C2 内填充半导体材料时, 可以利用栅线缝隙 GLS 作为沉积物通道, 采用 CVD、PVD、ALD 中的任一种薄膜沉积工艺, 在第二空腔 C2 内填充半导体材料。其中, 在利用栅线缝隙 GLS 作为沉积物通道, 在第二空腔 C2 内填充半导体材料的过程中, 在栅线缝隙 GLS 的侧壁上同样形成有半导体材料。

S533: 参阅图 28 和图 30, 去除覆盖在栅线缝隙 GLS 的侧壁上的半导体材料。

上述步骤中, 可以采用蚀刻剂刻蚀掉栅线缝隙 GLS 的侧壁上的半导体材料, 并通过控制刻蚀时间, 使该刻蚀在刻蚀掉栅线缝隙 GLS 的侧壁上的半导体材料后停止。此时, 半导体材料可以为与保护层 3 的材料不同的材料, 确保保护层 3 的材料与半导体材料具有较高的刻蚀选择比即可。示例性地, 半导体材料包括多晶硅和/或金属, 本公开不限于此。

在一些实施例中, 上述制备方法还包括 S22。

S22: 参阅图 11、图 15 和图 16, 在第二牺牲层 710 和初始堆叠结构 200

上形成保护层 3。

上述步骤中，保护层 3 覆盖初始堆叠结构 200 和第二牺牲层 710。其中，该保护层 3 也可以通过 CVD、PVD、ALD 中的任一种薄膜沉积填满台阶区 B（参见图 3），并通过平坦化处理形成。其中，平坦化处理包括化学机械研磨 (chemical mechanical planarization, 简称 CMP) 处理或凹槽蚀刻处理 (recess etch process, 简称 REP)，本公开不限于此。

需要说明的是，保护层 3 的材料与第一牺牲层 211、第二牺牲层 710 的材料均不同。保护层 3 的材料包括绝缘材料，可以与介质层 22 的材料相同；示例性地，保护层 3 的材料包括氧化硅；例如，保护层 3 的材料包括二氧化硅，本公开不限于此。

在一些实施例中，在形成刻蚀停止层 7 之后，参阅图 31，半导体结构 100 的制备方法还包括 S7~S9。

S7: 参阅图 31 和图 32，形成贯穿保护层 3 的多个初始接触孔 61。

上述步骤中，每个初始接触孔 61 对应一级台阶 23，初始接触孔 61 位于对应的台阶 23 上。此处，台阶 23 包括栅极层 21 和介质层 22。

其中，初始接触孔 61 可通过干法刻蚀或干法和湿法刻蚀工艺的组合来形成。示例性地，采用各向异性刻蚀 (离子铣刻蚀、等离子刻蚀、反应离子刻蚀、激光烧蚀等干法刻蚀中的任一种) 工艺形成初始接触孔 61，并通过控制刻蚀时间，使该刻蚀在贯穿保护层 3 后，停止于刻蚀停止层 7。需要说明的是，上述初始接触孔 61 可以延伸停止于刻蚀停止层 7 中。

S8: 参阅图 31、图 32 和图 33，刻蚀通过初始接触孔 61 暴露的刻蚀停止层 7，形成接触孔 6。

上述步骤中，每个接触孔 6 对应一级台阶 23，接触孔 6 在衬底 1 上的正投影位于对应的台阶 23 在衬底 1 上的正投影内。

需要说明的是，接触孔 6 的形状可以为柱形，例如，接触孔 6 的形状为圆柱形或棱柱形，本公开不限于此。

S9: 参阅图 5、图 31 和图 33，向接触孔 6 内填充导电材料，形成连接柱 5。

上述步骤中，连接柱 5 与对应的台阶 23 的栅极层 21 电连接。此处，向接触孔 6 内填充导电材料，可以采用 CVD、PVD、ALD 中的任一种薄膜沉积工艺。栅极层 21 通过连接柱 5 与对应的信号线电连接。其中，信号线包括串选择线 (SSL1 至 SSL4 中的一者)、地选择线 GSL 和字线 (WL1 至 WL4 中的一者) 中的至少一种。

需要说明的是，连接柱 5 的形状可以为柱形，例如，连接柱 5 的形状为圆柱形或棱柱形，本公开不限于此。

请参阅图 34，上述三维存储器 100 还包括阵列互联层 110、外围互联层 120 和外围电路 130。

其中，阵列互联层 110 可以与存储单元串 4 耦接。阵列互联层 110 可以包括一个或多个第一层间绝缘层 111，还可以包括通过这些第一层间绝缘层 111 相互绝缘的多个触点，触点例如包括位线触点，与位线耦接；漏端选择栅触点，与漏端选择栅耦接。阵列互联层 110 还可以包括一个或多个第一互联导体层 112。第一互联导体层 112 可以包括多条连接线，例如位线，以及与字线耦接的字线连接线。第一互联导体层 112 和触点的材料可以为导电材料，导电材料例如为钨、钴、铜、铝、以及金属硅化物中的一种或多种的组合，还可以为其他合适的材料。第一层间绝缘层 111 的材料为绝缘材料，绝缘材料例如为氧化硅、氮化硅、以及高介电常数绝缘材料中的一种或多种的组合，也可以是其他合适的材料。

外围电路 130 被配置为控制和感测阵列器件。外围电路 130 可以是用于支持阵列器件操作（或者说工作）的任何合适的数字、模拟、和/或混合信号控制和感测电路，包括但不限于页缓冲器、解码器（例如，行解码器和列解码器）、读出放大器、驱动器（例如，字线驱动器）、电荷泵、电流或电压基准、或电路的任何有源或无源部件（例如，晶体管、二极管、电阻器、或电容器）。外围电路还可以包括与高级逻辑工艺兼容的任何其他电路，包括逻辑电路（例如，处理器和可编程逻辑器件（Programmable Logic Device, PLD））、或存储电路（例如，静态随机存取存储器（Static Random-Access Memory, SRAM））。

外围互联层 120 与外围电路 130 耦接，以实现在外围电路 130 与外围互联层 120 之间传输电信号。外围互联层 120 可以包括一个或多个第二层间绝缘层 121，还可以包括一个或多个第二互联导体层 122。不同第二互联导体层 122 之间可以通过触点耦接。第二互联导体层 122 和触点的材料可以为导电材料，导电材料例如为钨、钴、铜、铝、以及金属硅化物中的一种或多种的组合，还可以为其他合适的材料。第二层间绝缘层 121 的材料为绝缘材料，绝缘材料例如为氧化硅、氮化硅、以及高介电常数绝缘材料中的一种或多种的组合，也可以是其他合适的材料。

外围互联层 120 可以与阵列互联层 110 耦接，使得存储单元串 4 和外围电路可以耦接。具体地，由于外围互联层 120 与阵列互联层 110 耦接，因此，

外围电路 130 可以与存储单元串 4 耦接,以实现外围电路 130 与存储单元串 4 之间电信号的传输。其中,在外围互联层 120 和阵列互联层 110 之间可以设置有粘结界面,通过粘结界面,外围互联层 120 和阵列互联层 110 可以相互粘接且耦接。

图 35 为根据一些实施例的存储系统 10 的框图。图 36 为根据另一些实施例的存储系统 10 的框图。请参见图 35 和图 36,本公开的一些实施例还提供了一种存储系统 10。该存储系统 10 包括控制器 300 和如上的一些实施例的三维存储器 100,控制器 300 耦合至三维存储器 100,以控制三维存储器 100 存储数据。

其中,存储系统 10 可以集成到各种类型的存储设备中,例如,包括在相同封装(例如,通用闪存存储(Universal Flash Storage,简称 UFS)封装或嵌入式多媒体卡(Embedded Multi Media Card,简称 eMMC)封装)中。也就是说,存储系统 10 可以应用于并且封装到不同类型的电子产品中,例如,移动电话、台式计算机、膝上型计算机、平板计算机、车辆计算机、游戏控制台、打印机、定位设备、可穿戴电子设备、智能传感器、虚拟现实(Virtual Reality,简称 VR)设备、增强现实(Augmented Reality,简称 AR)设备或者其中具有存储器的任何其他合适的电子设备。

在一些实施例中,参见图 35,存储系统 10 包括控制器 300 和一个三维存储器 100,存储系统 10 可以被集成到存储器卡中。

其中,存储器卡包括 PC 卡(PCMCIA,个人计算机存储器卡国际协会)、紧凑型闪存(Compact Flash,简称 CF)卡、智能媒体(Smart Media,简称 SM)卡、存储器棒、多媒体卡(Multimedia Card,简称 MMC)、安全数码(Secure Digital Memory Card,简称 SD)卡、UFS 中的任一种。

在另一些实施例中,参见图 36,存储系统 10 包括控制器 300 和多个三维存储器 100,存储系统 10 集成到固态硬盘(Solid State Drives,简称 SSD)中。

本公开的一些实施例还提供了一种电子设备。电子设备可以是移动通信终端、平板电脑、游戏机、数字多媒体播放器、智能穿戴设备(例如,智能手表、智能手环、智能眼镜等)等中的任一种。

电子设备可以包括上文所述的存储系统 10,还可以包括中央处理器 CPU (central processing unit,中央处理器)和缓存器(cache)等中的至少一种。

可以理解地,本公开的上述实施例提供的三维存储器 100 的制备方法、存储系统 10 及电子设备,其所能达到的有益效果可参考上文中三维存储器 100 的有益效果,此处不再赘述。

以上所述仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种三维存储器，包括：

堆叠结构，所述堆叠结构包括交替设置的栅极层和介质层；所述堆叠结构包括多级台阶；

刻蚀停止层，设置于所述多级台阶上；

保护层，覆盖所述堆叠结构和所述刻蚀停止层；和

多个连接柱，每一所述连接柱贯穿所述保护层及对应的台阶上的所述刻蚀停止层，与对应的台阶的栅极层连接。

2、根据权利要求1所述的三维存储器，其中，所述刻蚀停止层包括多个刻蚀停止部，每级台阶上设有所述刻蚀停止部，所述多个刻蚀停止部间隔设置。

3、根据权利要求1所述的三维存储器，其中，所述刻蚀停止层为覆盖所述多级台阶的连续膜层。

4、根据权利要求3所述的三维存储器，其中，所述刻蚀停止层包括绝缘材料。

5、根据权利要求2所述的三维存储器，还包括：

贯穿所述堆叠结构和所述保护层的隔离结构，所述隔离结构包括第一绝缘层，所述第一绝缘层与所述刻蚀停止层的材料不同。

6、根据权利要求5所述的三维存储器，其中，所述隔离结构还包括填充层，所述第一绝缘层位于所述填充层和所述堆叠结构之间。

7、根据权利要求5所述的三维存储器，其中，所述刻蚀停止层的材料包括氮化硅或多晶硅。

8、根据权利要求2所述的三维存储器，还包括：

贯穿所述堆叠结构和所述保护层的隔离结构，所述隔离结构包括第二绝缘层，所述第二绝缘层和所述刻蚀停止层的材料相同。

9、根据权利要求8所述的三维存储器，其中，所述隔离结构还包括填充层，所述第二绝缘层位于所述填充层和所述堆叠结构之间。

10、根据权利要求9所述的三维存储器，其中，所述隔离结构还包括第

三绝缘层，所述第三绝缘层位于所述填充层和所述第二绝缘层之间。

11、根据权利要求 8 所述的三维存储器，其中，所述第二绝缘层和所述刻蚀停止层的材料包括氮化硅。

12、根据权利要求 1~11 中任一项所述的三维存储器，其中，所述刻蚀停止层的厚度大于所述栅极层的厚度。

13、一种三维存储器，包括：

堆叠结构，所述堆叠结构包括交替设置的栅极层和介质层；所述堆叠结构包括多级台阶；

绝缘层，设置于所述多级台阶上；

保护层，覆盖所述堆叠结构和所述绝缘层；和

多个连接柱，每一所述连接柱贯穿所述保护层及对应的台阶上的所述绝缘层，与对应的台阶的栅极层连接。

14、根据权利要求 13 所述的三维存储器，其中，所述绝缘层为覆盖所述多级台阶的连续膜层。

15、根据权利要求 13 所述的三维存储器，其中，所述绝缘层的材料包括氮化硅。

16、根据权利要求 13~15 中任一项所述的三维存储器，其中，所述绝缘层的厚度大于所述栅极层的厚度。

17、一种三维存储器的制备方法，包括：

形成初始堆叠结构；所述初始堆叠结构包括交替设置的第一牺牲层和介质层；所述初始堆叠结构包括多级初始台阶；

在所述初始堆叠结构上形成第二牺牲层；

形成贯穿所述第二牺牲层和所述初始堆叠结构的栅线缝隙，并通过所述栅线缝隙，去除所述第一牺牲层形成第一空腔，及去除所述第二牺牲层形成第二空腔；

在所述第一空腔内形成栅极层；

在所述第二空腔内形成刻蚀停止层；和

在所述栅线缝隙内形成隔离结构。

18、根据权利要求 17 所述的制备方法，在所述初始堆叠结构上形成第二牺牲层之后，还包括：

刻蚀所述第二牺牲层，形成多个牺牲部，每级初始台阶上设有一个牺牲部，所述多个牺牲部间隔设置。

19、根据权利要求 17 或 18 所述的制备方法，其中，在所述第一空腔内形成栅极层，在所述第二空腔内形成刻蚀停止层，包括：

通过所述栅线缝隙，向所述第一空腔内填充栅极材料，所述第二空腔内部分填充栅极材料；

去除所述第二空腔内的栅极材料；和

在所述第二空腔内形成刻蚀停止层。

20、根据权利要求 19 所述的制备方法，其中，所述在所述第二空腔内形成刻蚀停止层，包括：通过所述栅线缝隙，向所述第二空腔内填充介质材料；所述第二空腔内的介质材料形成刻蚀停止层。

21、根据权利要求 19 所述的制备方法，其中，所述在所述第二空腔内形成刻蚀停止层，包括：

通过所述栅线缝隙，向所述第二空腔内填充半导体材料；和

去除覆盖在所述栅线缝隙的侧壁上的半导体材料，形成刻蚀停止层。

22、根据权利要求 19 所述的制备方法，在所述第一空腔内形成栅极层，在所述第二空腔内形成刻蚀停止层之前，还包括：

在所述第一空腔内形成第一电介质层以及在所述第二空腔内形成第二电介质层；所述第一电介质层覆盖所述第一空腔的侧壁，所述第二电介质层覆盖所述第二空腔的侧壁。

23、根据权利要求 17 所述的制备方法，还包括：

形成覆盖所述初始堆叠结构和所述第二牺牲层的保护层；所述栅线缝隙还贯穿所述保护层。

24、根据权利要求 23 所述的制备方法，还包括：

形成贯穿所述保护层的多个初始接触孔；
刻蚀通过所述初始接触孔暴露的刻蚀停止层，形成接触孔；和
向所述接触孔内填充导电材料，形成连接柱，所述连接柱与对应的台阶的栅极层电连接。

25、一种存储系统，包括控制器和三维存储器，所述三维存储器为如权利要求 1~16 中任一项所述的三维存储器，所述控制器耦合至所述三维存储器，以控制所述三维存储器存储数据。

26、一种电子设备，包括如权利要求 25 所述的存储系统。