

明 細 書

発明の名称： アンチヒューズメモリおよび半導体記憶装置

技術分野

[0001] 本発明は、アンチヒューズメモリおよび半導体記憶装置に関する。

背景技術

[0002] 従来、絶縁膜を破壊することにより、1回限りデータの書き込みを行えるアンチヒューズメモリとしては、米国特許第6,667,902号明細書（特許文献1）に示すような構成を有したアンチヒューズメモリが知られている。この特許文献1に示すアンチヒューズメモリは、スイッチトランジスタと、メモリキャパシタとがウエルに並んで形成された2トランジスタ構成からなる。

[0003] 実際上、トランジスタ構成でなるスイッチトランジスタには、ウエル上にスイッチゲート絶縁膜を介してスイッチゲート電極が形成されており、スイッチゲート電極にワード線が接続されているとともに、ウエル表面に形成した一方の拡散領域にビット線が接続されている。また、スイッチトランジスタと対をなすメモリキャパシタには、ウエル上にメモリゲート絶縁膜を介してメモリゲート電極が形成されており、スイッチゲート電極に接続されたワード線とは別の書き込みワード線が当該メモリゲート電極に接続されている。

[0004] データ書き込み動作時、メモリキャパシタは、書き込みワード線からメモリゲート電極に印加される破壊ワード電圧と、スイッチトランジスタのビット線に印加される絶縁破壊ビット電圧との電圧差によりメモリゲート絶縁膜が絶縁破壊し、ウエルと絶縁されていたメモリゲート電極が、メモリゲート絶縁膜の絶縁破壊により、ウエルの表面、即ちメモリチャネルが形成される領域と電氣的に繋がり得る。

[0005] そして、データ読み出し動作時、読みたいビット線に接続された書き込みワード線に電圧を印加すると、メモリゲート絶縁膜が破壊している場合には、書き込みワード線に印加した電圧がメモリチャネルを介してスイッチトラ

ンジスタの他方の拡散領域に印加される。またスイッチトランジスタは、スイッチゲート電極に接続されたワード線、および拡散領域に接続されたビット線からそれぞれ印加される電圧によりオン状態となり、対となるメモリキャパシタでのメモリゲート電極と、メモリチャネルとの電氣的な繋がり状態を、ビット線に印加した電圧の変化を基に判断し、データの書き込み有無を判別し得る。

先行技術文献

特許文献

[0006] 特許文献1：米国特許第6,667,902号明細書

発明の概要

発明が解決しようとする課題

[0007] しかしながら、かかる構成でなる従来のアンチヒューズメモリでは、メモリキャパシタとは別に独立したスイッチトランジスタを設けていることから、当該メモリキャパシタに破壊ワード電圧を印加する制御回路とは別に、スイッチトランジスタをオンオフ動作させるためのスイッチ制御回路が必要となり、その分、小型化が図り難いという問題があった。

[0008] そこで、本発明は以上の点を考慮してなされたもので、従来よりも小型化を図り得るアンチヒューズメモリおよび半導体記憶装置を提案することを目的とする。

課題を解決するための手段

[0009] かかる課題を解決するため本発明のアンチヒューズメモリは、メモリゲート絶縁膜を介してメモリゲート電極が設けられ、ウエルに形成された一方の拡散領域にビット線が接続されたメモリキャパシタと、前記メモリゲート電極とワード線との間に設けられ、前記ワード線から前記メモリゲート電極へ電圧を印加する一方、前記メモリゲート電極および前記ワード線へ印加される電圧値により前記メモリゲート電極から前記ワード線への電圧印加を遮断する整流素子とを備えることを特徴とする。

[0010] また、本発明の半導体記憶装置は、複数のワード線および複数のビット線の各交差箇所にアンチヒューズメモリが配置された半導体記憶装置であって、前記アンチヒューズメモリが上述したアンチヒューズメモリであることを特徴とする。

発明の効果

[0011] 本発明によれば、従来のような制御回路を用いずに、メモリキャパシタのメモリゲート電極およびワード線へ印加される電圧値によって整流素子によりメモリゲート電極からワード線への電圧印加を遮断するようにしたことから、従来のようなメモリキャパシタへの電圧印加を選択的に行うスイッチトランジスタや、さらにスイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不要になり、その分、小型化を図り得る。

図面の簡単な説明

[0012] [図1]本発明のアンチヒューズメモリを備えた半導体記憶装置の回路構成と、データの書き込み動作時における各部位の電圧を示した概略図である。

[図2]本発明によるアンチヒューズメモリの断面構成を示す概略図である。

[図3]図1に示す半導体記憶装置においてデータの読み出し動作時における各部位の電圧を示した概略図である。

[図4]図4Aは、図2に示したアンチヒューズメモリの他の実施の形態による断面構成を示し、図4Bは、図4Aと同じく他の実施の形態によるアンチヒューズメモリの断面構成を示す概略図である。

[図5]本発明による第2の実施の形態によるアンチヒューズメモリを備えた半導体記憶装置の回路構成と、データの書き込み動作時における各部位の電圧を示した概略図である。

[図6]図6Aは、2つのメモリキャパシタを備えたアンチヒューズメモリの断面構成を示し、図6Bは、図6Aに示したアンチヒューズメモリの他の実施の形態による断面構成を示す概略図である。

[図7]本発明による第3の実施の形態によるアンチヒューズメモリを備えた半導体記憶装置の回路構成と、データの書き込み動作時における各部位の電圧

を示した概略図である。

[図8]本発明による第4の実施の形態によるアンチヒューズメモリを備えた半導体記憶装置の回路構成と、データの書き込み動作時における各部位の電圧を示した概略図である。

[図9]図9Aは、N型MOSトランジスタ構成の整流素子を備えた他の実施の形態によるアンチヒューズメモリの回路構成を示し、図9Bは、P型MOSトランジスタ構成の整流素子を備えた他の実施の形態によるアンチヒューズメモリの回路構成を示した概略図である。

[図10]N型MOSトランジスタ構成の1つの整流素子に対し、複数のメモリキャパシタが接続されたアンチヒューズメモリの回路構成を示す概略図である。

[図11]FinFETでなるメモリキャパシタを有したアンチヒューズメモリの構成を示す概略図である。

発明を実施するための形態

[0013] 以下図面に基づいて本発明の実施の形態を詳述する。

以下、本発明を実施するための形態について説明する。なお、説明は以下に示す順序とする。

<1. 第1の実施の形態>

1 - 1. 第1の実施の形態による半導体記憶装置の構成

1 - 2. データの書き込み動作

1 - 3. データの読み出し動作

1 - 4. 作用および効果

1 - 5. 他の実施の形態による整流素子

<2. 第2の実施の形態>

2 - 1. 第2の実施の形態による半導体記憶装置の構成

2 - 2. データの書き込み動作

2 - 2 - 1. 複数のメモリキャパシタに対し、同じデータを同時に書き込む場合

2 - 2 - 2. 複数のメモリキャパシタに対し、同じデータを順番に書き込む場合

2 - 3. データの読み出し動作

2 - 4. 作用および効果

2 - 5. 他の実施の形態による整流素子

<3. 第3の実施の形態>

3 - 1. 第3の実施の形態による半導体記憶装置の構成

3 - 2. データの書き込み動作

3 - 3. 作用および効果

<4. 第4の実施の形態>

4 - 1. 第4の実施の形態による半導体記憶装置の構成

4 - 2. データの書き込み動作

4 - 3. 作用および効果

<5. 第5の実施の形態>

5 - 1. N型MOS (Metal-Oxide-Semiconductor) トランジスタからなる整流素子を有したアンチヒューズメモリ

5 - 2. データの書き込み動作

5 - 3. 作用および効果

<6. 第6の実施の形態>

6 - 1. P型MOSトランジスタからなる整流素子を有したアンチヒューズメモリ

6 - 2. 作用および効果

<7. 他の実施の形態>

7 - 1. N型MOSトランジスタからなる整流素子と複数のメモリキャパシタからなるアンチヒューズメモリ

7 - 2. FinFET (Fin Field Effect Transistor : フィン型電界効果トランジスタ) でなるメモリキャパシタ

7 - 3. その他

[0014] (1) 第1の実施の形態

(1-1) 第1の実施の形態による半導体記憶装置の構成

図1において、1は半導体記憶装置を示し、本発明によるアンチヒューズメモリ2a, 2b, 2c, 2dが行列状に配置された構成を有し、行方向に並ぶアンチヒューズメモリ2a, 2b (2c, 2d) にてワード線WL1 (WL2) を共有しているとともに、列方向に並ぶアンチヒューズメモリ2a, 2c (2b, 2d) にてビット線BL1 (BL2) を共有している。各アンチヒューズメモリ2a, 2b, 2c, 2dは、全て同一構成を有しており、例えば1行1列目のアンチヒューズメモリ2aは、PN接合ダイオードの半導体接合構造を有した整流素子3と、メモリゲート電極Gおよびビット線BL1の電圧差により絶縁破壊されるメモリゲート絶縁膜6を備えたメモリキャパシタ4とから構成されている。

[0015] この実施の形態の場合、整流素子3は、P型半導体領域とN型半導体領域とが接合された構成を有しており、P型半導体領域がワード線WL1に接続されているとともに、N型半導体領域がメモリキャパシタ4のメモリゲート電極Gに接続されている。これにより、アンチヒューズメモリ2aは、ワード線WL1から整流素子3を介してメモリキャパシタ4のメモリゲート電極Gへ電圧を印加する一方、当該メモリゲート電極Gからワード線WL1への電圧印加が整流素子3で逆方向バイアスの電圧となり、整流素子3によってメモリゲート電極Gからワード線WLへの電圧印加を遮断し得る。

[0016] このようなアンチヒューズメモリ2a, 2b, 2c, 2dは、データ書き込み動作時、ワード線WL1, WL2に印加された電圧が整流素子3を介してメモリキャパシタ4のメモリゲート電極Gに印加され、メモリキャパシタ4においてメモリゲート電極Gとビット線BL1, BL2との間に大きな電圧差が生じることにより、メモリキャパシタ4のメモリゲート絶縁膜6が絶縁破壊し、当該メモリキャパシタ4にデータが書き込まれ得る。

[0017] ここで半導体記憶装置1に設けられる本発明のアンチヒューズメモリ2a, 2b, 2c, 2dについて詳細に説明する。なお、ここでは、図1において、例えば1行目に並んでいる2つのアンチヒューズメモリ2a, 2bに着目して以下説明する。

図2に示すように、半導体記憶装置1は、例えばSiからなるP型またはN型のウエルS2が、半導体基板S1上に形成されており、当該ウエルS2の表面に絶縁部材でなる整流素子形成層ILbが形成されている。また、ウエルS2の表面には、整流素子形成層ILbを挟むようにして、当該整流素子形成層ILbから所定間隔を設けて絶縁部材でなる素子分離層ILa, ILcが形成されている。

[0018] この場合、半導体記憶装置1は、1つの整流素子形成層ILbを2つのアンチヒューズメモリ2a, 2bで共有しており、整流素子形成層ILbおよび一の素子分離層ILa間に一のアンチヒューズメモリ2aのメモリキャパシタ4が形成され、整流素子形成層ILbおよび他の素子分離層ILc間に他のアンチヒューズメモリ2bのメモリキャパシタ4が形成され得る。

[0019] 実際上、整流素子形成層ILbおよび一の素子分離層ILa間には、当該素子分離層ILaに隣接するようにしてウエルS2の表面に一の拡散領域5が形成されており、この拡散領域5および整流素子形成層ILb間のウエルS2上にメモリゲート絶縁膜6を介してメモリゲート電極Gが配置されたメモリキャパシタ4が形成されている。

[0020] また、整流素子形成層ILbおよび他の素子分離層ILc間にも、当該素子分離層ILcに隣接するようにしてウエルS2の表面に他の拡散領域5が形成されており、この拡散領域5および整流素子形成層ILb間のウエルS2上にメモリゲート絶縁膜6を介してメモリゲート電極Gが配置されたメモリキャパシタ4が形成されている。

[0021] 各拡散領域5には、コンタクトC1がそれぞれ立設しており、当該コンタクトC1の先端に、対応したビット線BL1, BL2が接続されている。これにより例えばアンチヒューズメモリ2aのメモリキャパシタ4には、ビット線BL1からコンタクトC1を介して拡散領域5に所定電圧が印加され得る。かかる構成に加えて、整流素子形成層ILbには、表面に整流素子3が形成され得る。この実施の形態の場合、整流素子形成層ILbの表面には、P型半導体領域8と、このP型半導体領域8を中心に当該P型半導体領域8を挟むように形成されたN型半導体領域7とが設けられており、これらN型半導体領域7およびP型半導体領域8によ

りPN接合ダイオードとなる半導体接合構造を有した整流素子3が形成され得る。

[0022] この場合、各アンチヒューズメモリ2a, 2bでは、メモリキャパシタ4のメモリゲート電極GがN型半導体により形成されており、当該メモリゲート電極Gの端部と、整流素子形成層ILb上に形成された整流素子3のN型半導体領域7の端部とが一体形成されている。また、アンチヒューズメモリ2a, 2bは、これら整流素子3のN型半導体領域7およびP型半導体領域8と、メモリキャパシタ4の各メモリゲート電極Gとが同じ配線層（同層）に形成されており、整流素子3のN型半導体領域7およびP型半導体領域8と、メモリキャパシタ4のメモリゲート電極Gとが、同じ膜厚に形成されている。これにより、アンチヒューズメモリ2a, 2bでは、整流素子3のN型半導体領域7、P型半導体領域8、およびメモリキャパシタ4のメモリゲート電極Gの各接合表面に段差がなく全体として薄型化が図られている。また、アンチヒューズメモリ2a, 2bでは、整流素子3のN型半導体領域7、P型半導体領域8、およびメモリキャパシタ4のメモリゲート電極Gを同じ成膜工程にて形成できることから、N型半導体領域7、P型半導体領域8、およびメモリキャパシタ4のメモリゲート電極Gをそれぞれ別々に形成する場合に比して製造プロセスの簡略化を図れる。

[0023] また、整流素子3には、P型半導体領域8にコンタクトC2が立設されており、ビット線BL1, BL2上方に配置されたワード線WL1にコンタクトC2を介してP型半導体領域8が接続されている。かくして、例えばアンチヒューズメモリ2aでは、メモリゲート電極Gに対し相対的に正の電圧がワード線WL1に印加されると、当該ワード線WL1からの電圧が、コンタクトC2、整流素子3のP型半導体領域8およびN型半導体領域7を介して各メモリキャパシタ4のメモリゲート電極Gに印加できる。一方、アンチヒューズメモリ2aでは、ワード線WL1に対し相対的に正の電圧がメモリキャパシタ4のメモリゲート電極Gに印加されると、当該メモリゲート電極Gからの電圧が、整流素子3において逆方向バイアスの電圧となり、N型半導体領域7およびP型半導体領域8間で遮断され得る。なお、ウエルS2上に形成されたコンタクトC1, C2や、整流素子3、メモリゲ

ート電極G、ビット線BL1, BL2、ワード線WL1は層間絶縁層9により覆われている。

[0024] 因みに、このような構成を有する半導体記憶装置1は、フォトリソグラフィ技術、酸化やCVD (Chemical Vapor Deposition) 等の成膜技術、エッチング技術およびイオン注入法を利用した一般的な半導体製造プロセスにより形成できるため、ここではその説明は省略する。

[0025] (1 - 2) データの書き込み動作

次に、かかる構成を有した半導体記憶装置1において、例えば2行1列目のアンチヒューズメモリ2cにのみデータを書き込む際のデータ書き込み動作について説明する。なお、ここでは、データを書き込むアンチヒューズメモリ2cを書き込み選択メモリ2Wとも呼び、データを書き込まないアンチヒューズメモリ2a, 2b, 2dを書き込み非選択メモリ2Nとも呼ぶ。この場合、図1に示すように、半導体記憶装置1には、書き込み選択メモリ2Wが接続されたビット線BL1 (以下、書き込み選択ビット線BLaとも呼ぶ) に0[V]の破壊ビット電圧が印加され、書き込み非選択メモリ2N (アンチヒューズメモリ2b, 2d) のみが接続されたビット線BL (以下、書き込み非選択ビット線BLbとも呼ぶ) に3[V]の非破壊ビット電圧が印加され得る。

[0026] また、この際、半導体記憶装置1には、書き込み選択メモリ2W (アンチヒューズメモリ2c) が接続されたワード線WL2 (以下、書き込み選択ワード線WL aとも呼ぶ) に5[V]の破壊ワード電圧が印加され、書き込み非選択メモリ2N (アンチヒューズメモリ2a, 2b) のみが接続されたワード線WL1 (以下、書き込み非選択ワード線WLbとも呼ぶ) に0[V]の非破壊ワード電圧が印加され得る。書き込み選択メモリ2Wでは、書き込み選択ワード線WL aから整流素子3のP型半導体領域8に5[V]の破壊ワード電圧が印加されるとともに、書き込み選択ビット線BL aからメモリキャパシタ4の一端の拡散領域5に0 [V] の破壊ビット電圧が印加され得る。

[0027] これにより、書き込み選択メモリ2Wでは、整流素子3からメモリキャパシタ4のメモリゲート電極Gに破壊ワード電圧が印加されるとともに、ビット線BL1

から拡散領域5に0[V]が印加されることから、メモリキャパシタ4のチャネル（図示せず）がオン状態となり、チャネル電位がビット線BL1の電位と同電位となる。かくして、書き込み選択メモリ2Wでは、例えばビルトインポテンシャルを0.7[V]とした場合、チャネルとメモリゲート電極Gの電位差が4.3[V]となることから、メモリゲート電極G下部のメモリゲート絶縁膜6が絶縁破壊されて、メモリゲート電極Gと拡散領域5とがチャネルを介して低抵抗で導通状態となり、データが書き込まれた状態となり得る。

[0028] 一方、5[V]の破壊ワード電圧が印加される書き込み選択ワード線WL_aに接続されているものの、データが書き込まれない他の列のアンチヒューズメモリ2dでは、メモリキャパシタ4の一端にある拡散領域5に書き込み非選択ビット線BL_bを介して3[V]の非破壊ビット電圧が印加され、メモリキャパシタ4においてメモリゲート電極Gと拡散領域5との電圧差が1.3[V]（ビルトインポテンシャル0.7[V]を考慮）と小さくなる。このため、このアンチヒューズメモリ2dでは、仮にメモリキャパシタ4においてメモリゲート電極G下部のメモリゲート絶縁膜6が絶縁破壊されていないときでも、当該メモリゲート絶縁膜6が絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。

[0029] また、3[V]の非破壊ビット電圧が印加される書き込み非選択ビット線BL_bに接続され、データが書き込まれない他のアンチヒューズメモリ2bでは、メモリゲート絶縁膜6が絶縁破壊されていないとき、書き込み非選択ワード線WL_bから整流素子3を介してメモリゲート電極Gに0[V]の非破壊ワード電圧が印加され、メモリキャパシタ4において、メモリゲート電極Gと、書き込み非選択ビット線BL_bが接続した拡散領域5との電圧差が3[V]と小さくなる。

[0030] このため、このアンチヒューズメモリ2bでは、仮にメモリキャパシタ4においてメモリゲート電極G下部のメモリゲート絶縁膜6が絶縁破壊されていないときでも、当該メモリゲート絶縁膜6が絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。

[0031] なお、書き込み非選択ビット線BL_bから3[V]の非破壊ビット電圧が印加さ

れるアンチヒューズメモリ2bでは、例えばメモリキャパシタ4のメモリゲート絶縁膜6が既に絶縁破壊されている場合でも、書き込み非選択ワード線WLbに0 [V]の非破壊ワード電圧が印加されているため、メモリキャパシタ4にチャンネルが形成されず、書き込み非選択ビット線BLbの3 [V]の非破壊ビット電圧がメモリキャパシタ4で遮断されることから、当該非破壊ビット電圧が、絶縁破壊されたメモリゲート絶縁膜6を介してメモリゲート電極Gへ印加されることはない。

[0032] しかしながら、メモリゲート絶縁膜6の絶縁破壊された箇所が、例えば書き込み非選択ビット線BLbが接続されている拡散領域5に極めて近い箇所であったときには、ビット線BL2の電位がメモリキャパシタ4のチャンネルで遮断できず、当該拡散領域5に印加された3 [V]の非破壊ビット電圧がメモリゲート電極Gに印加されてしまう虞もある。

[0033] このような場合であっても、本発明のアンチヒューズメモリ2bでは、N型半導体領域7およびP型半導体領域8によりPN接合ダイオードの半導体接合構造を有した整流素子3が、メモリキャパシタ4のメモリゲート電極Gと、ワード線WL1との間に設けられていることにより、メモリゲート電極Gから整流素子3に3 [V]の非破壊ビット電圧が印加されても、当該整流素子3においてN型半導体領域7からP型半導体領域8への逆方向バイアスの電圧となり、当該整流素子3によってメモリゲート電極Gからワード線WL1への電圧印加を確実に遮断し得る。

[0034] 仮に、このような整流素子3による遮断機能が無い場合には、アンチヒューズメモリ2bを介してビット線BL2の3[V]の非破壊ビット電圧が、ワード線WL1に伝わってしまう。この場合、アンチヒューズメモリ2bを介してワード線WL1に印加された3[V]の電圧が、ワード線WL1を介して、当該ワード線WL1を共有する他のアンチヒューズメモリ2aのメモリゲート電極Gにまで伝わってしまう。そのため、アンチヒューズメモリ2aのメモリゲート絶縁膜6が既に破壊されていた場合には、ビット線BL1とワード線WL1がショートして同電位になろうとし、その結果、一のビット線BL1と、他のビット線BL2とが所望の電位を保

てなくなってしまう、アンチヒューズメモリに対する正常なデータ書き込み動作が行えなくなってしまうという問題が生じる。

[0035] 因みに、0 [V] の非破壊ワード電圧が印加される書き込み非選択ワード線W_{Lb}と、同じく0 [V] の非破壊ビット電圧が印加される書き込み非選択ビット線BL_bとに接続される、データを書き込まないアンチヒューズメモリ2aでは、メモリキャパシタ4においてメモリゲート電極Gと拡散領域5との電圧差が0 [V] となるため、仮にメモリゲート絶縁膜6が絶縁破壊されていないときでも、当該メモリゲート絶縁膜6が絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。かくして、半導体記憶装置1では、行列状に配置されたアンチヒューズメモリ2a, 2b, 2c, 2dのうち、所望するアンチヒューズメモリ2cにだけデータを書き込むことができる。

[0036] (1 - 3) データの読み出し動作

次に、例えば図1との対応部分に同一符号を付して示す図3のように、半導体記憶装置1において、2行1列目のアンチヒューズメモリ2cのデータを読み出す場合について説明する。なお、ここでは、1行1列目のアンチヒューズメモリ2aと、1行2列目のアンチヒューズメモリ2bと、2行1列目のアンチヒューズメモリ2cとについては、それぞれメモリゲート絶縁膜6が絶縁破壊してデータが書き込まれている状態となっており、2行2列目のアンチヒューズメモリ2dについては、メモリゲート絶縁膜6が絶縁破壊しておらずデータが書き込まれていない状態となっている場合について説明する。

[0037] なお、ここでは、データを読み出すアンチヒューズメモリ2cを読み出し選択メモリ2Rとも呼び、データを読み出さないアンチヒューズメモリ2a, 2b, 2dを読み出し非選択メモリ2NRとも呼ぶ、この場合、読み出し選択メモリ2Rが接続されたビット線BL1（以下、読み出し選択ビット線BL_cとも呼ぶ）と、読み出し非選択メモリ2NR（アンチヒューズメモリ2b, 2d）のみが接続されたビット線BL2（以下、読み出し非選択ビット線BL_dとも呼ぶ）は、初めに1.2[V]の電圧に充電される。この際、読み出し選択メモリ2Rが接続されたワード線WL2（以下、読み出し選択ワード線WL_cとも呼ぶ）には、1.2[V]の読み出し選択ワ

ード電圧が印加されるとともに、読み出し非選択メモリ2NR（アンチヒューズメモリ2a, 2b）のみが接続されたワード線WL1（以下、読み出し非選択ワード線WLdとも呼ぶ）には、0[V]の読み出し非選択ワード電圧が印加され得る。

[0038] その後、読み出し選択ビット線BLcには0[V]の読み出し選択ビット電圧が印加され得る。これにより、読み出し選択メモリ2Rには、読み出し選択ワード線WLcから整流素子3のP型半導体領域8に1.2[V]の読み出し選択ワード電圧が印加されるとともに、読み出し選択ビット線BLcからメモリキャパシタ4の一端の拡散領域5に0[V]の読み出し選択ビット電圧が印加され得る。

[0039] この際、読み出し選択メモリ2Rでは、メモリキャパシタ4のメモリゲート絶縁膜6が絶縁破壊されてデータが書き込まれた状態にあることから、読み出し選択ワード線WLcの1.2[V]の読み出し選択電圧によって、整流素子3にてP型半導体領域8からN型半導体領域7に順方向バイアスの電圧がかかり得る。これにより、読み出し選択メモリ2Rでは、読み出し選択ワード線WLcの読み出し選択ワード電圧が、整流素子3からメモリキャパシタ4を介して読み出し選択ビット線BLcに印加され得る。

[0040] その結果、読み出し選択ビット線BLcには、1.2[V]の読み出し選択ワード電圧が読み出し選択メモリ2R（アンチヒューズメモリ2c）にてビルトインポテンシャル分低下された電圧が印加され得る。これにより、読み出し選択ビット線BLcでは、読み出し選択メモリ2Rを介して読み出し選択ワード線WLcと電氣的に接続されることにより、0[V]の読み出し選択ビット電圧が0.5[V]となり、電圧値が変化し得る。

[0041] 因みに、読み出し選択メモリ2Rにおいて、メモリキャパシタ4のメモリゲート絶縁膜6が絶縁破壊されておらずデータが書き込まれていないときには、メモリキャパシタ4によって、読み出し選択ワード線WLcと読み出し選択ビット線BLcとの電氣的な接続が遮断されることになる。これにより、読み出し選択ビット線BLcでは、0[V]の読み出し選択ビット電圧が変化することなく、0[V]の状態をそのまま維持し得る。

[0042] このように半導体記憶装置1では、読み出し選択ビット線BLcに印加されて

いる読み出し選択ビット電圧が変化したか否かを検知することにより、読み出し選択メモリ2R（アンチヒューズメモリ2c）にデータが書き込まれているか否かを判断し得る。

[0043] なお、読み出し選択ビット線BLcに接続され、かつデータを読み出さないアンチヒューズメモリ2aでは、読み出し非選択ワード線WLdに0 [V] の読み出し非選択ワード電圧が印加されていることから、仮にメモリキャパシタ4のメモリゲート絶縁膜6が絶縁破壊されていても、読み出し選択ビット線BLcの電圧変化に寄与することはない。

[0044] 因みに、例えばデータを読み出すアンチヒューズメモリ2cによって読み出し選択ビット線BLcの電圧値が0.5 [V] になっているとき、この読み出し選択ビット線BLcを共有する、データを読み出さない他のアンチヒューズメモリ2aにてメモリキャパシタ4のメモリゲート絶縁膜6が絶縁破壊されていても、当該アンチヒューズメモリ2aでは、整流素子3に逆方向バイアスの電圧がかかることになるため、0.5 [V] の読み出し選択ビット電圧が整流素子3にて遮断され、読み出し非選択ワード線WLdに印加されてしまうことを防止し得る。

[0045] また、0 [V] の読み出し非選択ワード電圧が印加された読み出し非選択ワード線WLdと、1.2 [V] の読み出し非選択ビット電圧が印加された読み出し非選択ビット線BLdとに接続されたアンチヒューズメモリ2bでも、仮にメモリゲート絶縁膜6が絶縁破壊されていても、整流素子3にて逆方向バイアスの電圧になるため、読み出し非選択ワード線WLdから読み出し非選択ビット線BLdへの電圧印加を整流素子3によって遮断し得る。

[0046] なお、1.2 [V] の読み出し選択ワード電圧が印加された読み出し選択ワード線WLcと、1.2 [V] の読み出し非選択ビット電圧が印加された読み出し非選択ビット線BLdとに接続されたアンチヒューズメモリ2dでは、仮にメモリゲート絶縁膜6が絶縁破壊されていても、読み出し選択ワード線WLcおよび読み出し非選択ビット線BLdの電圧値が同じであることから、1.2 [V] の読み出し選択ワード電圧が変動することもなく、他のアンチヒューズメモリ2cの読み出し動作に影響を与えることは無い。かくして半導体記憶装置1では、行列状に

配置されたアンチヒューズメモリ2a, 2b, 2c, 2dのうち、所望するアンチヒューズメモリ2cのデータだけを読み出すことができる。

[0047] (1 - 4) 作用および効果

以上の構成において、例えばアンチヒューズメモリ2cでは、ウエルS2上にメモリゲート絶縁膜6を介してメモリゲート電極Gが設けられ、ウエルS2表面に形成された一方の拡散領域5にビット線BL1が接続されたメモリキャパシタ4と、メモリゲート電極Gとワード線WL2との間に設けられ、ワード線WL2からメモリゲート電極Gへ電圧を印加する一方、メモリゲート電極Gからワード線WL2への電圧印加が逆方向バイアスの電圧となり、メモリゲート電極Gからワード線WL2への電圧印加を遮断する整流素子3とを設けるようにした。

[0048] また、アンチヒューズメモリ2cでは、メモリキャパシタ4にデータを書き込むとき、書き込み選択ワード線WL_aに印加された書き込み破壊ワード電圧が、整流素子3を介してメモリキャパシタ4のメモリゲート電極Gに印加され、当該メモリゲート電極Gと書き込み選択ビット線BL_aとの電圧差により、メモリキャパシタ4のメモリゲート絶縁膜6が絶縁破壊するようにした。

[0049] 一方、データを書き込まないデータ非書き込み動作のアンチヒューズメモリ2bでは、メモリキャパシタ4に接続されたビット線BL2に高電圧の非破壊ビット電圧が印加された際に、例えばメモリキャパシタ4のメモリゲート絶縁膜6が絶縁破壊されていても、書き込み非選択ワード線WL_bに0[V]の非破壊ワード電圧が印加されているため、メモリキャパシタ4にチャンネルが形成されず、書き込み非選択ビット線BL_bからワード線WL1への電圧印加をメモリキャパシタ4で遮断できる。

[0050] この際、本発明のアンチヒューズメモリ2bでは、例えば書き込み非選択ビット線BL_bが接続されている拡散領域5に極めて近い箇所でメモリゲート絶縁膜6の絶縁破壊が生じ、仮に書き込み非選択ビット線BL_bの電位がメモリキャパシタ4のチャンネルで遮断できず、書き込み非選択ビット線BL_bからメモリキャパシタ4のメモリゲート電極Gに非破壊ビット電圧が印加されてしまっても、当該非破壊ビット電圧が整流素子3で逆方向バイアスの電圧となるため、当

該整流素子3によってメモリゲート電極Gからワード線WL1への電圧印加を確実に遮断できる。

[0051] 従って、アンチヒューズメモリ2bでは、従来のような制御回路を用いずに、メモリゲート電極Gおよびワード線WL1へ印加される電圧値によって、メモリゲート電極Gからワード線WL1への電圧印加が逆方向バイアスの電圧となるような半導体接合構造の整流素子3を設け、当該整流素子3によってメモリゲート電極Gからワード線WL1への電圧印加を遮断するようにしたことから、従来のようなメモリキャパシタへの電圧印加を選択的に行うスイッチトランジスタや、スイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不要になり、その分、小型化を図り得る。

[0052] なお、アンチヒューズメモリ2a, 2b, 2c, 2dは、図2に示したように、整流素子3のP型半導体領域8およびN型半導体領域7が、メモリキャパシタ4のメモリゲート電極Gと同層に形成されていることから、単層構造でなるメモリキャパシタ4のメモリゲート電極Gを形成する一般的な半導体製造プロセスを利用して、メモリゲート電極Gを形成する製造工程で整流素子3のP型半導体領域8およびN型半導体領域7も形成できる。

[0053] (1 - 5) 他の実施の形態による整流素子

なお、本発明は、本実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能であり、整流素子として、P型半導体領域8とN型半導体領域7とが接合したPN接合ダイオードの半導体接合構造からなる整流素子3を適用した場合について述べたが、本発明はこれに限らず、図2との対応部分に同一符号を付して示す図4A（整流素子形成層ILb等は省略する）のように、P型半導体領域13とN型半導体領域15との間に真性半導体領域14が設けられたPIN（P-Intrinsic-N）接合ダイオードの半導体接合構造からなる整流素子11a, 11bを適用してもよい。

[0054] なお、この場合、整流素子11a, 11bは、図示しない整流素子形成層ILb（図2）上に形成されており、コンタクトC2が立設したP型半導体領域13を中心に当該P型半導体領域13を挟むように真性半導体領域14が設けられている。

また、整流素子11a, 11bは、各真性半導体領域14にそれぞれN型半導体領域15が接合され、P I N接合ダイオードとなる半導体接合構造となり得る。

[0055] 整流素子11a, 11bは、N型半導体により形成されたメモリキャパシタ4（図4 Aでは図示せず）のメモリゲート電極Gの端部に対し、N型半導体領域15の端部が一体形成された構成を有する。この場合、整流素子11a, 11bのN型半導体領域15、真正半導体領域14およびP型半導体領域13と、メモリキャパシタ4のメモリゲート電極Gは、同じ配線層（同層）に形成されており、同じ膜厚に形成されている。これにより、整流素子11a, 11bのN型半導体領域15、真正半導体領域14、P型半導体領域13、およびメモリキャパシタ4のメモリゲート電極Gの各接合表面には段差がなく全体として薄型化が図られている。

[0056] このような整流素子11a, 11bを有した各アンチヒューズメモリでも、ワード線WL1に印加された電圧が、コンタクトC2、整流素子11a, 11bのP型半導体領域13、真正半導体領域14およびN型半導体領域15を介して各メモリキャパシタ4のメモリゲート電極Gに印加できる一方、メモリキャパシタ4のメモリゲート電極Gからの電圧は、整流素子11a, 11bにおいて逆方向バイアスの電圧となりN型半導体領域15およびP型半導体領域13間で遮断され、上述した実施の形態と同様の効果を得ることができる。

[0057] また、図4 Aとの対応部分に同一符号を付して示す図4 Bは、P N接合ダイオードを形成する、他の実施の形態による整流素子16a, 16bを示す。この場合、整流素子16a, 16bには、コンタクトC2が立設したP型半導体領域17の下部に絶縁領域18が形成されており、P型半導体領域17および絶縁領域18の端部に接合するようにN型半導体領域19が形成されている。これにより整流素子16a, 16bは、P型半導体領域17およびN型半導体領域19が接合したP N接合ダイオードの半導体接合構造を実現し得る。

[0058] また、この整流素子16a, 16bも、上述と同様に、N型半導体により形成されたメモリキャパシタのメモリゲート電極Gの端部に対し、N型半導体領域19の端部が一体形成された構成を有する。この場合も、整流素子16a, 16bのN型半導体領域19と、メモリキャパシタ4のメモリゲート電極Gは、同じ配線層（同

層)に形成されており、同じ膜厚に形成されている。また、P型半導体領域17および絶縁領域18で形成される膜厚が、N型半導体領域19の膜厚と同じに形成されている。

[0059] これにより、整流素子16a, 16bのP型半導体領域17、N型半導体領域19、およびメモリキャパシタ4のメモリゲート電極Gの各接合表面には段差が形成されず、また、整流素子16a, 16bの下部側においても、絶縁領域18、N型半導体領域19、およびメモリキャパシタ4のメモリゲート電極Gの各接合表面に段差が形成されることがなく、全体として薄型化が図られている。

[0060] このような整流素子16a, 16bを有した各アンチヒューズメモリでも、ワード線WL1に印加された電圧が、コンタクトC2、整流素子16a, 16bのP型半導体領域17およびN型半導体領域19を介して各メモリキャパシタ4のメモリゲート電極Gに印加できる一方、メモリキャパシタ4のメモリゲート電極Gからの電圧は、整流素子16a, 16bにおいて逆方向バイアスの電圧となりN型半導体領域19およびP型半導体領域17間で遮断され、上述した実施の形態と同様の効果を得ることができる。

[0061] (2) 第2の実施の形態

(2 - 1) 第2の実施の形態による半導体記憶装置の構成

図1との対応部分に同一符号を付して示す図5において、21は第2の実施の形態による半導体記憶装置を示し、1つの整流素子23に2つのメモリキャパシタ24a, 24bが接続されたアンチヒューズメモリ22a, 22b, 22c, 22dが行列状に配置された構成を有する。なお、この実施の形態の場合においては、2つのメモリキャパシタ24a, 24bが設けられたアンチヒューズメモリ22a, 22b, 22c, 22dについて説明するが、本発明はこれに限らず、3つのメモリキャパシタや、4つのメモリキャパシタ等その他複数のメモリキャパシタを設けるようにしてもよい。

[0062] 実際上、この半導体記憶装置21は、各アンチヒューズメモリ22a, 22b, 22c, 22dにそれぞれ1ビットのデータを記憶し得るようになされており、各アンチヒューズメモリ22a, 22b, 22c, 22dにおいて複数のメモリキャパシタ24a, 24bで

同じデータを記憶し得るようにされている。

[0063] この場合、半導体記憶装置21は、行方向に並ぶアンチヒューズメモリ22a, 22b (22c, 22d) にてワード線WL1 (WL2) を共有しているとともに、列方向に並ぶアンチヒューズメモリ22a, 22c (22b, 22d) にてビット線BL11, BL12 (BL21, BL22) を共有している。

[0064] 行列状に配置された複数のアンチヒューズメモリ22a, 22b, 22c, 22dは全て同一構成でなり、例えば1行1列目のアンチヒューズメモリ22aは、PN接合ダイオードの半導体接合構造を有した整流素子23と、メモリゲート電極Ga, Gbおよびワード線WL1の電圧差により絶縁破壊されるメモリゲート絶縁膜6a, 6bを備えたメモリキャパシタ24a, 24bとから構成されている。

[0065] この実施の形態の場合、整流素子23は、上述した第1実施の形態と同様に、P型半導体領域とN型半導体領域とが接合した構成を有しており、P型半導体領域がワード線WL1に接続されているとともに、N型半導体領域がメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbに接続されている。

[0066] これにより、アンチヒューズメモリ22aは、ワード線WL1から整流素子23を介して複数のメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbへ同じ電圧を一律に印加する一方で、これらメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbからワード線WL1への電圧印加が整流素子23にて逆方向バイアスの電圧となり、当該整流素子23によって各メモリゲート電極Ga, Gbからワード線WL1への電圧印加を遮断し得る。

[0067] このようなアンチヒューズメモリ22aは、ワード線WL1に印加された電圧が整流素子23を介してメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbに対し一律に印加され、各メモリゲート電極Ga, Gbとビット線BL11, BL12との間に大きな電圧差が生じることにより、メモリキャパシタ24a, 24bの各メモリゲート絶縁膜6a, 6bが絶縁破壊し、これらメモリキャパシタ24a, 24bに同じデータが書き込まれ得る。

[0068] ここで、図2との対応部分に同一符号を付して示す図6Aは、整流素子23の断面構成のみに着目した断面図であり、この場合、整流素子23は、例えば

ワード線WL1（図5）に接続されたコンタクトC2がP型半導体領域28に立設しており、当該P型半導体領域28の下部および両端部を囲うようにN型半導体領域29が形成された構成を有する。また、整流素子23には、N型半導体でなるメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbが、N型半導体領域29の端部にそれぞれ一体形成されている。

[0069] かくして、整流素子23は、P型半導体領域28に接合したN型半導体領域29がメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbに接合され、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbからワード線WL1への電圧印加が逆方向バイアスの電圧となり得るPN接合ダイオードの半導体接合構造を実現している。

[0070] なお、整流素子23のN型半導体領域29およびP型半導体領域28と、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbは、同じ配線層（同層）に形成されており、N型半導体領域29およびP型半導体領域28を合わせた膜厚と、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbとは同じ膜厚に形成されている。これにより、整流素子23のN型半導体領域29とP型半導体領域28との接合表面や、N型半導体領域29とメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbとの接合表面には段差がなく全体として薄型化が図られている。

[0071] かくして、この整流素子23を有したアンチヒューズメモリ22aでも、ワード線WL1に印加された電圧が、コンタクトC2、整流素子23のP型半導体領域28およびN型半導体領域29を介してメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbにそれぞれ一律に印加できる一方、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbからの電圧は、整流素子23において逆方向バイアスの電圧となりN型半導体領域29およびP型半導体領域28間で遮断され、上述した実施の形態と同様の効果を得ることができる。

[0072] ところで、従来のアンチヒューズメモリでは、例えばメモリキャパシタのプログラムゲート絶縁膜を絶縁破壊させてデータを書き込んでも、メモリゲート絶縁膜中にある絶縁破断状態の導通経路が、絶縁破壊させた条件によっ

ては経時変化により回復してしまい、再び高抵抗状態に戻ってしまう現象（以下、絶縁不良とも呼ぶ）が発生する虞もある。そのため、一般的には、半導体記憶装置に複雑な構成でなる誤り訂正回路を組み込み、絶縁破壊させたメモリゲート絶縁膜が経時変化により再び高抵抗状態に戻る現象が発生してしまっても、アンチヒューズメモリから読み出したデータを誤り訂正回路によってデータの誤りを検出しさらには訂正して、アンチヒューズメモリから正しいデータを読み出し得るようになされている。

[0073] しかしながら、このような従来の誤り訂正回路を設けた半導体記憶装置では、複数の論理回路を組み合わせた誤り訂正回路を設ける必要がある分、複雑な構成となり、また、アンチヒューズメモリから読み出したデータに信頼性があるか否かの判断を、複数段の論理演算を追加することにより行う誤り訂正処理を実行する必要もある分、読み出し速度が遅くなるという問題があった。

[0074] これに対して、本発明のアンチヒューズメモリ22a, 22b, 22c, 22dは、データを書き込む際、複数のメモリキャパシタ24a, 24bの各メモリゲート絶縁膜6a, 6bを絶縁破壊させて同じデータを複数のメモリキャパシタ24a, 24bに書き込むようにした。これにより、アンチヒューズメモリ22a, 22b, 22c, 22dは、仮に一のメモリキャパシタ24aにて絶縁破壊させたメモリゲート絶縁膜6aが経時変化により再び高抵抗状態に戻る現象が発生してしまっても、同じくメモリゲート絶縁膜6bが絶縁破壊されている他のメモリキャパシタ24bのデータを参照することにより、正確なデータを読み出すことができる。

[0075] このため、本発明のアンチヒューズメモリ22a, 22b, 22c, 22dでは、従来のような複雑な回路構成を有した誤り訂正回路が不要となり、その分、回路構成を簡素化し得る。また、本発明のアンチヒューズメモリ22a, 22b, 22c, 22dでは、データを読み出す際、メモリキャパシタ24a, 24bのデータを一括的に読み出し、単に2つのデータの論理和をとることでデータが書き込まれているか否かの正確なデータを読み出すことができるので、従来のように誤り訂正回路にて複雑な論理計算を行う必要がない分、回路の規模を小さくでき、かつデー

タの読み出し速度の遅延を防止できる。

[0076] (2 - 2) データの書き込み動作

(2 - 2 - 1) 複数のメモリキャパシタに対し、同じデータを同時に書き込む場合

次に、かかる構成を有した半導体記憶装置21において、例えば2行1列目のアンチヒューズメモリ22cのメモリキャパシタ24a, 24bにのみデータを同時に書き込む場合について具体的に説明する。この場合、図5に示すように、半導体記憶装置21には、データを書き込むアンチヒューズメモリ22cが接続された対のビット線BL11, BL12（以下、書き込み選択ビット線BL1a, BL2aとも呼ぶ）にそれぞれ0[V]の破壊ビット電圧が印加され、データを書き込まないアンチヒューズメモリ22b, 22dのみが接続された対のビット線BL21, BL22（以下、書き込み非選択ビット線BL1b, BL2bとも呼ぶ）にそれぞれ3[V]の非破壊ビット電圧が印加され得る。

[0077] また、この際、半導体記憶装置21には、書き込み選択メモリ2W（アンチヒューズメモリ22c）が接続されたワード線WL2（書き込み選択ワード線WL_a）に5[V]の破壊ワード電圧が印加され、書き込み非選択メモリ2N（アンチヒューズメモリ22a, 22b）のみが接続されたワード線WL1（書き込み非選択ワード線WL_b）に0[V]の非破壊ワード電圧が印加され得る。これにより、書き込み選択メモリ2Wには、書き込み選択ワード線WL_aから整流素子23のP型半導体領域28に5[V]の破壊ワード電圧が印加され得る。さらに、書き込み選択メモリ2Wには、書き込み選択ビット線BL1a, BL2bから対応する各メモリキャパシタ24a, 24bの一端の拡散領域に0[V]の破壊ビット電圧がそれぞれ印加され得る。

[0078] これにより、例えばビルトインポテンシャルを0.7[V]とした場合、書き込み選択メモリ2W（アンチヒューズメモリ22c）のメモリキャパシタ24a, 24bでは、整流素子23から各メモリゲート電極Ga, Gbにそれぞれ破壊ワード電圧が印加されると、各メモリゲート電極Ga, Gbと拡散領域5との間にそれぞれ破壊ビット電圧および破壊ワード電圧による4.3[V]の電圧差が生じ得る。かくして、書き込み選択メモリ2Wでは、メモリキャパシタ24a, 24bにおいて、それぞれ

メモリゲート電極Ga, Gb下部のメモリゲート絶縁膜6a, 6bがいずれも絶縁破壊されて、メモリゲート電極Ga, Gbと拡散領域5とが低抵抗で導通状態となり、メモリキャパシタ24a, 24bに同じデータが書き込まれた状態となり得る。

[0079] 一方、5[V]の破壊ワード電圧が印加される書き込み選択ワード線WLaに接続され、データが書き込まれない他のアンチヒューズメモリ22dでは、書き込み非選択ビット線BL1b, BL2bから対応する各メモリキャパシタ24a, 24bの一端にある拡散領域5に3[V]の非破壊ビット電圧が印加されことから、メモリキャパシタ24a, 24bにおいてそれぞれメモリゲート電極Ga, Gbと拡散領域5との電圧差が1.3[V]と小さくなる。このため、このアンチヒューズメモリ22dでは、仮にメモリキャパシタ24a, 24bにおいてメモリゲート電極Ga, Gb下部のメモリゲート絶縁膜6a, 6bが絶縁破壊されていないときでも、当該メモリゲート絶縁膜6a, 6bが絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。

[0080] また、3[V]の非破壊ビット電圧が印加される書き込み非選択ビット線BL1b, BL2bを共有し、データが書き込まれない他のアンチヒューズメモリ22bでは、メモリキャパシタ24a, 24bにおいて各メモリゲート電極Ga, Gbと拡散領域5との電圧差が3[V]と小さくなる。このため、このアンチヒューズメモリ22bでは、仮にメモリキャパシタ24a, 24bにおいてそれぞれメモリゲート電極Ga, Gb下部のメモリゲート絶縁膜6a, 6bが絶縁破壊していないときでも、当該メモリゲート絶縁膜6a, 6bが絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。

[0081] なお、書き込み非選択ビット線BL1b, BL2bから3[V]の非破壊ビット電圧が印加されるアンチヒューズメモリ22bでは、例えばメモリキャパシタ24a, 24bのメモリゲート絶縁膜6a, 6bが既に絶縁破壊されている場合でも、書き込み非選択ワード線WLbに0[V]の非破壊ワード電圧が印加されているため、メモリキャパシタ4にチャンネルが形成されず、書き込み非選択ビット線BL21b, BL22bの3[V]の非破壊ビット電圧がメモリキャパシタ4で遮断されることから、当該非破壊ビット電圧が、絶縁破壊されたメモリゲート絶縁膜6a, 6bを介してメモ

リゲート電極Ga, Gbへ印加されることはない。

[0082] しかしながら、メモリゲート絶縁膜6a, 6bの絶縁破壊された箇所が、例えばビット線BL21, BL22が接続されている拡散領域5に極めて近い箇所であったときには、ビット線BL21, BL22の電位がメモリキャパシタ4のチャネルで遮断できず、当該拡散領域5に印加された3 [V] の非破壊ビット電圧が、メモリゲート電極Ga, Gbに印加されてしまうことがある。

[0083] このような場合であっても、アンチヒューズメモリ22bでは、N型半導体領域およびP型半導体領域の半導体接合構造により整流作用を有した整流素子23が、メモリキャパシタ24a, 24bのメモリゲート電極Ga, Gbに接続されていることにより、各メモリゲート電極Ga, Gbから整流素子23に3 [V] の非破壊ビット電圧が印加されても、当該整流素子23においてN型半導体領域からP型半導体領域への逆方向バイアスの電圧となり、当該P型半導体領域への電圧印加を遮断し得る。

[0084] 因みに、0 [V] の非破壊ワード電圧が印加される書き込み非選択ワード線W_{Lb}と、0 [V] の非破壊ビット電圧が印加される書き込み非選択ビット線BL1b, BL2bとに接続される、データを書き込まないアンチヒューズメモリ22aでは、メモリキャパシタ24a, 24bにおいてそれぞれメモリゲート電極Ga, Gbと拡散領域5との電圧差が0 [V] となるため、仮にメモリゲート絶縁膜6a, 6bが絶縁破壊していないときでも、当該メモリゲート絶縁膜6a, 6bが絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。かくして、半導体記憶装置21では、行列状に配置されたアンチヒューズメモリ22a, 22b, 22c, 22dのうち、所望するアンチヒューズメモリ22cのメモリキャパシタ24a, 24bにだけデータを書き込むことができる。

[0085] (2 - 2 - 2) 複数のメモリキャパシタに対し、同じデータを順番に書き込む場合

次に、かかる構成を有した半導体記憶装置21において、例えば2行1列目のアンチヒューズメモリ22cのメモリキャパシタ24a, 24bに対して同じデータを順番に書き込む、データ書き込み動作について具体的に説明する。この場合

、半導体記憶装置21では、例えば2行1列目のアンチヒューズメモリ22cにデータを書き込む際、当該アンチヒューズメモリ22cのメモリキャパシタ24aのメモリゲート絶縁膜6aを先ず始めに絶縁破壊させてデータを書き込んだ後、続けて当該アンチヒューズメモリ22cの残りのメモリキャパシタ24bのメモリゲート絶縁膜6bを絶縁破壊させてデータを書き込み得る。

[0086] 因みに、書き込み非選択メモリ2N（アンチヒューズメモリ2a, 2b, 2d）の説明については、上述した「（2 - 2 - 1）複数のメモリキャパシタに対し、同じデータを同時に書き込む場合」と同じになるため、ここでは、メモリキャパシタ24a, 24bに対し、同じデータを順番に書き込むアンチヒューズメモリ22cに着目して以下説明する。

[0087] この場合、先ず始めにデータを書き込むアンチヒューズメモリ22cが接続された一の書き込み選択ビット線BL1aには、0 [V] の破壊ビット電圧が印加されるとともに、この一の書き込み選択ビット線BL1aと対をなす他の書き込み選択ビット線BL2aには、初めに3[V]の非破壊ビット電圧が印加され得る。

[0088] この際、データを書き込むアンチヒューズメモリ22cには、書き込み選択ワード線WLaを介して整流素子23に5[V]の破壊ワード電圧が印加されていることから、一の書き込み選択ビット線BL1aから0 [V] の破壊ビット電圧が印加された一のメモリキャパシタ24aでメモリゲート電極Gaと拡散領域5との間で4.3 [V]の電圧差が生じ、当該メモリキャパシタ24aにおいて、メモリゲート電極Ga下部のメモリゲート絶縁膜6aが絶縁破壊され得る。

[0089] また、この際、データを書き込むアンチヒューズメモリ22cにおいて、初めに他の書き込み選択ビット線BL2aから3 [V] の非破壊ビット電圧が印加された他のメモリキャパシタ24bでは、メモリゲート電極Gbと拡散領域5との間で1.3[V]の電圧差しか生じず、メモリゲート電極Gb下部のメモリゲート絶縁膜6bが絶縁破壊されることなく絶縁状態が維持され得る。

[0090] かくして、データが書き込まれるアンチヒューズメモリ22cでは、先ず始めに、一のメモリキャパシタ24aにおいて、メモリゲート電極Ga下部のメモリゲート絶縁膜6aが絶縁破壊されて、メモリゲート電極Gaと拡散領域5とが低抵抗

で導通状態となり、一のメモリキャパシタ24aだけデータが書き込まれた状態となり得る。

[0091] 次いで、半導体記憶装置21では、データを書き込むアンチヒューズメモリ22cに接続された書き込み選択ビット線BL1aに、先とは異なり3[V]の非破壊ビット電圧を印加し、同じくデータを書き込むアンチヒューズメモリ22cに接続された他の書き込み選択ビット線BL2aに、先とは異なり0[V]の破壊ビット電圧を印加する。

[0092] この際、例えばビルトインポテンシャルを0.7[V]とした場合、データを書き込むアンチヒューズメモリ22cでは、書き込み選択ワード線WLaを介して整流素子23に5[V]の破壊ワード電圧が印加されていることから、他の書き込み選択ビット線BL2aから0[V]の破壊ビット電圧が印加された他のメモリキャパシタ24bでメモリゲート電極Gbと拡散領域5との間で4.3[V]の電圧差が生じ、当該メモリキャパシタ24bにおいて、メモリゲート電極Gb下部のメモリゲート絶縁膜6bが絶縁破壊され得る。

[0093] これにより、データが書き込まれるアンチヒューズメモリ22cでは、一のメモリキャパシタ24aに先ず始めにデータを書き込んだ後、他のメモリキャパシタ24bにおいて、メモリゲート電極Gb下部のメモリゲート絶縁膜6bが絶縁破壊されて、メモリゲート電極Gbと拡散領域5とが低抵抗で導通状態となり、他のメモリキャパシタ24bにおいてデータが書き込まれた状態となり得る。

[0094] このようにして、半導体記憶装置21では、アンチヒューズメモリ22cにデータを書き込む際、当該アンチヒューズメモリ22cの一のメモリキャパシタ24aに先ず始めにデータを書き込んだ後、当該アンチヒューズメモリ22cの他のメモリキャパシタ24bにデータを書き込み得る。

[0095] (2 - 3) データの読み出し動作

次に、半導体記憶装置21において、2行1列目のアンチヒューズメモリ22cのデータを読み出す場合について簡単に説明する。なお、半導体記憶装置21において2行1列目のアンチヒューズメモリ22cのデータを読み出すデータの読み出し動作については、上述した「(1 - 3) データの読み出し動作」と同じ

であるため、ここでは、当該アンチヒューズメモリ22cにだけ着目して以下説明する。

[0096] この場合、データを読み出すアンチヒューズメモリ22c（読み出し選択メモリ）が接続された一のビット線BL11（読み出し選択ビット線）と、他のビット線BL12（読み出し選択ビット線）とには、0[V]の読み出し選択ビット電圧がそれぞれ印加されるとともに、データを読み出すアンチヒューズメモリ22cが接続されたワード線WL2（読み出し選択ワード線）には、1.2[V]の読み出し選択ワード電圧が印加され得る。

[0097] これにより、データを読み出すアンチヒューズメモリ22cには、読み出し選択ワード線となるワード線WL2から整流素子3のP型半導体領域に1.2[V]の読み出し選択ワード電圧が印加されるとともに、一のビット線BL11から一のメモリキャパシタ24aの一端の拡散領域5に0[V]の読み出し選択ビット電圧が印加され、同様に、他のビット線BL12から他のメモリキャパシタ24bの一端の拡散領域5に0[V]の読み出し選択ビット電圧が印加され得る。

[0098] ここで、例えばデータを読み出すアンチヒューズメモリ22cにおいて、メモリキャパシタ24a, 24bの各メモリゲート絶縁膜6a, 6bがそれぞれ絶縁破壊されてデータが書き込まれた状態にあるときには、ワード線WL2の1.2[V]の読み出し選択ワード電圧によって、整流素子23にてP型半導体領域8からN型半導体領域7に順方向バイアスの電圧がかかり得る。これにより、データを読み出すアンチヒューズメモリ22cでは、ワード線WL2の読み出し選択ワード電圧が、整流素子23から一のメモリキャパシタ24aを介して一のビット線BL11に印加されるとともに、他のメモリキャパシタ24bを介して他のビット線BL12にも印加され得る。

[0099] その結果、一の読み出し選択ビット線となるビット線BL11には、1.2[V]の読み出し選択ワード電圧がデータを読み出すアンチヒューズメモリ22cにてビルドインポテンシャル分低下した電圧が印加され、0[V]の読み出し選択ビット電圧が0.5[V]となり、電圧値が変化し得る。

[0100] また、この際、他の読み出し選択ビット線となるビット線BL12でも、1.2[V]

]の読み出し選択ワード電圧がデータを読み出すアンチヒューズメモリ22cにてビルトインポテンシャル分低下した電圧が印加され、0[V]の読み出し選択ビット電圧が0.5[V]となり、電圧値が変化し得る。

[0101] このように半導体記憶装置21でも、ビット線BL11, BL12に印加されている各読み出し選択ビット電圧が変化したか否かを検知することにより、データを読み出すアンチヒューズメモリ22cにデータが書き込まれているか否かを判断し得る。

[0102] ここで、アンチヒューズメモリ22cのデータを読み出す際に、例えば一のメモリキャパシタ24aにて絶縁破壊させたメモリゲート絶縁膜6aが経時変化により再び高抵抗状態に戻る現象が生じていた場合には、一のメモリキャパシタ24aのメモリゲート絶縁膜6aにより、ワード線WL2からビット線BL11への電圧印加が遮断されてしまい、当該ビット線BL11の電圧が0 [V] のままとなる。

[0103] この際、アンチヒューズメモリ22cでは、一のメモリキャパシタ24aに加えて、さらに他のメモリキャパシタ24bでも、絶縁破壊させたメモリゲート絶縁膜6bが経時変化により再び高抵抗状態に戻る現象が生じている可能性は非常に低い。そのため、データを読み出すアンチヒューズメモリ22cにおいて、他のメモリキャパシタ24bに接続されたビット線BL12では、1.2[V]の読み出し選択ワード電圧が、当該アンチヒューズメモリ22cにてビルトインポテンシャル分低下した電圧が印加され、0[V]の読み出し選択ビット電圧が0.5[V]となり、電圧値が変化し得る。

[0104] これにより半導体記憶装置21では、データを読み出すアンチヒューズメモリ22cに接続されたビット線BL11, BL12のいずれか一方に読み出し選択ビット電圧の変化が生じていれば、当該アンチヒューズメモリ22cにデータが書き込まれていると判断し得る。

[0105] かくして、本発明のアンチヒューズメモリ22cでは、従来のような複雑な回路構成を有した誤り訂正回路を設けなくても、アンチヒューズメモリ22cに書き込まれたデータを正確に読み出すことができる。また、本発明のアンチヒューズメモリ22cでは、データを読み出す際、メモリキャパシタ24a, 24bに接

続されたビット線BL11, BL12のいずれか一方に電圧変動が生じているか否かを判断することで正確なデータを読み出すことできるので、従来のように誤り訂正回路にて複雑な論理計算を行う必要がない分、アンチヒューズメモリ22cの回路の規模を小さくでき、かつデータの読み出しを迅速に行い得る。

[0106] (2 - 4) 作用および効果

以上の構成において、アンチヒューズメモリ22cでは、ウエルS2上に一のメモリゲート絶縁膜6aを介してメモリゲート電極Gaが設けられ、かつウエルS2表面に形成された一の拡散領域5に一のビット線BL11が接続された一のメモリキャパシタ24aと、ウエルS2上に他のメモリゲート絶縁膜6bを介してメモリゲート電極Gbが設けられ、かつウエルS2表面に形成された他の拡散領域5に他のビット線BL12が接続された他のメモリキャパシタ24bと、各メモリゲート電極Ga, Gbとワード線WL2との間に設けられ、かつワード線WL2から各メモリゲート電極Ga, Gbへ電圧を印加する一方、各メモリゲート電極Ga, Gbからワード線WL2への電圧印加が逆方向バイアスの電圧となり、メモリゲート電極Ga, Gbからワード線WL2への電圧印加を遮断する整流素子23とを設けるようにした。

[0107] また、アンチヒューズメモリ22cでは、メモリキャパシタ24a, 24bにデータを書き込むとき、書き込み選択ワード線WL1aに印加された破壊ワード電圧が、整流素子23を介してメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbに印加される。

[0108] アンチヒューズメモリ22cでは、一のメモリキャパシタ24aのメモリゲート電極Gaと、一の書き込み選択ビット線BL1aとの電圧差により、メモリキャパシタ24aのメモリゲート絶縁膜6aが絶縁破壊するとともに、これと同時に、或いは時間差を設けて、他のメモリキャパシタ24bのメモリゲート電極Gbと、他の書き込み選択ビット線BL2aとの電圧差により、他のメモリキャパシタ24bのメモリゲート絶縁膜6bも絶縁破壊するようにした。

[0109] 一方、データを書き込まない他のアンチヒューズメモリ22bでは、一のメモリキャパシタ24aに接続された一のビット線BL21や、他のメモリキャパシタ24bに接続された他のビット線BL22にそれぞれ高電圧の非破壊ビット電圧が印加

されるが、この際、例えばメモリキャパシタ24a, 24bの各メモリゲート絶縁膜6a, 6bが絶縁破壊されていても、書き込み非選択ワード線WLbに0[V]の非破壊ワード電圧が印加されているため、メモリキャパシタ24a, 24bにチャネルが形成されず、書き込み非選択ビット線BL1b, BL2bからワード線WL1への電圧印加をメモリキャパシタ24a, 24bで遮断できる。

[0110] この際、本発明のアンチヒューズメモリ22bでは、例えば書き込み非選択ビット線BL1b, BL2bが接続されている拡散領域に極めて近い箇所でメモリゲート絶縁膜6a, 6bの絶縁破壊が生じ、仮に書き込み非選択ビット線BL1b, BL2bの電位がメモリキャパシタ24a, 24bのチャネルで遮断できず、書き込み非選択ビット線BL1b, BL2bの少なくともいずれかからメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbに非破壊ビット電圧が印加されてしまっても、当該非破壊ビット電圧が整流素子23で逆方向バイアスの電圧となるため、当該整流素子23によって各メモリゲート電極Ga, Gbからワード線WL1への電圧印加を確実に遮断できる。

[0111] 従って、アンチヒューズメモリ22bでも、第1の実施の形態と同様に、従来のような制御回路を用いずに、メモリゲート電極Ga, Gbおよびワード線WL1へ印加される電圧値によって、メモリゲート電極Ga, Gbからワード線WL1への電圧印加が逆方向バイアスの電圧となるような半導体接合構造の整流素子23を設け、当該整流素子23によって、メモリゲート電極Ga, Gbからワード線WL1への電圧印加を確実に遮断するようにしたことから、従来のようなメモリキャパシタへの各電圧印加を選択的に行うスイッチトランジスタや、スイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不要となり、その分、小型化を図り得る。

[0112] また、この第2の実施の形態によるアンチヒューズメモリ22cでは、データが書き込まれる際、メモリキャパシタ24a, 24b両方のメモリゲート絶縁膜6a, 6bを絶縁破壊させることから、その後、データを読み出す際、仮に一のメモリキャパシタ24aにてメモリゲート絶縁膜6に絶縁不良が生じていても、他のメモリキャパシタ24bからもデータを読み出し、これらメモリキャパシタ24a, 24

bの両方から読み出したデータの不一致により、データが書き込まれている状態であると推測できる。

[0113] 従って、本発明のアンチヒューズメモリ22cでは、従来のような複雑な回路構成を有した誤り訂正回路を設けなくても、データの書き込み有無を推測できることから、従来のような誤り訂正回路が不要となり、その分、回路構成を簡素化できる。また、本発明のアンチヒューズメモリ22cでは、データを読み出す際、メモリキャパシタ24a, 24bのデータを読み出し、単に2つのデータの論理和をとることで正確なデータを読み出すことできるので、従来のように誤り訂正回路にて複雑な論理計算を行う必要がない分、回路の規模を小さくでき、かつデータの読み出し速度の遅延を防止できる。

[0114] (2 - 5) 他の実施の形態による整流素子

なお、本発明は、本実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能であり、整流素子として、P型半導体領域28とN型半導体領域29とが接合したPN接合ダイオード型の半導体接合構造からなる整流素子23を適用した場合について述べたが、本発明はこれに限らず、P型半導体領域とN型半導体領域との間に真性半導体領域が設けられたPIN (P-Intrinsic-N) ダイオード型の半導体接合構造からなる整流素子を適用してもよい。

[0115] また、他の実施の形態による整流素子としては、図6Aとの対応部分に同一符号を付して示す図6Bのように、コンタクトC2が立設したP型半導体領域32の下部に、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbと、整流素子30のN型半導体領域33とを設けるようにしてもよい。

[0116] なお、この場合、整流素子30は、図示しない整流素子形成層ILb (図2) 上にN型半導体領域33が形成され、当該N型半導体領域33の端部に、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbがそれぞれ形成されている。また、整流素子30は、N型半導体領域33の膜厚と同じ膜厚に、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbが形成されており、N型半導体領域33とメモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbの各接合表面には段

差がなく全体として薄型化が図られている。

[0117] このような整流素子30を有したアンチヒューズメモリでも、例えばワード線WL1に印加された電圧が、コンタクトC2、整流素子30のP型半導体領域32、およびN型半導体領域33を介して各メモリキャパシタ24a, 24bのメモリゲート電極Ga, Gbに印加できる一方、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbからの電圧は、整流素子30において逆方向バイアスの電圧となり、N型半導体領域33およびP型半導体領域32間で遮断され、上述した実施の形態と同様の効果を得ることができる。

[0118] (3) 第3の実施の形態

(3 - 1) 第3の実施の形態による半導体記憶装置の構成

なお、上述した第2の実施の形態においては、1つの整流素子23に対して複数のメモリキャパシタ24a, 24bを設けたアンチヒューズメモリ22a, 22b, 22c, 22dについて述べたが、本発明はこれに限らず、メモリキャパシタ24a, 24bにそれぞれ個別に整流素子を設けたアンチヒューズメモリを適用してもよい。

[0119] 図5との対応部分に同一符号を付して示す図7は、第3の実施の形態によるアンチヒューズメモリ37a, 37b, 37c, 37dを設けた半導体記憶装置36を示す。ここで、これらアンチヒューズメモリ37a, 37b, 37c, 37dは全て同一構成を有しており、例えば1行1列目のアンチヒューズメモリ37aは、第1メモリ部38a1と第2メモリ部38a2とから構成されており、これら第1メモリ部38a1および第2メモリ部38a2により1ビットの情報を記憶し得るようになされている。

[0120] 實際上、アンチヒューズメモリ37aは、第1メモリ部38a1および第2メモリ部38a2が同一構成でなり、第1メモリ部38a1は、PN接合ダイオード型の半導体接合構造を有した整流作用を有する整流素子3aと、ワード線WL1および一のビット線BL11の電圧差により絶縁破壊されるメモリゲート絶縁膜6aを備えたメモリキャパシタ4aとで構成されている。また、第2メモリ部38a2は、PN接合ダイオード型の半導体接合構造を有した整流作用を有する整流素子3bと、ワード線WL1および他のビット線BL12の電圧差により絶縁破壊されるメモリゲート絶縁膜6bを備えたメモリキャパシタ4bとで構成されている。

- [0121] 第1メモリ部38a1および第2メモリ部38a2に設けた各整流素子3a, 3bは、P型半導体領域とN型半導体領域とが接合した構成を有しており、P型半導体領域がワード線WL1に接続されているとともに、N型半導体領域が対応するメモリキャパシタ4a, 4bのメモリゲート電極Ga, Gbに接続されている。これにより、アンチヒューズメモリ37aは、ワード線WL1から整流素子3a, 3bを介して各メモリゲート電極Ga, Gbへ電圧を印加する一方、各メモリゲート電極Ga, Gbからワード線WL1への電圧印加が整流素子3a, 3bで逆方向バイアスの電圧となり、整流素子3a, 3bによって各メモリゲート電極Ga, Gbからワード線WL1への電圧印加を遮断し得る。
- [0122] 實際上、このようなアンチヒューズメモリ37a, 37b, 37c, 37dが行列状に配置された半導体記憶装置36は、行方向に並ぶアンチヒューズメモリ37a, 37b (37c, 37d) にてワード線WL1 (WL2) を共有しているとともに、列方向に並ぶアンチヒューズメモリ37a, 37c (37b, 37d) にてビット線BL11, BL12 (BL21, BL22) を共有している。
- [0123] この場合、一のワード線WL1には、アンチヒューズメモリ37aの第1メモリ部38a1および第2メモリ部38a2に設けられた各整流素子3a, 3bと、当該アンチヒューズメモリ37aと同じ行にあるアンチヒューズメモリ37bの第1メモリ部38b1および第2メモリ部38b2に設けられた各整流素子3a, 3bとが接続されている。また、他の行に配置されたワード線WL2にも、行方向に並ぶアンチヒューズメモリ37c, 37dの第1メモリ部38c1, 38d1および第2メモリ部38c2, 38d2にそれぞれ設けられた各整流素子3a, 3bが接続されている。
- [0124] 一方、1列目に配置された一のビット線BL11には、アンチヒューズメモリ37aの第1メモリ部38a1に設けられたメモリキャパシタ4aと、当該アンチヒューズメモリ37aと同じ列にある他のアンチヒューズメモリ37cの第1メモリ部38c1に設けられたメモリキャパシタ4aとが接続されている。また、1列目に配置された他のビット線BL12には、アンチヒューズメモリ37aの第2メモリ部38a2に設けられたメモリキャパシタ4bと、当該アンチヒューズメモリ37aと同じ列にある他のアンチヒューズメモリ37cの第2メモリ部38c2に設けられたメモリ

キャパシタ4bとが接続されている。なお、2列目にあるビット線BL21, BL22も同様に、列方向に並ぶアンチヒューズメモリ37b, 37dの第1メモリ部38b1, 38d1および第2メモリ部38b2, 38d2にそれぞれ設けられた各メモリキャパシタ4a, 4bが接続されている。

[0125] (3 - 2) データの書き込み動作

この場合、第3の実施の形態による半導体記憶装置36でも、上述した「(2 - 2 - 1) 複数のメモリキャパシタに対し、同じデータを同時に書き込む場合」と、「(2 - 2 - 2) 複数のメモリキャパシタに対し、同じデータを順番に書き込む場合」とに従って、所定のアンチヒューズメモリ37cにのみデータを書き込むことができる。

[0126] ここで、例えば、図5に示したように、上述した第2の実施の形態によるアンチヒューズメモリ22cでは、メモリキャパシタ24a, 24bの各メモリゲート電極Ga, Gbが同じ整流素子23に接続されていることから、メモリキャパシタ24a, 24bの各メモリゲート絶縁膜6a, 6bが絶縁破壊されているとき、メモリキャパシタ24a, 24bが電氣的に接続されてしまうことが場合によっては考えられる。この場合、上述した第2の実施の形態によるアンチヒューズメモリ22cでは、これらメモリキャパシタ24a, 24bを介してビット線BL11, BL12が電氣的に接続されてしまい、上述した「(2 - 2 - 2) 複数のメモリキャパシタに対し、同じデータを順番に書き込む場合」を行う際、例えば一のビット線BL11に0 [V] の破壊ビット電圧が印加されていると、他のビット線BL12を3 [V] の非破壊ビット電圧に維持し難くなる。

[0127] これに対して、図7に示すように、第3の実施の形態によるアンチヒューズメモリ37cでは、メモリキャパシタ4a, 4b毎に整流素子3a, 3bを設け、メモリキャパシタ4a, 4b同士が電氣的に分離されていることから、メモリキャパシタ4a, 4bの各メモリゲート絶縁膜6a, 6bが絶縁破壊されても、メモリキャパシタ4a, 4bを介してビット線BL11, BL12が電氣的に接続されることもない。

[0128] よって、アンチヒューズメモリ37cでは、上述した「(2 - 2 - 2) 複数のメモリキャパシタに対し、同じデータを順番に書き込む場合」を行う際、例

例えば一のビット線BL11に0 [V] の破壊ビット電圧が印加されていても、他のビット線BL12を確実に3 [V] の非破壊ビット電圧に維持し得る。

[0129] また、第3の実施の形態による半導体記憶装置でも、上述した「(2-3) データの読み出し動作」により所望のアンチヒューズメモリ22cのデータを読み出すことができるため、ここではその説明は省略する。

[0130] (3-3) 作用および効果

以上の構成において、例えばデータを書き込まないアンチヒューズメモリ37bでも、上述と同様に、一のメモリキャパシタ4aに接続された一のビット線BL21や、他のメモリキャパシタ4bに接続された他のビット線BL22にそれぞれ高電圧の非破壊ビット電圧が印加された際、メモリキャパシタ4a, 4bの各メモリゲート絶縁膜6a, 6bが既に絶縁破壊されていても、書き込み非選択ワード線WLbに0[V]の非破壊ワード電圧が印加されているため、メモリキャパシタ4a, 4bにチャネルが形成されず、書き込み非選択ビット線BLbからワード線WL1への電圧印加をメモリキャパシタ4a, 4bで遮断できる。

[0131] この際、本発明のアンチヒューズメモリ37bでも、例えば書き込み非選択ビット線BL1b, BL2bが接続されている拡散領域に極めて近い箇所でメモリゲート絶縁膜6a, 6bの絶縁破壊が生じ、仮に書き込み非選択ビット線BL21bの電位がメモリキャパシタ4のチャネルで遮断できず、書き込み非選択ビット線BL1b, BL2bからメモリキャパシタ4a, 4bの各メモリゲート電極Ga, Gbに非破壊ビット電圧が印加されてしまっても、当該非破壊ビット電圧が整流素子3a, 3bで逆方向バイアスの電圧となるため、当該整流素子3a, 3bによってメモリゲート電極Ga, Gbからワード線WL1への電圧印加を確実に遮断できる。

[0132] 従って、アンチヒューズメモリ37bでも、第1の実施の形態と同様に、従来のような制御回路を用いずに、メモリゲート電極Ga, Gbおよびワード線WL1へ印加される電圧値によって、メモリゲート電極Ga, Gbからワード線WL1への電圧印加が逆方向バイアスの電圧となるような半導体接合構造の整流素子3a, 3bを設け、当該整流素子3a, 3bによってメモリゲート電極Ga, Gbからワード線WL1への電圧印加を遮断するようにしたことから、従来のようなメモリキャパシ

タへの各電圧印加を選択的に行うスイッチトランジスタや、スイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不要となり、その分、小型化を図り得る。

[0133] また、この第3の実施の形態によるアンチヒューズメモリ37a, 37b, 37c, 37dでも、データが書き込まれる際、対となるメモリキャパシタ4a, 4b両方のメモリゲート絶縁膜6a, 6bを絶縁破壊させることから、その後、データを読み出す際、仮に一のメモリキャパシタ4aにてメモリゲート絶縁膜6aに絶縁不良が生じていても、他のメモリキャパシタ4bからデータが書き込まれている状態であると情報を確定でき、上述した第2の実施の形態と同様の効果を得ることができる。

[0134] さらに、アンチヒューズメモリ37a, 37b, 37c, 37dでは、メモリキャパシタ4a, 4b毎にそれぞれ異なる整流素子3a, 3bを設け、メモリキャパシタ4a, 4b同士を電氣的に分離させたことにより、メモリキャパシタ4a, 4bの各メモリゲート絶縁膜6a, 6bが絶縁破壊されても、メモリキャパシタ4a, 4bにより一のビット線BL1と他のビット線BL2とか電氣的に接続されてしまうことを防止できる。

[0135] (4) 第4の実施の形態

(4 - 1) 第4の実施の形態による半導体記憶装置の構成

図5との対応部分に同一符号を付して示す図8は、第4の実施の形態による半導体記憶装置41を示し、上述した第2の実施の形態による半導体記憶装置21と同様に、複数のメモリキャパシタ44a, 44bにて1つの整流素子23を共有するアンチヒューズメモリ42a, 42b, 42c, 42dを有しているが、各アンチヒューズメモリ42a, 42b, 42c, 42dにてメモリキャパシタ44a, 44bで同じビット線BL1, BL2を共有している点で第2の実施の形態による半導体記憶装置21と構成が相違している。

[0136] これにより、半導体記憶装置41では、上述した第2の実施の形態による半導体記憶装置21に比べてビット線本数を減らせる分だけ、回路構成を簡素化し得る。實際上、この半導体記憶装置41は、行方向に並ぶアンチヒューズメモリ42a, 42b (42c, 42d) にてワード線WL1 (WL2) を共有しているとともに、

列方向に並ぶアンチヒューズメモリ42a, 42c (42b, 42d) にてビット線BL1 (BL2) を共有している。

[0137] 各アンチヒューズメモリ42a, 42b, 42c, 42dは全て同一構成を有しており、例えば1行1列目のアンチヒューズメモリ42aは、PN接合ダイオード型の半導体接合構造を有した整流作用を有する整流素子23と、ワード線WL1およびビット線BL1の電圧差により絶縁破壊されるメモリゲート絶縁膜6aを備えた一のメモリキャパシタ44aと、同じくワード線WL1およびビット線BL1の電圧差により絶縁破壊されるメモリゲート絶縁膜6bを備えた他のメモリキャパシタ44bとから構成されている。

[0138] この実施の形態の場合、整流素子23は、P型半導体領域とN型半導体領域とが接合した構成を有しており、P型半導体領域がワード線WL1に接続されているとともに、N型半導体領域がメモリキャパシタ44a, 44bの各メモリゲート電極Ga, Gbに接続されている。これにより、例えばアンチヒューズメモリ42aは、ワード線WL1から整流素子23を介して複数のメモリゲート電極Ga, Gbへ電圧を一律に印加する一方、各メモリゲート電極Ga, Gbからワード線WL1への電圧印加が整流素子23で逆方向バイアスの電圧となり、整流素子23によってメモリゲート電極Ga, Gbからワード線WL1への電圧印加を遮断し得る。

[0139] また、アンチヒューズメモリ42aは、一のメモリキャパシタ44aの一端の拡散領域と、他のメモリキャパシタ44bの一端の拡散領域とが同じビット線BL1に接続されており、これらメモリキャパシタ44a, 44bに対して当該ビット線BL1により同じ電圧が一律に印加され得る。

[0140] このようなアンチヒューズメモリ42aは、ワード線WL1に印加された電圧が整流素子23を介してメモリキャパシタ44a, 44bの各メモリゲート電極Ga, Gbに一律に印加され、各メモリゲート電極Ga, Gbと、ビット線BL1との間に大きな電圧差が生じることにより、メモリキャパシタ44a, 44bの各メモリゲート絶縁膜6a, 6bが絶縁破壊し、メモリキャパシタ44a, 44bに同じデータが同時に書き込まれ得る。

[0141] (4 - 2) データの書き込み動作

この場合、第4の実施の形態による半導体記憶装置41でも、上述した「(2-2-1)複数のメモリキャパシタに対し、同じデータを同時に書き込む場合」に従って、例えば所定のアンチヒューズメモリ42cにのみデータを書き込むことができる。半導体記憶装置41において、例えば2行1列目のアンチヒューズメモリ42cのメモリキャパシタ44a, 44bにのみデータを書き込む場合には、図8に示すように、データを書き込むアンチヒューズメモリ42c(書き込み選択メモリ2W)が接続されたビット線BL1(書き込み選択ビット線BLa)に0[V]の破壊ビット電圧が印加され、データを書き込まないアンチヒューズメモリ42b, 42d(書き込み非選択メモリ2N)のみが接続されたビット線BL2(書き込み非選択ビット線BLb)に3[V]の非破壊ビット電圧が印加され得る。

[0142] また、この際、半導体記憶装置41には、書き込み選択メモリ2Wが接続されたワード線WL2(書き込み選択ワード線WL a)に5[V]の破壊ワード電圧が印加され、データを書き込まないアンチヒューズメモリ42a, 42b(書き込み非選択メモリ2N)のみが接続されたワード線WL1(書き込み非選択ワード線WL b)に0[V]の非破壊ワード電圧が印加され得る。

[0143] 例えばビルトインポテンシャルを0.7[V]とした場合、書き込み選択メモリ2Wにおいてメモリキャパシタ44a, 44bでは、整流素子23から各メモリゲート電極Ga, Gbにそれぞれ破壊ワード電圧が印加されると、各メモリゲート電極Ga, Gbと、書き込み選択ビット線BLaが接続された拡散領域との間にそれぞれ破壊ビット電圧および破壊ワード電圧による4.3[V]の電圧差が生じ得る。かくして、書き込み選択メモリ2Wでは、メモリキャパシタ44a, 44bにおいて、それぞれメモリゲート電極Ga, Gb下部のメモリゲート絶縁膜6a, 6bが絶縁破壊されて、メモリゲート電極Ga, Gbと拡散領域とが低抵抗で導通状態となり、メモリキャパシタ44a, 44bに同じデータが書き込まれた状態となり得る。

[0144] 因みに、書き込み非選択ビット線BLbから3[V]の非破壊ビット電圧が印加されるアンチヒューズメモリ42bでは、例えばメモリキャパシタ44a, 44bの各メモリゲート絶縁膜6a, 6bが絶縁破壊されている場合でも、書き込み非選択ワード線WLbに0[V]の非破壊ワード電圧が印加されているため、メモリキャパシ

タ4にチャネルが形成されず、書き込み非選択ビット線BLbの3[V]の非破壊ビット電圧がメモリキャパシタ44a, 44bで遮断されることから、当該非破壊ビット電圧が、絶縁破壊されたメモリゲート絶縁膜6a, 6bを介してメモリゲート電極Ga, Gbへ印加されることはない。

[0145] しかしながら、メモリゲート絶縁膜6a, 6bの絶縁破壊された箇所が、例えば書き込み非選択ビット線BLbが接続されている拡散領域に極めて近い箇所であったときには、書き込み非選択ビット線BLbの電位がメモリキャパシタ44a, 44bのチャネルで遮断できず、当該拡散領域に印加された3[V]の非破壊ビット電圧が、メモリゲート電極Ga, Gbに印加されてしまうことがある。

[0146] このような場合であっても、アンチヒューズメモリ22bでは、N型半導体領域およびP型半導体領域の半導体接合構造により整流作用を有した整流素子23が、メモリキャパシタ44a, 44bの各メモリゲート電極Ga, Gbと、ワード線WL1との間に設けられていることから、各メモリゲート電極Ga, Gbから整流素子23に非破壊ビット電圧が印加されても、当該非破壊ビット電圧が整流素子23において逆方向バイアスの電圧となり、当該整流素子23によってワード線WL1へ電圧が印加されてしまうことを防止し得る。

[0147] なお、データを書き込まない他のアンチヒューズメモリ42a, 42b, 42dについては、上述した「(2-2-1)複数のメモリキャパシタに対し、同じデータを同時に書き込む場合」と説明が重複するためその説明は省略する。

[0148] また、第4の実施の形態による半導体記憶装置41でも、上述した「(2-3)データの読み出し動作」により所望のアンチヒューズメモリ42cのデータを読み出すことができるため、ここではその説明は省略する。

[0149] (4-3)作用および効果

以上の構成において、例えばデータを書き込まないアンチヒューズメモリ42bでは、上述と同様に、例えば書き込み非選択ビット線BLbが接続されている拡散領域に極めて近い箇所でメモリゲート絶縁膜6a, 6bの絶縁破壊が生じてしまい、書き込み非選択ビット線BLbの電位がメモリキャパシタ44a, 44bのチャネルで遮断できず、仮に書き込み非選択ビット線BLbからメモリキャパシタ44

a, 44bのメモリゲート電極Ga, Gbに非破壊ビット電圧が印加されてしまっても、当該非破壊ビット電圧が整流素子23で逆方向バイアスの電圧となるため、当該整流素子23によって各メモリゲート電極Ga, Gbからワード線WL1への電圧印加を確実に遮断できる。

[0150] 従って、アンチヒューズメモリ42bでも、第1の実施の形態と同様に、従来のような制御回路を用いずに、メモリゲート電極Ga, Gbおよびワード線WL1の電圧値によって、メモリゲート電極Ga, Gbからワード線WL1への電圧印加が逆方向バイアスの電圧となるような半導体接合構造の整流素子23を設け、当該整流素子23によってメモリゲート電極Ga, Gbからワード線WL1への電圧印加を確実に遮断するようにしたことから、従来のようなメモリキャパシタへの各電圧印加を選択的に行うスイッチトランジスタや、スイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不要となり、その分、小型化を図り得る。

[0151] また、この第4の実施の形態によるアンチヒューズメモリ42cでは、データが書き込まれる際、メモリキャパシタ44a, 44b両方のメモリゲート絶縁膜6a, 6bを絶縁破壊させることから、その後、データを読み出す際、仮に一のメモリキャパシタ44aにてメモリゲート絶縁膜6aに絶縁不良が生じていても、他のメモリキャパシタ44bからデータが書き込まれている状態であると情報を確定でき、上述した第2の実施の形態と同様の効果を得ることができる。

[0152] また、例えばアンチヒューズメモリ42aでは、複数のメモリキャパシタ44a, 44bで1本のビット線BL1を共有していることから、メモリキャパシタ44a, 44b毎にそれぞれビット線を設ける場合に比べて、ビット線本数を減らすことができ、その分、回路構成を簡素化し得る。

[0153] なお、上述した第4の実施の形態においては、複数のメモリキャパシタ44a, 44bに対して1つの整流素子23を設けたアンチヒューズメモリ42aを適用し、複数のメモリキャパシタ44a, 44bにてビット線BL1を共有させるようにした場合について述べたが、本発明はこれに限らず、メモリキャパシタ44a, 44b毎にそれぞれ個別に整流素子23を設けたアンチヒューズメモリを適用し、複数の

メモリキャパシタ44a, 44bにてビット線BL1を共有させるようにしてもよい。

[0154] (5) 第5の実施の形態

(5-1) N型MOS (Metal-Oxide-Semiconductor) トランジスタからなる整流素子を有したアンチヒューズメモリ

上述した第1～第4の実施の形態においては、整流素子として、P型半導体領域とN型半導体領域とを備え、逆方向バイアスの電圧によりメモリゲート電極からの電圧を遮断するダイオード型の半導体接合構造を有した整流素子3, 11a, 11b, 16a, 16b, 23, 30, 3a, 3bを適用する場合について述べたが、本発明はこれに限らず、例えば、整流素子ゲート電極とドレイン領域とソース領域とを備え、逆方向バイアスの電圧により、メモリキャパシタのメモリゲート電極からの電圧を遮断するMOSトランジスタ型の半導体接合構造を有した整流素子を適用してもよい。

[0155] 図9Aは、N型MOSトランジスタの半導体接合構造を有した整流素子46と、ワード線WLおよびビット線BLの電圧差により絶縁破壊されるメモリゲート絶縁膜48を備えたメモリキャパシタ47とを有するアンチヒューズメモリ45を示す。この場合、メモリキャパシタ47には、一端の拡散領域にビット線BLが接続されており、メモリゲート電極G1に整流素子46が接続されている。整流素子46は、整流素子ゲート電極G2と、ドレイン領域とがワード線WLに接続されているとともに、ソース領域がメモリキャパシタ47のメモリゲート電極G1に接続された構成を有する。これにより整流素子46は、ワード線WLからオフ電圧が印加される限り、当該整流素子46のトランジスタがオフ動作し、メモリゲート電極G1からワード線WLへの電圧印加を遮断し得るようになされている。

[0156] ここで、このようなMOSトランジスタ構造の整流素子46を備えたアンチヒューズメモリ45は、整流素子46の整流素子ゲート電極G2と、メモリキャパシタ47のメモリゲート電極G1とが同じ配線層（同層）に形成されており、また、整流素子ゲート電極G2の膜厚と、メモリキャパシタ47のメモリゲート電極G1とが同じ膜厚に形成されている。これにより、アンチヒューズメモリ45

でも、全体として薄型化が図られている。

[0157] (5 - 2) データの書き込み動作

ここで、行列状に並んだアンチヒューズメモリ45のうち、所定のアンチヒューズメモリ45にだけデータを書き込む場合には、図1に示した半導体記憶装置1と同様に、データを書き込むアンチヒューズメモリ45が接続されたビット線BLには0 [V] の破壊ビット電圧が印加され、データを書き込まないアンチヒューズメモリ45のみが接続されたビット線BLには3 [V] の非破壊ビット電圧が印加され得る。

[0158] また、この際、データを書き込むアンチヒューズメモリ45が接続されたワード線WLには、5 [V] の破壊ワード電圧が印加され、データが書き込まれないアンチヒューズメモリ45のみが接続されたワード線WLには、0 [V] の非破壊ワード電圧が印加され得る。なお、アンチヒューズメモリ45が形成されたウエルには、破壊ビット電圧と同じ0[V]が印加され得る。

[0159] 従って、例えばデータを書き込むアンチヒューズメモリ45では、例えばビット線BLに0 [V] の破壊ビット電圧が印加され、ワード線WLに5 [V] の破壊ワード電圧が印加され得る。この際、整流素子46は、ワード線WLから整流素子ゲート電極G2に5[V]の破壊ワード電圧が印加されているため、整流素子ゲート電極G2およびソース領域の電圧差によりオン動作し、その結果、ドレイン領域からソース領域に順方向バイアスの電圧がかかり、ドレイン領域からソース領域を介して、閾値電圧分 (V_{th} 分) 下がった破壊ワード電圧をメモリキャパシタ47のメモリゲート電極G1に印加し得る。この際、メモリキャパシタ47は、メモリゲート電極G1の破壊ワード電圧と、ビット線BLの破壊ビット電圧との関係からオン動作しチャンネルが形成されて、チャンネルにビット線BLの電位が誘導され得る。

[0160] これによりメモリキャパシタ47には、メモリゲート電極G1とチャンネルとの間に破壊ビット電圧および破壊ワード電圧による電圧差が生じ得る。かくして、データが書き込まれるアンチヒューズメモリ45では、メモリキャパシタ47においてメモリゲート電極G1下部のメモリゲート絶縁膜48が絶縁破壊され、

メモリゲート電極G1と拡散領域が低抵抗で導通状態となり、メモリキャパシタ47にデータが書き込まれた状態となり得る。

[0161] 一方、ビット線BLに3[V]の非破壊ビット電圧が印加されるとともに、ワード線WLに0[V]の非破壊ワード電圧が印加される、データが書き込まれないアンチヒューズメモリ45では、例えばメモリキャパシタ47のメモリゲート絶縁膜48が既に絶縁破壊されているとき、ビット線BLの3[V]の非破壊ビット電圧がメモリキャパシタ47のメモリゲート電極G1を介して整流素子46のソース領域まで印加され得る。この際、アンチヒューズメモリ45では、ワード線WLに0[V]の非破壊ワード電圧が印加されているため、整流素子46の整流素子ゲート電極G2とドレインとが0[V]となり、当該整流素子46がオフ状態（非導通状態）となる。これにより、アンチヒューズメモリ45では、仮にソースに3[V]の非破壊ビット電圧が印加されたとしても、その電位を整流素子46で遮断でき、当該非破壊ビット電圧がワード線WLに伝わることを防止し得る。

[0162] 因みに、ワード線WLから5[V]の破壊ワード電圧が印加され、かつビット線BLから3[V]の非破壊ビット電圧が印加される、データが書き込まれないアンチヒューズメモリ45では、整流素子46からメモリキャパシタ47のメモリゲート電極G1に、閾値電圧分下がった破壊ワード電圧が印加されるものの、メモリゲート電極G1とチャネルおよび拡散領域との電圧差が小さくなるため、仮にメモリキャパシタ47においてメモリゲート絶縁膜48が絶縁破壊していないときでも、当該メモリゲート絶縁膜48が絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。

[0163] なお、このような構成を有したアンチヒューズメモリ45が行列状に配置された半導体記憶装置でも、上述した「(1-3)データの読み出し動作」により所望のアンチヒューズメモリ45のデータを読み出すことができるため、ここではその説明は省略する。

[0164] (5-3) 作用および効果

以上の構成において、データを書き込まないアンチヒューズメモリ45でも、上述と同様に、メモリキャパシタ47に接続されたビット線BLに高電圧の非

破壊ビット電圧が印加された際、例えばメモリキャパシタ47のメモリゲート絶縁膜48が絶縁破壊されていても、整流素子46のチャネルをオフ状態（非導通状態）とさせることで、メモリキャパシタ47のメモリゲート電極G1からワード線WLへの非破壊ビット電圧の印加を遮断するようにした。

[0165] 従って、アンチヒューズメモリ45でも、第1の実施の形態と同様に、従来のような制御回路を用いずに、メモリゲート電極G1およびワード線WLの電圧値によって、メモリゲート電極G1からワード線WLへの電圧印加をオフ動作で遮断するトランジスタ構造の整流素子46を設けるようにしたことから、メモリキャパシタ47への各電圧印加を選択的に行うスイッチトランジスタや、スイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不要となり、その分、小型化を図り得る。

[0166] （6）第6の実施の形態

（6 - 1）P型MOSトランジスタからなる整流素子を有したアンチヒューズメモリ

上述した第5の実施の形態においては、N型MOSトランジスタでなる整流素子46を設けたアンチヒューズメモリ45について述べたが、本発明はこれに限らず、図9Bに示すように、P型MOSトランジスタでなる整流素子51を設けたアンチヒューズメモリ50を適用してもよい。この場合、アンチヒューズメモリ50は、P型MOSトランジスタの半導体接合構造を有した整流素子51と、ビット線BLおよびメモリゲート電極G1間の電圧差により絶縁破壊されるメモリゲート絶縁膜48を備えたメモリキャパシタ47とを備える。

[0167] この場合、メモリキャパシタ47には、一端の拡散領域にビット線BLが接続されており、メモリゲート電極G1に整流素子51が接続されている。整流素子51は、整流素子ゲート電極G2と、ドレイン領域とがメモリキャパシタ47のメモリゲート電極G1に接続されているとともに、ウエルがウエル制御端子VNWに接続され、さらにソース領域がワード線WLに接続された構成を有する。これにより整流素子51は、ワード線WLからオン電圧が印加されない限りオフ動作するため、メモリゲート電極G1からワード線WLへの電圧印加を遮断し得るよう

になされている。

[0168] ここで、このようなMOSトランジスタ構造の整流素子51を備えたアンチヒューズメモリ50でも、整流素子51の整流素子ゲート電極G2と、メモリキャパシタ47のメモリゲート電極G1とが同じ配線層（同層）に形成されており、また、整流素子ゲート電極G2の膜厚と、メモリキャパシタ47のメモリゲート電極G1とが同じ膜厚に形成されている。これにより、アンチヒューズメモリ50でも、全体として薄型化が図られている。

[0169] このようなアンチヒューズメモリ50では、データ書き込み動作時、ワード線WLに5[V]の破壊ワード電圧が印加され、ビット線BLに0[V]の破壊ビット電圧が印加され得る。また、整流素子51が形成されたウエルには、ウエル制御端子NVWから破壊ワード電圧と同じ5[V]が印加され得る。仮に整流素子51のソース領域の電位が0[V]程度であったとすると、整流素子51はオン動作し、その閾値電圧を-0.7[V]とすれば、ソース領域は4.3[V]まで充電されることになる。

[0170] これによりメモリキャパシタ47では、整流素子51からメモリゲート電極G1に5[V]の破壊ワード電圧が印加され、この際、ビット線が0[V]のためオン動作し、チャネル電位も0Vとなる。その結果、メモリキャパシタ47では、メモリゲート電極G1と、チャネルおよび拡散領域との間に破壊ビット電圧および破壊ワード電圧による大きな電圧差が生じ得る。かくして、データが書き込まれるアンチヒューズメモリ50では、メモリキャパシタ47においてメモリゲート電極G1下部のメモリゲート絶縁膜48が絶縁破壊され、メモリゲート電極G1と拡散領域が低抵抗で導通状態となり、メモリキャパシタ47にデータが書き込まれた状態となり得る。

[0171] なお、上述した「（5 - 2）データの書き込み動作」と同様に、ビット線BLに3[V]の非破壊ビット電圧が印加されるとともに、ワード線WLに0[V]の非破壊ワード電圧が印加される、データが書き込まれないアンチヒューズメモリ50では、例えばメモリキャパシタ47のメモリゲート絶縁膜48が既に絶縁破壊されている場合、ビット線BLの3[V]の非破壊ビット電圧が、メモリキ

ャパシタ47のメモリゲート電極G1を介して整流素子51のソース領域まで印加され得る。しかしその場合、整流素子51がオフ動作しているため、アンチヒューズメモリ50では、ビット線BLの3[V]の非破壊ビット電圧が、ワード線WLに印加されることを防止し得、ワード線WLの電位が変化することはない。

[0172] 因みに、ワード線WLに5[V]の破壊ワード電圧が印加され、かつビット線BLに3[V]の非破壊ビット電圧が印加される、データが書き込まれないアンチヒューズメモリ50では、メモリキャパシタ47においてメモリゲート電極G1と拡散領域との電圧差が小さくなるため、仮にメモリキャパシタ47においてメモリゲート絶縁膜48が絶縁破壊していないときでも、当該メモリゲート絶縁膜48が絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。

[0173] なお、このような構成を有したアンチヒューズメモリ50を行列状に配置させた半導体記憶装置でも、上述した「(1 - 3)データの読み出し動作」により所望のアンチヒューズメモリ50のデータを読み出すことができるため、ここではその説明は省略する。

[0174] (6 - 2) 作用および効果

以上の構成において、データを書き込まないアンチヒューズメモリ50でも、上述と同様に、メモリキャパシタ47に接続されたビット線BLに高電圧の非破壊ビット電圧が印加された際、例えばメモリキャパシタ47のメモリゲート絶縁膜48が絶縁破壊されていても、整流素子51のチャネルをオフ状態（非導通状態）とさせることで、メモリキャパシタ47のメモリゲート電極G1からワード線WLへの非破壊ビット電圧の印加を遮断するようにした。

[0175] 従って、アンチヒューズメモリ50でも、第1の実施の形態と同様に、従来のような制御回路を用いずに、メモリゲート電極G1およびワード線WLの電圧値によって、メモリゲート電極G1からワード線WLへの電圧印加をオフ動作で遮断するトランジスタ構造の整流素子51を設けるようにしたことから、メモリキャパシタ47への各電圧印加を選択的に行うスイッチトランジスタや、スイッチトランジスタにオンオフ動作を行わせるためのスイッチ制御回路が不

要となり、その分、小型化を図り得る。

[0176] (7) 他の実施の形態

(7-1) N型MOSトランジスタからなる整流素子と複数のメモリキャパシタからなるアンチヒューズメモリ

図10は、複数のアンチヒューズメモリ56a, 56b, 56c, 56dが行列状に配置された半導体記憶装置55を示す。ここで、各アンチヒューズメモリ56a, 56b, 56c, 56dは全て同一構成を有しており、例えば1行1列目のアンチヒューズメモリ56aは、N型MOSトランジスタでなる整流素子46に対して複数のメモリキャパシタ47a, 47b, 47cが接続された構成を有する。この半導体記憶装置55は、各アンチヒューズメモリ56a, 56b, 56c, 56d毎にそれぞれ1ビットのデータを記憶し得るようになされており、各アンチヒューズメモリ56a, 56b, 56c, 56dにおいて複数のメモリキャパシタ47a, 47b, 47cで同じデータを記憶し得るようにされている。

[0177] この場合、半導体記憶装置55は、行方向に並ぶアンチヒューズメモリ56a, 56b (56c, 56d) にてワード線WL1 (WL2) を共有しているとともに、列方向に並ぶアンチヒューズメモリ56a, 56c (56b, 56d) にて複数のビット線BL11, BL12, BL13 (BL21, BL22, BL23) を共有している。

[0178] 實際上、アンチヒューズメモリ56aには、例えばメモリキャパシタ47a, 47b, 47cの一端の拡散領域に、それぞれ対応するビット線BL11, BL12, BL13が設けられている。ここで、各メモリキャパシタ47a, 47b, 47cは全て同一構成を有しており、例えばメモリキャパシタ47aは、ビット線BL11およびメモリゲート電極G1の電圧差により絶縁破壊されるメモリゲート絶縁膜48を有している。

[0179] また、この実施の形態の場合、各メモリキャパシタ47a, 47b, 47cは、1つの整流素子46を共有しており、各メモリゲート電極G1は整流素子46のソース領域に接続されている。整流素子46は、整流素子ゲート電極G2とドレイン領域とがワード線WLに接続されており、メモリゲート電極G1およびワード線WL1との電圧値によってオフ動作し、各メモリキャパシタ47a, 47b, 47cのメモリゲート電極G1からソース領域へ印加された電圧が、ワード線WL1に印加されること

を防止し得るようになされている。

[0180] かくして、アンチヒューズメモリ56a, 56b, 56c, 56dは、ワード線WL1, WL2から整流素子46を介してメモリキャパシタ47a, 47b, 47cの各メモリゲート電極G1へ同じ電圧を一律に印加する一方で、メモリキャパシタ47a, 47b, 47cの各メモリゲート電極G1からワード線WL1, WL2への電圧印加が、整流素子46のオフ動作によって遮断され得る。

[0181] ここで、図10は、例えば2行1列目のアンチヒューズメモリ56cの各メモリキャパシタ47a, 47b, 47cにのみデータを同時に書き込み、他のアンチヒューズメモリ56a, 56b, 56dにはデータを書き込まないときの各部位の電圧値を示している。この場合、半導体記憶装置55には、データを書き込むアンチヒューズメモリ56c（書き込み選択メモリ2W）が接続されたビット線BL11, BL12, BL13（書き込み選択ビット線BL1a, BL2a, BL3a）にそれぞれ0[V]の破壊ビット電圧が印加され、データを書き込まないアンチヒューズメモリ56b, 56d（書き込み非選択メモリ2N）のみが接続されたビット線BL21, BL22, BL23（書き込み非選択ビット線BL1b, BL2b, BL3b）にそれぞれ3[V]の非破壊ビット電圧が印加され得る。

[0182] また、この際、半導体記憶装置55には、データを書き込むアンチヒューズメモリ56cが接続されたワード線WL2（書き込み選択ワード線WL_a）に5[V]の破壊ワード電圧が印加され、データを書き込まないアンチヒューズメモリ56a, 56b（書き込み非選択メモリ2N）のみが接続されたワード線WL1（書き込み非選択ワード線WL_b）に0[V]の非破壊ワード電圧が印加され得る。

[0183] これにより、データが書き込まれるアンチヒューズメモリ56cの各メモリキャパシタ47a, 47b, 47cでは、整流素子46から各メモリゲート電極G1にそれぞれ破壊ワード電圧が印加され、各メモリゲート電極G1と拡散領域との間でそれぞれ破壊ビット電圧および破壊ワード電圧による電圧差が生じ得る。かくして、データが書き込まれるアンチヒューズメモリ56cでは、各メモリキャパシタ47a, 47b, 47cにおいて、それぞれメモリゲート絶縁膜48が絶縁破壊されて、メモリゲート電極G1と拡散領域とが低抵抗で導通状態となり、各メモリキャ

パシタ47a, 47b, 47cに同じデータが書き込まれた状態となり得る。

[0184] また、3 [V] の非破壊ビット電圧が印加されるビット線BL21, BL22, BL23 (書き込み非選択ビット線BL1b, BL2b, BL3b) に接続され、データが書き込まれない他のアンチヒューズメモリ56b, 56dでは、メモリキャパシタ47a, 47b, 47cにおいて各メモリゲート電極G1と拡散領域との電圧差が小さくなるため、各メモリキャパシタ47a, 47b, 47cにおいてそれぞれメモリゲート絶縁膜48が絶縁破壊していないときでも、当該メモリゲート絶縁膜48が絶縁破壊されずに絶縁状態のままとなり、データが書き込まれない状態が維持され得る。

[0185] なお、データを書き込まないアンチヒューズメモリ56bでは、仮にメモリゲート絶縁膜48が絶縁破壊されていても、整流素子46が各メモリキャパシタ47a, 47b, 47cのメモリゲート電極G1と、ワード線WL1との間に設けられていることにより、当該整流素子46がオフ動作することで、メモリゲート電極G1から整流素子46への非破壊ビット電圧の印加を遮断し得る。

[0186] 因みに、このような図10に示す半導体記憶装置55でも、上述した「(2-2-2) 複数のメモリキャパシタに対し、同じデータを順番に書き込む場合」と同様のデータ書き込み動作を実行し得、所定のアンチヒューズメモリ56cにおいて各メモリキャパシタ47a, 47b, 47cに対し、同じデータを順番に書き込むことができる。

[0187] (7-2) F i n F E T (Fin Field Effect Transistor: フィン型電界効果トランジスタ) でなるメモリキャパシタ

なお、上述した第1～第6の実施の形態においては、拡散領域やチャネルが平面状に並んだ平面型(プレーナ型)トランジスタでなるメモリキャパシタ4, 4a, 4b, 24a, 24b, 44a, 44b, 47, 47a, 47b, 47cを備えたアンチヒューズメモリ2a, 2b, 2c, 2d, 22a, 22b, 22c, 22d, 37a, 37b, 37c, 37d, 42a, 42b, 42c, 42d, 45, 50, 56a, 56b, 56c, 56dについて述べたが、本発明はこれに限らず、図11に示すようなF i n F E Tでなるメモリキャパシタ64を備えたアンチヒューズメモリ61としてもよい。

[0188] この場合、アンチヒューズメモリ61は、素子分離層S3がP型またはN型の

ウエルS2上に形成されており、当該ウエルS2上に同じくウエルで立方体状に形成された拡散領域形成部M1が立設され、素子分離層S3表面から当該拡散領域形成部M1の先端が突出した構成を有する。また、アンチヒューズメモリ61は、拡散領域形成部M1の長手方向と直交するように帯状の整流素子形成部M2が素子分離層S3の表面に形成されており、当該素子分離層S3の表面から突出した拡散領域形成部M1の一部が整流素子形成部M2により覆われた構成を有する。

[0189] 拡散領域形成部M1には、整流素子形成部M2から露出した領域にメモリキャパシタ64の拡散領域68が形成されており、当該拡散領域68にビット線BLが接続されている。また、整流素子形成部M2には、拡散領域形成部M1を覆う領域にメモリゲート電極G10が形成されており、当該メモリゲート電極G10との間にメモリゲート絶縁膜69が形成されている。

[0190] また、整流素子形成部M2には、拡散領域形成部M1を覆う一部の領域に整流素子63のN型半導体領域67が形成されており、当該N型半導体領域67とメモリゲート電極G10とが接合した構成を有する。素子分離層S3の表面に形成された整流素子形成部M2の一端側にはN型半導体領域67と接合するようにP型半導体領域66が形成されており、PN接合ダイオードを構成した整流素子63が配置されている。さらに、整流素子63のP型半導体領域66はワード線WLに接続されている。

[0191] このような構成を有するアンチヒューズメモリ61でも、ワード線WLから整流素子63を介してメモリキャパシタ64のメモリゲート電極G10へ電圧を印加する一方で、メモリキャパシタ64のメモリゲート電極G10およびワード線WLの電圧値によって、当該メモリゲート電極G10からワード線WLへの電圧印加が、整流素子63で逆方向バイアスの電圧となり、当該整流素子63によってメモリゲート電極G10からワード線WLへの電圧印加を遮断し得る。かくして、アンチヒューズメモリ61でも上述した実施の形態と同様の効果を得ることができる。

[0192] (7 - 3) その他

なお、本発明は、本実施形態に限定されるものではなく、本発明の要旨の

範囲内で種々の変形実施が可能であり、例えば上述した第1～第6の実施の形態に示すアンチヒューズメモリ2a, 2b, 2c, 2d, 22a, 22b, 22c, 22d, 37a, 37b, 37c, 37d, 42a, 42b, 42c, 42d, 45, 50, 56a, 56b, 56c, 56dや、図11に示すF i n F E Tからなるアンチヒューズメモリ61については、適宜組み合わせるようにしてもよい。また、他の実施の形態として、上述した第1～第6の実施の形態に、図9Aに示したN型トランジスタの整流素子46や、図9Bに示したP型トランジスタの整流素子51、図11に示すF i n F E Tからなるアンチヒューズメモリ61等を適宜組み合わせるようにしてもよい。さらに、例えば、図10に示すアンチヒューズメモリ56a, 56b, 56c, 56dにおいて、N型トランジスタの整流素子46に替えて、P型トランジスタでなる整流素子51を用いても良く、さらには、各メモリキャパシタ毎にそれぞれ個別に整流素子を設けるようにしてもよい。

符号の説明

- [0193] 1, 21, 36, 41, 55 半導体記憶装置
- 2a, 2b, 2c, 2d, 22a, 22b, 22c, 22d, 37a, 37b, 37c, 37d, 42a, 42b, 42c, 42d, 45, 50, 56a, 56b, 56c, 56d, 61 アンチヒューズメモリ
- 3, 3a, 3b, 11a, 11b, 16a, 16b, 23, 30, 46, 51, 63 整流素子
- 4, 4a, 4b, 24a, 24b, 44a, 44b, 47, 47a, 47b, 47c, 64 メモリキャパシタ
- G, Ga, Gb, G1 メモリゲート電極
- 6, 6a, 6b, 48 メモリゲート絶縁膜
- S2 ウエル

請求の範囲

- [請求項1] メモリゲート絶縁膜を介してメモリゲート電極が設けられ、ウエルに形成された一方の拡散領域にビット線が接続されたメモリキャパシタと、
- 前記メモリゲート電極とワード線との間に設けられ、前記ワード線から前記メモリゲート電極へ電圧を印加する一方、前記メモリゲート電極および前記ワード線へ印加される電圧値により前記メモリゲート電極から前記ワード線への電圧印加を遮断する整流素子と
- を備えることを特徴とするアンチヒューズメモリ。
- [請求項2] 前記メモリキャパシタにデータを書き込むときには、前記ワード線に印加された電圧が前記整流素子を介して前記メモリゲート電極に印加され、該メモリゲート電極と前記ビット線との電圧差により前記メモリゲート絶縁膜が絶縁破壊し、
- 前記メモリキャパシタにデータを書き込まないときには、前記メモリゲート電極が前記ワード線よりも電圧が高いと、前記メモリキャパシタの前記メモリゲート電極から前記ワード線への電圧印加を遮断する
- ことを特徴とする請求項1記載のアンチヒューズメモリ。
- [請求項3] 前記整流素子は、P型半導体領域とN型半導体領域とが接合したPN接合ダイオードの半導体接合構造からなり、前記P型半導体領域が前記ワード線に接続され、前記N型半導体領域が前記メモリゲート電極に接続されている
- ことを特徴とする請求項1または2記載のアンチヒューズメモリ。
- [請求項4] 前記整流素子は、P型半導体領域とN型半導体領域との間に真性半導体領域が設けられたPIN (P-Intrinsic-N) 接合ダイオードの半導体接合構造からなり、前記P型半導体領域が前記ワード線に接続され、前記N型半導体領域が前記メモリゲート電極に接続されている
- ことを特徴とする請求項1または2記載のアンチヒューズメモリ。

- [請求項5] 前記整流素子を構成する前記P型半導体領域と前記N型半導体領域とが、前記メモリゲート電極と一体形成されている
- ことを特徴とする請求項3または4記載のアンチヒューズメモリ。
- [請求項6] 前記整流素子の前記P型半導体領域および前記N型半導体領域が、前記メモリゲート電極と同層に形成されている
- ことを特徴とする請求項3～5のうちいずれか1項記載のアンチヒューズメモリ。
- [請求項7] 前記整流素子は、N型MOS (Metal-Oxide-Semiconductor) トランジスタまたはP型MOS トランジスタからなり、一端のソース領域が前記メモリゲート電極に接続されているとともに、他端のドレイン領域が前記ワード線に接続され、整流素子ゲート電極が前記ワード線または前記メモリゲート電極のいずれか一方に接続されており、チャネルを非導通状態とすることで前記メモリゲート電極から前記ワード線への電圧印加を遮断する
- ことを特徴とする請求項1または2記載のアンチヒューズメモリ。
- [請求項8] 前記整流素子の前記整流素子ゲート電極が、前記メモリゲート電極と同層に形成されている
- ことを特徴とする請求項7記載のアンチヒューズメモリ。
- [請求項9] 複数の前記メモリキャパシタの各前記メモリゲート電極が、一の前記整流素子に接続されている
- ことを特徴とする請求項1～8のうちいずれか1項記載のアンチヒューズメモリ。
- [請求項10] 一の前記整流素子を共有する各前記メモリキャパシタには、前記ビット線がそれぞれ個別に設けられている
- ことを特徴とする請求項9記載のアンチヒューズメモリ。
- [請求項11] 一の前記整流素子を共有する各前記メモリキャパシタは、前記ビット線を共有している
- ことを特徴とする請求項9記載のアンチヒューズメモリ。

- [請求項12] 複数のワード線および複数のビット線の各交差箇所にアンチヒューズメモリが配置された半導体記憶装置であって、
- 前記アンチヒューズメモリが請求項1～11のうちいずれか1項記載のアンチヒューズメモリである
- ことを特徴とする半導体記憶装置。
- [請求項13] 一の前記アンチヒューズメモリと、一の該アンチヒューズメモリと対をなす他の前記アンチヒューズメモリとを備え、
- 一の前記アンチヒューズメモリと他の前記アンチヒューズメモリに対し同じデータを書き込むときには、一の前記アンチヒューズメモリにデータを書き込んだ後に、他の前記アンチヒューズメモリにデータを書き込む
- ことを特徴とする請求項12記載の半導体記憶装置。