(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年12 月24 日 (24.12.2008)

PCT

(10) 国際公開番号
WO 2008/156054 A1

(51) 国際特許分類:
*H01L 21/304* (2006.01) *C09K 3/14* (2006.01)
*B24B 37/00* (2006.01)

(21) 国際出願番号: PCT/JP2008/060975

(22) 国際出願日: 2008 年6 月16 日 (16.06.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-162768 2007 年6 月20 日 (20.06.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 旭硝子株式会社 (**ASAHI GLASS CO., LTD.**) [JP/JP]; 〒1008405 東京都千代田区有楽町一丁目１２番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 竹宮 聡 (**TAKEMIYA, Satoshi**) [JP/JP]; 〒1008405 東京都千代田区有楽町一丁目１２番１号 旭硝子株式会社内 Tokyo (JP). 吉田 伊織 (**YOSHIDA, Iori**) [JP/JP]; 〒1008405 東京都千代田区有楽町一丁目１２番１号 旭硝子株式会社内 Tokyo (JP).

(74) 代理人: 小栗 昌平, 外 (**OGURI, Shohei et al.**); 〒1050003 東京都港区西新橋一丁目７番１３号 栄光特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(54) **Title:** POLISHING COMPOSITION AND METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 研磨用組成物および半導体集積回路装置の製造方法

(57) **Abstract:** Disclosed is a polishing composition used for polishing an object surface during production of a semiconductor integrated circuit device, which enables an insulating layer having a buried metal interconnect to have a flat surface. Also disclosed is a semiconductor integrated circuit device having a highly planarized multilayer structure. Specifically disclosed is a composition for chemical mechanical polishing for polishing an object surface to be polished in a semiconductor integrated circuit device, which contains one or more oxidants selected from the group consisting of hydrogen peroxide, ammonium persulfate and potassium persulfate, abrasive grains, an alicyclic resin acid, a basic compound and an inorganic acid. The polishing compound has a pH within the range of 8-12.

(57) 要約: 半導体集積回路装置の製造における被研磨面の研磨において、埋込み金属配線を有する絶縁層の平坦な表面を得ることができる。また、高平坦化された多層構造を持つ半導体集積回路装置を得ることができる。半導体集積回路装置の被研磨面を研磨するための化学的機械的研磨用組成物であって、過酸化水素、過硫酸アンモニウムおよび過硫酸カリウムからなる群から選ばれる１種以上である酸化剤と、砥粒と、脂環族樹脂酸と、塩基性化合物と、無機酸とを含有し、ｐＨが８～１２の範囲である、研磨用組成物を提供する。

WO 2008/156054 A1