

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。このようなMOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「SGT」という。）が提案されている（例えば、特許文献1、特許文献2、特許文献3を参照）。

[0003] 従来のSGTの製造方法では、窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、シリコン柱下部の拡散層を形成した後、ゲート材料を堆積し、その後にゲート材料を平坦化、エッチバックをし、シリコン柱と窒化膜ハードマスクの側壁に絶縁膜サイドウォールを形成する。その後、ゲート配線のためのレジストパターンを形成し、ゲート材料をエッチングした後、窒化膜ハードマスクを除去し、シリコン柱上部に拡散層を形成している（例えば、特許文献4を参照）。

[0004] このような方法では、シリコン柱間隔が狭くなったとき、厚いゲート材料をシリコン柱間に堆積しなければならず、シリコン柱間にボイドと呼ばれる孔が形成されることがある。ボイドが形成されると、エッチバック後にゲート材料に孔ができる。その後絶縁膜サイドウォールを形成するために絶縁膜を堆積するとボイド内に絶縁膜が堆積する。従って、ゲート材料加工が難しい。

[0005] そこで、シリコン柱形成後、ゲート酸化膜を形成し、薄いポリシリコンを堆積後、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成し、ゲート配線をエッチングし、その後、酸化膜を厚く堆積し、シリコン柱上部を露出し、シリコン柱上部の薄いポリシリコンを除去し、厚い酸化膜をウェットエッチングにて除去することが示されている（例えば非特許文献1を参照）。

[0006] しかしながら、ゲート電極に金属を用いるための方法は示されていない。また、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成しなければならず、従って、シリコン柱上部を覆わねばならず自己整合プロセスではない。

先行技術文献

特許文献

[0007] 特許文献1：特開平2－71556号公報

特許文献2：特開平2－188966号公報

特許文献3：特開平3－145761号公報

特許文献4：特開2009－182317号公報

非特許文献

[0008] 非特許文献1：B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. D. Lo, and D. L. Kwong, “Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET”, IEEE Electron Device Letters, VOL.29, No.7, July 2008, pp791-794.

発明の概要

発明が解決しようとする課題

[0009] そこで、本発明は、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるSGTの製造方法とその結果得られるSGTの構造を提供することを目的とする。

課題を解決するための手段

- [0010] 本発明の第1の観点に係る半導体装置の製造方法は、
シリコン基板上に平面状シリコン層を形成し、
前記平面状シリコン層上に第1の柱状シリコン層と第2の柱状シリコン層とを形成する第1の工程と、
前記第1の工程の後、
前記第1の柱状シリコン層と前記第2の柱状シリコン層の周囲にゲート絶縁膜を形成し、
前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、
前記ポリシリコン膜の膜厚は前記第1の柱状シリコン層と前記第2の柱状シリコン層との間の間隔の半分より薄いのであって、
ゲート配線を形成するための第3のレジストを形成し、
異方性エッチングを行うことにより前記ゲート配線を形成する第2の工程と、
前記第2の工程の後、
第4のレジストを堆積し、前記第1の柱状シリコン層と前記第2の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第4のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第1のゲート電極と第2のゲート電極を形成する第3の工程と、
を有することを特徴とする。
- [0011] また、前記異方性エッチングにより、前記第1の柱状シリコン層と前記第2の柱状シリコン層上部がエッチングされることを特徴とする。
- [0012] また、前記ゲート配線を形成するための前記第3のレジストの上面の高さは、前記第1の柱状シリコン層と前記第2の柱状シリコン層上部の前記ポリシリコン膜の上面の高さより低いことを特徴とする。
- [0013] 前記第1の柱状シリコン層の上部に第1のn型拡散層を形成し、
前記第1の柱状シリコン層の下部と前記平面状シリコン層の上部に第2のn型拡散層を形成し、

前記第2の柱状シリコン層の上部に第1のp型拡散層を形成し、

前記第2の柱状シリコン層の下部と前記平面状シリコン層の上部に第2のp型拡散層を形成する第4の工程をさらに含むことを特徴とする。

[0014] 前記第1のn型拡散層上と前記第2のn型拡散層上と前記第1のp型拡散層と前記第2のp型拡散層上と前記ゲート配線にシリサイドを形成する第5の工程とをさらに含むことを特徴とする。

[0015] また、本発明の第2の観点に係る半導体装置は、
シリコン基板上に形成された平面状シリコン層と、
前記平面状シリコン層上に形成された第1及び第2の柱状シリコン層と、
前記第1の柱状シリコン層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第1のゲート電極と、
前記第2の柱状シリコン層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第2のゲート電極と、
前記ポリシリコン膜の膜厚は前記第1の柱状シリコン層と前記第2の柱状シリコン層との間の間隔の半分より薄いのであって、
前記第1及び前記第2のゲート電極に接続されたゲート配線と、
前記ゲート配線の上面の高さは前記第1及び第2のゲート電極の上面の高さより低いことを特徴とし、
前記第1の柱状シリコン層の上部に形成された第1のn型拡散層と、
前記第1の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第2のn型拡散層と、
前記第2の柱状シリコン層の上部に形成された第1のp型拡散層と、
前記第2の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第2のp型拡散層と、
を有することを特徴とする。

[0016] また、前記ゲート配線は、前記金属膜とシリサイドの積層構造からなるこ

とを特徴とする。

[0017] また、前記第 1 の n 型拡散層側壁に形成された絶縁膜サイドウォールの膜厚は、前記金属膜及びポリシリコン膜の膜厚の和より厚いことを特徴とする。

[0018] また、前記ゲート配線の中心線が、前記第 1 の柱状シリコン層の中心点と前記第 2 の柱状シリコン層の中心点とを結ぶ線に対して第 1 の所定量ずれていることを特徴とする。

[0019] また、前記第 1 及び前記第 2 の n 型拡散層上と前記第 1 及び前記第 2 の p 型拡散層に形成されたシリサイドと、を有する、ことを特徴とする。

発明の効果

[0020] 本発明によれば、薄いゲート材を用い、金属ゲートであり、自己整合プロセスである SGT の製造方法とその結果得られる SGT の構造を提供することができる。

第 1 の柱状シリコン層 104 と第 2 の柱状シリコン層 105 の高さは、所望の柱状シリコン層高さと、後にゲート配線エッチング中に削られる分の高さとの和とすることにより自己整合プロセスを実現している。

[0021] また、前記第 1 の柱状シリコン層と前記第 2 の柱状シリコン層の周囲にゲート絶縁膜を形成し、

前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、

前記ポリシリコン膜の膜厚は前記第 1 の柱状シリコン層と前記第 2 の柱状シリコン層との間の間隔の半分より薄いのであって、

ゲート配線を形成するための第 3 のレジストを形成し、

異方性エッチングを行うことにより前記ゲート配線を形成する第 2 の工程と、

前記第 2 の工程の後、

第 4 のレジストを堆積し、前記第 1 の柱状シリコン層と前記第 2 の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第 4 のレジストを剥離し、前記金属膜

をエッチングにより除去し、前記ゲート配線に接続する第1のゲート電極と第2のゲート電極を形成する第3の工程と、

により自己整合プロセスを実現している。

自己整合プロセスであるから、高集積化が可能となる。

[0022] また、前記ゲート配線は、前記金属膜とシリサイドの積層構造からなる。シリサイドと金属膜とが直接接触するため、低抵抗化をすることができる。

[0023] 前記第1のn型拡散層側壁に形成された絶縁膜サイドウォールの膜厚は、前記金属膜及びポリシリコン膜の膜厚の和より厚い。

第7のレジストがずれて、かつコンタクト孔エッチングがオーバーエッチとなったとき、コンタクトとゲート電極との短絡を防ぐことができる。

[0024] 前記ゲート配線の中心線が、前記第1の柱状シリコン層の中心点と前記第2の柱状シリコン層の中心点とを結ぶ線に対して第1の所定量ずれている。

第2のn型拡散層と、第2のp型拡散層とを接続するシリサイドを形成しやすい。従って、高集積化をおこなうことができる。

図面の簡単な説明

[0025] [図1] (A) は本発明の実施形態に係る半導体装置の平面図である。(B) は(A)のX-X'線での断面図である。(C) は(A)のY-Y'線での断面図である。

[図2] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。

(B) は(A)のX-X'線での断面図である。(C) は(A)のY-Y'線での断面図である。

[図3] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。

(B) は(A)のX-X'線での断面図である。(C) は(A)のY-Y'線での断面図である。

[図4] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。

(B) は(A)のX-X'線での断面図である。(C) は(A)のY-Y'線での断面図である。

[図5] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。

(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図6] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図7] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図8] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図9] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図10] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図11] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図12] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図13] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図14] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

の断面図である。

[図15] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図16] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図17] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図18] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図19] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図20] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図21] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図22] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図23] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線で

の断面図である。

[図24] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図25] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図26] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図27] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図28] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図29] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図30] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図31] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図32] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図33] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。
 (B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図34] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図35] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図36] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図37] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図38] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図39] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

[図40] (A) は本実施形態に係る半導体装置の製造方法を示す平面図である。(B) は (A) の X-X' 線での断面図である。(C) は (A) の Y-Y' 線での断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態に係る、SGTの構造を有する半導体装置の製造工程を、図2～図40を参照しながら説明する。

[0027] 以下に、シリコン基板101上に平面状シリコン層107と、平面状シリコン層107上に、第1の柱状シリコン層104と第2の柱状シリコン層1

05と、を形成する第1の工程を示す。

[0028] まず、図2に示すように、シリコン基板101上に第1の柱状シリコン層104と第2の柱状シリコン層105とを形成するための第1のレジスト102、103を形成する。

[0029] 次に、図3に示すように、シリコン基板101をエッチングし、第1の柱状シリコン層104と第2の柱状シリコン層105とを形成する。第1の柱状シリコン層104と第2の柱状シリコン層105の高さは、所望の柱状シリコン層高さと、後にゲート配線エッチング中に削られる分の高さとの和とすることが望ましい。

[0030] 次に、図4に示すように、第1のレジスト102、103を剥離する。

[0031] 次に、図5に示すように、平面状シリコン層107を形成するための第2のレジスト106を形成する。

[0032] 次に、図6に示すように、シリコン基板101をエッチングし、平面状シリコン層107を形成する。

[0033] 次に、図7に示すように、第2のレジスト106を剥離する。

[0034] 次に、図8に示すように、平面状シリコン層107の周囲に素子分離膜108を形成する。

以上により、シリコン基板101上に平面状シリコン層107と、平面状シリコン層107上に、第1の柱状シリコン層104と第2の柱状シリコン層105と、を形成する第1の工程が示された。

[0035] 次に、前記第1の柱状シリコン層104と前記第2の柱状シリコン層105の周囲にゲート絶縁膜109を形成し、

前記ゲート絶縁膜109の周囲に金属膜110及びポリシリコン膜111を成膜し、

前記ポリシリコン膜111の膜厚は前記第1の柱状シリコン層104と前記第2の柱状シリコン層105との間の間隔の半分より薄いのであって、

ゲート配線114cを形成するための第3のレジスト112を形成し、

異方性エッチングを行うことにより前記ゲート配線114cを形成する第

2の工程を示す。

[0036] 次に、図9に示すように、前記第1の柱状シリコン層104と前記第2の柱状シリコン層105の周囲にゲート絶縁膜109を形成し、

前記ゲート絶縁膜109の周囲に金属膜110及びポリシリコン膜111を成膜する。このとき、薄いポリシリコン膜を使用する。従って、ポリシリコン膜中にボイドが形成されることを防ぐことができる。

金属膜110は、窒化チタンといった、半導体工程に用いられ、トランジスタのしきい値電圧を設定する金属であればよい。

ゲート絶縁膜109は、酸化膜、酸窒化膜、高誘電体膜といった、半導体工程に用いられるものであればよい。

[0037] 次に、図10に示すように、ゲート配線114cを形成するための第3のレジスト112を形成する。本実施例においては、レジスト高さが柱状シリコン層より低くなるように記載した。柱状シリコン層の高さが高いとき、柱状シリコン層上部のレジスト厚さが薄くなり、もしくは、柱状シリコン層上部のポリシリコンが露出することが考えられるからである。ゲート配線幅が細くなるにつれて、柱状シリコン層上部のポリシリコンが露出しやすくなる。

レジスト高さが柱状シリコン層より高くなってもよい。

[0038] また、このとき、ゲート配線のための第3のレジスト112の中心線が、第1の柱状シリコン層104の中心点と第2の柱状シリコン層105の中心点とを結ぶ線に対してずれているよう、第3のレジスト112を形成することが好ましい。第2のn型拡散層118と第2のp型拡散層121とを接続するシリサイドを形成しやすくなるからである。

[0039] 次に、図11に示すように、ポリシリコン膜111と金属膜110をエッチングする。

ポリシリコン膜111a、ポリシリコン膜111b、ポリシリコン膜111cとが形成される。このとき、柱状シリコン層上部のレジスト厚さが薄く、もしくは、柱状シリコン層上部のポリシリコンが露出していると、エッチ

ング中に、柱状シリコン層上部がエッチングされることがある。この場合、柱状シリコン層を形成時に、その高さを、所望の柱状シリコン層高さと、後にゲート配線エッチング中に削られる分の高さとの和としておけばよい。従って、本発明の製造工程は、自己整合プロセスとなる。

また、後に金属膜 110 をエッチングするため、本工程をポリシリコン膜 111 のエッチングとしてもよい。

[0040] 次に、図 12 に示すように、第 3 のレジスト 112 を剥離する。

以上により、前記第 1 の柱状シリコン層 104 と前記第 2 の柱状シリコン層 105 の周囲にゲート絶縁膜 109 を形成し、

前記ゲート絶縁膜 109 の周囲に金属膜 110 及びポリシリコン膜 111 を成膜し、

前記ポリシリコン膜 111 の膜厚は前記第 1 の柱状シリコン層 104 と前記第 2 の柱状シリコン層 105 との間の間隔の半分より薄いのであって、

ゲート配線 114c を形成するための第 3 のレジスト 112 を形成し、

異方性エッチングを行うことにより前記ゲート配線 114c を形成する第 2 の工程が示された。

[0041] 次に、第 4 のレジスト 113 を堆積し、前記第 1 の柱状シリコン層 104 と前記第 2 の柱状シリコン層 105 上部側壁の前記ポリシリコン膜 111a、111b を露出し、露出した前記ポリシリコン膜 111a、111b をエッチングにより除去し、前記第 4 のレジスト 113 を剥離し、前記金属膜 110 をエッチングにより除去し、前記ゲート配線 114c に接続する第 1 のゲート電極 114b と第 2 のゲート電極 114a を形成する第 3 の工程を示す。

[0042] 図 13 に示すように、第 4 のレジスト 113 を堆積し、前記第 1 の柱状シリコン層 104 と前記第 2 の柱状シリコン層 105 上部側壁の前記ポリシリコン膜 111b、111a を露出する。レジストエッチバックを用いることが好ましい。また、スピノングラスといった塗布膜を用いてもよい。

[0043] 次に、図 14 に示すように、露出した前記ポリシリコン膜 111a、111b をエッチングにより除去し、前記ゲート配線 114c に接続する第 1 のゲート電極 114b と第 2 のゲート電極 114a を形成する第 3 の工程を示す。

1 bをエッチングにより除去する。等方性ドライエッチングが好ましい。

[0044] 次に、図15に示すように、第4のレジスト113を剥離する。

[0045] 次に、図16に示すように、前記金属膜110をエッチングにより除去し、第1の柱状シリコン層104側壁に、金属膜110bを、第2の柱状シリコン層105側壁に、金属膜110aを、ポリシリコン膜111c下に金属膜110cを形成する。等方性エッチングが好ましい。

金属膜110bとポリシリコン膜111bとで第1のゲート電極114bを形成し、

金属膜110aとポリシリコン膜111aとで第2のゲート電極114aを形成し、

金属膜110cとポリシリコン膜111cとでゲート配線114cを形成する。従って、自己整合プロセスとなる。

[0046] 以上により、第4のレジスト113を堆積し、前記第1の柱状シリコン層104と前記第2の柱状シリコン層105上部側壁の前記ポリシリコン膜111a、111bを露出し、露出した前記ポリシリコン膜111a、111bをエッチングにより除去し、前記第4のレジスト113を剥離し、前記金属膜110をエッチングにより除去し、前記ゲート配線114cに接続する第1のゲート電極114bと第2のゲート電極114aを形成する第3の工程が示された。

[0047] 次に、第1の柱状シリコン層104の上部に第1のn型拡散層117を形成し、

第1の柱状シリコン層104の下部と平面状シリコン層107の上部に第2のn型拡散層118を形成し、

第2の柱状シリコン層105の上部に第1のp型拡散層120を形成し、

第2の柱状シリコン層105の下部と平面状シリコン層107の上部に第2のp型拡散層121を形成する第4の工程を示す。

[0048] 図17に示すように、酸化膜115を堆積する。

[0049] 次に、図18に示すように、第1のn型拡散層117と第2のn型拡散層

118を形成するための、第5のレジスト116を形成する。

[0050] 次に、図19に示すように、砒素を注入し、第1のn型拡散層117と第2のn型拡散層118を形成する。

[0051] 次に、図20に示すように、第5のレジスト116を剥離する。

[0052] 次に、図21に示すように、第1のp型拡散層120と第2のp型拡散層121を形成するための第6のレジスト119を形成する。

[0053] 次に、図22に示すように、ボロンまたは弗化ボロンを注入し、第1のp型拡散層120と第2のp型拡散層121を形成する。

[0054] 次に、図23に示すように、第6のレジスト119を剥離する。

[0055] 次に、図24に示すように、窒化膜122を堆積し、熱処理を行う。

以上により、第1の柱状シリコン層104の上部に第1のn型拡散層117を形成し、

第1の柱状シリコン層104の下部と平面状シリコン層107の上部に第2のn型拡散層118を形成し、

第2の柱状シリコン層105の上部に第1のp型拡散層120を形成し、

第2の柱状シリコン層105の下部と平面状シリコン層107の上部に第2のp型拡散層121を形成する第4の工程が示された。

[0056] 次に、第1のn型拡散層117上と第2のn型拡散層118上と第1のp型拡散層120と第2のp型拡散層121上とゲート配線114cにシリサイドを形成する第5の工程を示す。

[0057] 図25に示すように、窒化膜122をエッチングし、窒化膜サイドウォール123、124、125を形成する。

[0058] 次に、図26に示すように、酸化膜をエッチングし、酸化膜サイドウォール127、126、128を形成する。窒化膜サイドウォール123と酸化膜サイドウォール127とで絶縁膜サイドウォール129となり、窒化膜サイドウォール124と酸化膜サイドウォール126とで絶縁膜サイドウォール130となり、第1の柱状シリコン層104側壁の窒化膜サイドウォール125と酸化膜サイドウォール128とで絶縁膜サイドウォール131とな

り、第2の柱状シリコン層105側壁の窒化膜サイドウォール125と酸化膜サイドウォール128とで絶縁膜サイドウォール132となる。

[0059] このとき、第1のn型拡散層117側壁に形成された絶縁膜サイドウォール129の膜厚は、金属膜110b及びポリシリコン膜111bの膜厚の和より厚いことが好ましい。

第1のn型拡散層117側壁に形成された絶縁膜サイドウォール129の膜厚が、金属膜110b及びポリシリコン膜111bの膜厚の和より厚いと、コンタクト形成時に、コンタクトとゲート電極114bとの絶縁が容易になる。

[0060] 次に、図27に示すように、金属を堆積し、熱処理し、未反応の金属を除去することで、第1のn型拡散層117上と第2のn型拡散層118上と第1のp型拡散層120と第2のp型拡散層121上とゲート配線114cにシリサイド134、138、136、137、133、135を形成する。

[0061] 第2のn型拡散層118と、第2のp型拡散層121とは、シリサイド138で接続されることとなる。ゲート配線114cの中心線が、第1の柱状シリコン層104の中心点と第2の柱状シリコン層105の中心点とを結ぶ線に対してずれているので、シリサイド138を形成しやすい。従って、高集積化を行うことができる。

[0062] また、ポリシリコン膜配線111cが薄いため、ゲート配線114cは、金属膜110cとシリサイド133の積層構造となりやすい。シリサイド133と金属膜110cとが直接接触するため、低抵抗化を図ることができる。

[0063] 以上により、第1のn型拡散層117上と第2のn型拡散層118上と第1のp型拡散層120と第2のp型拡散層121上とゲート配線114cにシリサイドを形成する第5の工程が示された。

[0064] 次に、図28に示すように、窒化膜といったコンタクトストッパー139を成膜し、層間絶縁膜140を形成する。

[0065] 次に、図29に示すように、コンタクト孔142、143を形成するため

の第7のレジスト141を形成する。

[0066] 次に、図30に示すように、層間絶縁膜140をエッチングし、コンタクト孔142、143を形成する。第1のn型拡散層117側壁に形成された絶縁膜サイドウォール129の膜厚が、金属膜110b及びポリシリコン膜111bの膜厚の和より厚いと、第7のレジストがずれて、かつコンタクト孔エッチングがオーバーエッチとなったとき、コンタクトとゲート電極114bとの短絡を防ぐことができる。

[0067] 次に、図31に示すように、第7のレジスト141を剥離する。

[0068] 次に、図32に示すように、コンタクト孔145、146を形成するため第8のレジスト144を形成する。

[0069] 次に、図33に示すように、層間絶縁膜140をエッチングし、コンタクト孔145、146を形成する。

[0070] 次に、図34に示すように、第8のレジスト144を剥離する。

[0071] 次に、図35に示すように、コンタクトストッパー139をエッチングし、コンタクト孔142、143、コンタクト孔145、146下のコンタクトストッパー139を除去する。

[0072] 次に、図36に示すように、金属を堆積し、コンタクト147、148、149、150を形成する。

[0073] 次に、図37に示すように、金属配線のための金属151を堆積する。

[0074] 次に、図38に示すように、金属配線を形成するための第9のレジスト152、153、154、155を形成する。

[0075] 次に、図39に示すように、金属151をエッチングし、金属配線156、157、158、159を形成する。

[0076] 次に、図40に示すように、第9のレジスト152、153、154、155を剥離する。

以上により、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるSGTの製造方法が示された。

[0077] 上記製造方法によって得られる半導体装置の構造を図1に示す。

図 1 に示すように、半導体装置は、

シリコン基板 101 上に形成された平面状シリコン層 107 と、
前記平面状シリコン層 107 上に形成された第 1 及び第 2 の柱状シリコン
層 104、105 と、

前記第 1 の柱状シリコン層 104 の周囲に形成されたゲート絶縁膜 109
と、
前記ゲート絶縁膜 109 の周囲に形成された金属膜 110b 及びポリシリ
コン膜 111b の積層構造からなる第 1 のゲート電極 114b と、
前記第 2 の柱状シリコン層 105 の周囲に形成されたゲート絶縁膜 109
と、

前記ゲート絶縁膜 109 の周囲に形成された金属膜 110a 及びポリシリ
コン膜 111a の積層構造からなる第 2 のゲート電極 114a と、
前記ポリシリコン膜 111b、111a の膜厚は前記第 1 の柱状シリコン
層 104 と前記第 2 の柱状シリコン層 105 との間の間隔の半分より薄いの
であって、

前記第 1 及び前記第 2 のゲート電極 114b、114a に接続されたゲー
ト配線 114c と、
前記ゲート配線 114c の上面の高さは前記第 1 及び第 2 のゲート電極 1
14b、114a の上面の高さより低いことを特徴とし、
前記第 1 の柱状シリコン層 104 の上部に形成された第 1 の n 型拡散層 1
17 と、

前記第 1 の柱状シリコン層 104 の下部と前記平面状シリコン層 107 の
上部とに形成された第 2 の n 型拡散層 118 と、
前記第 2 の柱状シリコン層 105 の上部に形成された第 1 の p 型拡散層 1
20 と、
前記第 2 の柱状シリコン層 105 の下部と前記平面状シリコン層 107 の
上部とに形成された第 2 の p 型拡散層 121 と、

を有する。

[0078] また、前記ゲート配線 114c は、前記金属膜 110c とシリサイド 133 の積層構造からなる。シリサイド 133 と金属膜 110c とが直接接触するため、低抵抗化をすることができる。

[0079] 前記第 1 の n 型拡散層 117 側壁に形成された絶縁膜サイドウォール 129 の膜厚は、前記金属膜 110b 及びポリシリコン膜 111b の膜厚の和より厚い。

第 7 のレジストがずれて、かつコンタクト孔エッチングがオーバーエッチとなったとき、コンタクト 148 とゲート電極 114b との短絡を防ぐことができる。

[0080] 前記ゲート配線 114c の中心線が、前記第 1 の柱状シリコン層 104 の中心点と前記第 2 の柱状シリコン層 105 の中心点とを結ぶ線に対して第 1 の所定量ずれている。

第 2 の n 型拡散層 118 と、第 2 の p 型拡散層 121 とを接続するシリサイド 138 を形成しやすい。従って、高集積化をおこなうことができる。

[0081] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0082] 例えば、上記実施例において、p 型（p⁺型を含む。）と n 型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0083] 101. シリコン基板
102. 第 1 のレジスト
103. 第 1 のレジスト
104. 第 1 の柱状シリコン層
105. 第 2 の柱状シリコン層
106. 第 2 のレジスト

107. 平面状シリコン層

108. 素子分離膜

109. ゲート絶縁膜

110. 金属膜

110a. 金属膜

110b. 金属膜

110c. 金属膜

111. ポリシリコン膜

111a. ポリシリコン膜

111b. ポリシリコン膜

111c. ポリシリコン配線

112. 第3のレジスト

113. 第4のレジスト

114a. 第2のゲート電極

114b. 第1のゲート電極

114c. ゲート配線

115. 酸化膜

116. 第5のレジスト

117. 第1のn型拡散層

118. 第2のn型拡散層

119. 第6のレジスト

120. 第1のp型拡散層

121. 第2のp型拡散層

122. 窒化膜

123. 窒化膜サイドウォール

124. 窒化膜サイドウォール

125. 窒化膜サイドウォール

126. 酸化膜サイドウォール

- 1 2 7. 酸化膜サイドウォール
- 1 2 8. 酸化膜サイドウォール
- 1 2 9. 絶縁膜サイドウォール
- 1 3 0. 絶縁膜サイドウォール
- 1 3 1. 絶縁膜サイドウォール
- 1 3 2. 絶縁膜サイドウォール
- 1 3 3. シリサイド
- 1 3 4. シリサイド
- 1 3 5. シリサイド
- 1 3 6. シリサイド
- 1 3 7. シリサイド
- 1 3 8. シリサイド
- 1 3 9. コンタクトストッパー
- 1 4 0. 層間絶縁膜
- 1 4 1. 第7のレジスト
- 1 4 2. コンタクト孔
- 1 4 3. コンタクト孔
- 1 4 4. 第8のレジスト
- 1 4 5. コンタクト孔
- 1 4 6. コンタクト孔
- 1 4 7. コンタクト
- 1 4 8. コンタクト
- 1 4 9. コンタクト
- 1 5 0. コンタクト
- 1 5 1. 金属
- 1 5 2. 第9のレジスト
- 1 5 3. 第9のレジスト
- 1 5 4. 第9のレジスト

1 5 5. 第 9 のレジスト

1 5 6. 金属配線

1 5 7. 金属配線

1 5 8. 金属配線

1 5 9. 金属配線

請求の範囲

[請求項1]

シリコン基板上に平面状シリコン層を形成し、
前記平面状シリコン層上に第1の柱状シリコン層と第2の柱状シリコン層とを形成する第1の工程と、
前記第1の工程の後、
前記第1の柱状シリコン層と前記第2の柱状シリコン層の周囲にゲート絶縁膜を形成し、
前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、
前記ポリシリコン膜の膜厚は前記第1の柱状シリコン層と前記第2の柱状シリコン層との間の間隔の半分より薄いのであって、
ゲート配線を形成するための第3のレジストを形成し、
異方性エッチングを行うことにより前記ゲート配線を形成する第2の工程と、
前記第2の工程の後、
第4のレジストを堆積し、前記第1の柱状シリコン層と前記第2の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第4のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第1のゲート電極と第2のゲート電極を形成する第3の工程と、
を有することを特徴とする半導体装置の製造方法。

[請求項2]

前記異方性エッチングにより、前記第1の柱状シリコン層と前記第2の柱状シリコン層上部がエッチングされることを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項3]

前記ゲート配線を形成するための前記第3のレジストの上面の高さは、前記第1の柱状シリコン層と前記第2の柱状シリコン層上部の前記ポリシリコン膜の上面の高さより低いことを特徴とする請求項1に記載の半導体装置の製造方法。

- [請求項4] 前記第1の柱状シリコン層の上部に第1のn型拡散層を形成し、
 前記第1の柱状シリコン層の下部と前記平面状シリコン層の上部に
 第2のn型拡散層を形成し、
 前記第2の柱状シリコン層の上部に第1のp型拡散層を形成し、
 前記第2の柱状シリコン層の下部と前記平面状シリコン層の上部に
 第2のp型拡散層を形成する第4の工程をさらに含むことを特徴とする
 請求項1に記載の半導体装置の製造方法。
- [請求項5] 前記第1のn型拡散層上と前記第2のn型拡散層上と前記第1のp
 型拡散層と前記第2のp型拡散層上と前記ゲート配線にシリサイドを
 形成する第5の工程とをさらに含むことを特徴とする請求項4に記載
 の半導体装置の製造方法。
- [請求項6] シリコン基板上に形成された平面状シリコン層と、
 前記平面状シリコン層上に形成された第1及び第2の柱状シリコン
 層と、
 前記第1の柱状シリコン層の周囲に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の
 積層構造からなる第1のゲート電極と、
 前記第2の柱状シリコン層の周囲に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の
 積層構造からなる第2のゲート電極と、
 前記ポリシリコン膜の膜厚は前記第1の柱状シリコン層と前記第2
 の柱状シリコン層との間の間隔の半分より薄いのであって、
 前記第1及び前記第2のゲート電極に接続されたゲート配線と、
 前記ゲート配線の上面の高さは前記第1及び第2のゲート電極の上
 面の高さより低いことを特徴とし、
 前記第1の柱状シリコン層の上部に形成された第1のn型拡散層と
 、
 前記第1の柱状シリコン層の下部と前記平面状シリコン層の上部と

に形成された第2のn型拡散層と、
前記第2の柱状シリコン層の上部に形成された第1のp型拡散層と、
、
前記第2の柱状シリコン層の下部と前記平面状シリコン層の上部と
に形成された第2のp型拡散層と、
を有する、
ことを特徴とする半導体装置。

[請求項7] 前記ゲート配線は、前記金属膜とシリサイドの積層構造からなることを特徴とする請求項6に記載の半導体装置。

[請求項8] 前記第1のn型拡散層側壁に形成された絶縁膜サイドウォールの膜厚は、前記金属膜及びポリシリコン膜の膜厚の和より厚いことを特徴とする請求項6に記載の半導体装置。

[請求項9] 前記ゲート配線の中心線が、前記第1の柱状シリコン層の中心点と前記第2の柱状シリコン層の中心点とを結ぶ線に対して第1の所定量ずれていることを特徴とする請求項6に記載の半導体装置。

[請求項10] 前記第1及び前記第2のn型拡散層上と前記第1及び前記第2のp型拡散層に形成されたシリサイドと、を有する、
ことを特徴とする請求項9に記載の半導体装置。