

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2022년 7월 14일 (14.07.2022)



(10) 국제공개번호

WO 2022/149798 A1

(51) 국제특허분류:

G06F 1/324 (2019.01)

G06F 1/3212 (2019.01)

G06F 1/3234 (2019.01)

H02H 9/02 (2006.01)

G08B 21/18 (2006.01)

(21) 국제출원번호:

PCT/KR2021/020287

(22) 국제출원일:

2021년 12월 30일 (30.12.2021)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2021-0003479 2021년 1월 11일 (11.01.2021) KR

10-2021-0054543 2021년 4월 27일 (27.04.2021) KR

(71) 출원인: 삼성전자 주식회사 (SAMSUNG ELECTRONICS CO., LTD.) [KR/KR]; 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).

(72) 발명자: 김희태 (KIM, Heetae); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 권순규 (KWON, Soongyu); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 김민수 (KIM, Minsu); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 류상현 (RYU, Sanghyun); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).

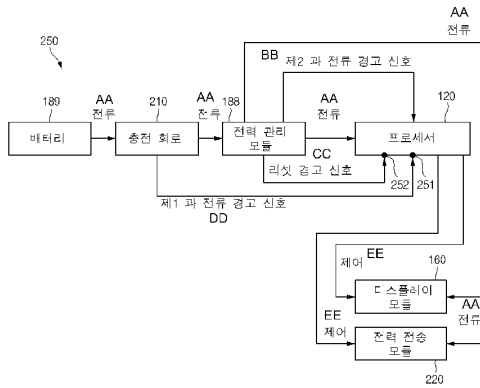
(74) 대리인: 특허법인 태평양 (BAE, KIM & LEE IP); 04521 서울시 중구 청계천로 30, 5층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: ELECTRONIC DEVICE AND METHOD FOR CONTROLLING ELECTRONIC DEVICE

(54) 발명의 명칭: 전자 장치 및 그 전자 장치의 제어 방법



120 ... Processor
160 ... Display module
188 ... Power management module
189 ... Battery
210 ... Charging circuit
220 ... Power transmission module
AA ... Current
BB ... Second overcurrent warning signal
CC ... Reset warning signal
DD ... First overcurrent warning signal
EE ... Control

(57) Abstract: An electronic device is disclosed comprising a battery, a power management module, a charging circuit, and a processor operatively connected to the battery, power management module and charging circuit and comprising a central processing unit (CPU) and a plurality of intellectual property (IP) blocks. The charging circuit comprises a first pin connected to the processor and outputting a first overcurrent warning signal if the value of a current flowing through the entire electronic device is a first threshold current or higher. The power management module comprises a second pin connected to the processor and outputting a reset warning signal on the basis of the voltage value of the power management module. The processor comprises a first general-purpose input/output (GPIO) pin receiving the first overcurrent warning signal output from the first pin, and is configured to reduce the central processing unit, at least one operating clock frequency from among a plurality of operating clock frequencies respectively configured in the plurality of blocks, or at least one operating clock frequency from among the constituent elements inside the electronic device, if the first overcurrent warning signal is received via the first general-purpose input/output pin. Various other embodiments understood through the specification are also possible.

[다음 쪽 계속]

WO 2022/149798 A1

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 배터리, 전력 관리 모듈, 충전 회로, 및 상기 배터리, 상기 전력 관리 모듈, 및 상기 충전 회로와 작동적으로 연결되고(operationally connected) 중앙 처리 장치(central processing unit, CPU) 및 복수의 블록(intellectual property block, IP block)들을 포함하는 프로세서를 포함하고, 상기 충전 회로는 상기 프로세서와 연결되고 상기 전자 장치 전체에 흐르는 전류 값이 제1 임계 전류 이상인 경우 제1 과 전류 경고 신호를 출력하는 제1 핀을 포함하고, 상기 전력 관리 모듈은 상기 프로세서와 연결되고 상기 전력 관리 모듈의 전압 값에 기반하여 리셋 경고 신호를 출력하는 제2 핀을 포함하고, 상기 프로세서는, 상기 제1 핀으로부터 출력된 상기 제1 과 전류 경고 신호를 수신하는 제1 다용도 입출력(general purpose input output, GPIO) 핀을 포함하고, 상기 제1 다용도 입출력 핀을 통해 상기 제1 과 전류 경고 신호가 수신되는 경우 상기 중앙 처리 장치, 상기 복수의 블록들 각각에 설정된 복수의 동작 클럭 주파수들 중 적어도 하나의 동작 클럭 주파수, 또는 상기 전자 장치 내부의 구성 요소들 중 적어도 하나의 동작 클럭 주파수를 감소시키도록 설정된 전자 장치가 개시될 수 있다. 이 외에도 명세서를 통해 파악되는 다양한 실시 예가 가능하다.