

数据纠错电路和数据传输电路

交叉引用

本公开要求于 2022 年 2 月 24 日提交的申请号为 202210173543.8、名称为“数据纠错
5 电路和数据传输电路”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全
部并入本文。

技术领域

本公开涉及电子电路技术领域，具体而言，涉及一种能够进行高效数据处理的数据纠
10 错电路和数据传输电路。

背景技术

数据纠错电路（Error Correcting Code, ECC）是一种能够实现数据错误检查和纠正的
技术。通过使用与目标数据一同传输的 ECC 校验码对目标数据进行校验，最小可以纠正
15 一位（bit）的数据传输错误。数据纠错电路广泛应用于存储器等需要保持数据准确传输
的电路中。

在存储器中，通常将传输的数据分为奇数据和偶数据进行交替传输。奇数据通过奇时
钟采样，并通过奇数据信号线传输；偶数据通过偶时钟采样，并通过偶数据信号线传输。
奇数据信号线和偶数据信号线并行设置，奇数据和偶数据交替传输，从而可以避免信号线
20 间信号串扰，提高数据传输可靠性。

在一些实施例中，在需要对待传输的数据使用数据纠错电路进行校验和纠错时，由于
数据纠错电路的处理时间较长，无法在奇数据到达之前完成对偶数据的校验或纠错，或者，
无法在偶数据到达之前完成对奇数据的校验或纠错，因此，需要在奇数据信号线和偶数据
信号线上分别设置数据纠错电路。而由于数据纠错电路在版图布局时占用面积较大，造成
25 版图布局时，数据传输电路整体占用面积较大。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，
因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种能够节省布局面积的数据传输电路和应用该数据传输
30 电路的数据传输方法，用于至少在一定程度上克服数据传输电路布局面积大的问题。

本公开的目的在于提供一种数据纠错电路和数据传输电路，用于至少在一定程度上克
服由于相关技术的限制和缺陷而导致的一个数据纠错电路无法处理交替传输的奇数据和
偶数据的问题。

35 根据本公开的第一方面，提供一种数据纠错电路，包括：解码模块，输入端连接数据

总线,用于接收第一数据和所述第一数据的校验码,并基于所述校验码输出所述第一数据的纠错码;纠错锁存模块,第一输入端连接所述数据总线,第二输入端连接所述解码模块的输出端,用于锁存所述纠错码对应的所述第一数据,并根据所述纠错码和对应的所述第一数据生成并输出第二数据。

5 在本公开的一个示例性实施例中,所述纠错锁存模块包括:第一锁存单元,输入端连接所述数据总线,用于锁存所述第一数据;纠错单元,连接所述第一锁存单元的输出端和所述解码模块的输出端,用于根据所述纠错码对对应的所述第一数据进行纠错,并输出纠错后的所述第二数据;第二锁存单元,输入端连接所述纠错单元的输出端,用于锁存并输出所述第二数据。

10 在本公开的一个示例性实施例中,所述第一数据包括 M 位数据,所述第一锁存单元包括 N 个 L 位锁存器,其中 $N \cdot L = M$, $N \geq 1$ 。

 在本公开的一个示例性实施例中, $N=1$, $L=M$,所述第一锁存单元为串行输出,所述解码模块为串行输出,所述纠错单元包括一个纠错器,所述纠错器的输入端连接所述第一锁存单元的输出端,所述纠错单元的使能端连接所述解码模块的输出端,所述纠错码的输出时序和所述第一锁存单元的数据输出时序相同。

15 在本公开的一个示例性实施例中,所述第一锁存器单元为并行输出,包括 M 个输出端,所述解码模块为并行输出,包括 M 个输出端,所述纠错单元包括 M 个纠错器,每个所述纠错器的使能端均连接所述解码模块的一个输出端,每个所述纠错单元的输入端均连接所述第一锁存单元的一个输出端。

20 在本公开的一个示例性实施例中,所述第二锁存单元包括 1 个 M 位移位寄存器,所述第二锁存单元为串行输入。

 在本公开的一个示例性实施例中,所述第二锁存单元包括 S 个 K 位移位寄存器, $S \cdot K = M$,所述第二锁存单元为并行输入, $S \geq 1$ 。

 在本公开的一个示例性实施例中,所述第一锁存单元连接第一控制单元,所述第二锁存单元连接第二控制单元,所述第一控制单元用于控制所述第一锁存单元在 $n+mt$ 的时间点开始锁存, n 为相对延迟时间,所述相对延迟时间的起点为所述第一数据传输至所述解码模块的时间, m 为自然数, t 为所述第一数据的传输间隔, n 大于 0 小于 t ; 所述第二控制单元用于控制所述第二锁存单元在 $n+mt$ 至 $n+(m+1)t$ 之间开始锁存。

30 在本公开的一个示例性实施例中,所述纠错器包括并联的反相器和传输管,所述反相器和所述传输管的输入端连接作为所述纠错器的输入端,所述反相器和所述传输管的输出端连接作为所述纠错器的输出端,所述反相器和所述传输管的使能端均连接所述解码模块的输出端。

 在本公开的一个示例性实施例中,所述第一锁存单元为串行输入或并行输入。

 在本公开的一个示例性实施例中,所述第二锁存单元为串行输出或并行输出。

35 在本公开的一个示例性实施例中,所述第二控制单元的输入端连接所述第一控制单元

的输出端。

根据本公开的第二方面，提供一种数据传输电路，包括：奇数据信号线，用于传输奇数据；偶数据信号线，用于传输偶数据，所述偶数据与所述奇数据交替间隔传输，所述偶数据的到达时间与所述奇数据的到达时间之间具有第一时间间隔；如上任一项所述的数据纠错电路，输入端连接所述奇数据信号线和所述偶数据信号线，输出端连接输出总线，所述输出总线电连接存储区块；其中，所述数据纠错电路用于在所述奇数据或所述偶数据写入所述存储区块时，对所述奇数据或所述偶数据进行纠错。

在本公开的一个示例性实施例中，所述数据纠错电路包括解码模块和纠错锁存模块，所述奇数据或所述偶数据在第一时间点进入所述解码模块，所述纠错锁存模块在第二时间点输出纠错后的数据，所述第一时间点和所述第二时间点之间的间隔大于所述第一时间间隔。

根据本公开的第三方面，提供一种数据传输电路，包括：第一数据信号线，用于传输奇数据和偶数据，所述偶数据与所述奇数据交替间隔传输，所述偶数据的到达时间与所述奇数据的到达时间之间具有第一时间间隔；如上任一项所述的数据纠错电路，输入端连接所述奇数据信号线和所述偶数据信号线，输出端连接输出总线，所述输出总线电连接存储区块；其中，所述数据纠错电路用于在所述奇数据或所述偶数据写入所述存储区块时，对所述奇数据或所述偶数据进行纠错。

本公开实施例通过将数据纠错电路分为解码模块和纠错锁存模块两部分，将数据校验和纠错过程分为解码和纠错两部分，可以在下一个数据到达之前使用解码模块实现对当前数据的解码，在下一个数据即将到达时将处理流程移交给纠错锁存模块，避免因下一个数据的到达造成当前数据的处理流程中断，或者丢失下一个数据。从而，本公开实施例可以通过一个数据纠错电路实现对交替传输的奇数据和偶数据的顺次处理，在数据传输电路设计时，节省一路数据纠错电路，减小数据传输电路占用的版图面积，降低数据传输电路的整体功耗。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1A 是相关技术中数据纠错电路的连接关系示意图；

图 1B 是图 1A 所示的数据纠错电路的数据处理时序图；

图 2 是本公开示例性实施例中数据纠错电路的结构示意图；

图 3 是本公开一个实施例中纠错锁存模块的方框图；

图 4 是本公开一个实施例中纠错锁存模块的电路图；

图 5 是本公开另一个实施例中纠错锁存模块的电路图；

图 6 是本公开一个实施例中数据锁存的时序图；

5 图 7 是本公开一个实施例中第一控制单元和第二控制单元的示意图；

图 8 是本公开一个实施例中数据传输电路的示意图；

图 9 是本公开另一个实施例中数据传输电路的示意图。

具体实施方式

10 现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，
15 可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理
20 或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

下面结合附图对本公开示例实施方式进行详细说明。

图 1A 是相关技术中数据纠错电路的连接关系示意图；图 1B 是图 1A 所示的数据纠错
25 电路的数据处理时序图。

参考图 1A，在相关技术中，奇数据信号线传输奇数据 `EvenData<127:0>` 以及奇数据的 ECC 校验码 `EvenParity<8:0>`，通过设置在奇数据信号线上的奇数据纠错单元 11 进行纠错，输出纠错数据 `EvenDataWr<127:0>`；偶数据信号线传输偶数据 `OddData<127:0>` 以及偶数据的 ECC 校验码 `OddParity<8:0>`，通过设置在偶数据信号线上的偶数据纠错单元 12
30 进行纠错，输出纠错数据 `OddDataWr<127:0>`。这是由于在时序（参见图 1B）中，奇数据 `EvenData<127:0>` 和偶数据 `OddData<127:0>` 的传输周期均为 T ，二者交替传输，传输间隔为 $T/2$ 。而奇数据纠错单元 11 或偶数据纠错单元 12 的纠错处理时间均为 T_{ecc} ， $T_{ecc} > T/2$ ，导致一个纠错单元无法处理在 $T/2$ 时间内交替到达的奇数据和偶数据，需要设置两个纠错单元，分别对奇数据和偶数据进行处理。

35 图 2 是本公开示例性实施例中数据纠错电路的结构示意图。

参考图 2，数据纠错电路 200 可以包括：

解码模块 21，输入端连接数据总线，用于接收第一数据和第一数据的校验码，并基于校验码输出第一数据的纠错码；

纠错锁存模块 22，第一输入端连接数据总线，第二输入端连接解码模块 21 的输出端，
5 用于锁存纠错码对应的第一数据，并根据纠错码和对应的第一数据生成并输出第二数据。

在本公开的一个实施例中，第一数据例如为 128 位 (Bit)，表示为 Data<127:0>。对应的，第一数据的校验码可以为 ECC 校验码。当第一数据为 128 位时，第一数据的 ECC 校验码可以表示为 Parity<8:0>，ECC 校验码的每一位分别为第一数据不同行数据的异或结果（即行校验值），或者，为第一数据不同列数据的异或结果（即列校验值）。解码模块
10 21 对第一数据按照 ECC 校验逻辑生成对应的行校验值和列校验值，将生成的行校验值和列校验值与 ECC 校验码中记录的行校验值和列校验值进行比对，根据比对结果不一致的校验码位置，判断发生异常的第一数据的数据位 (bit)，进而输出第一数据的纠错码。

在本公开实施例中，当第一数据为 128 位时，第一数据的纠错码为 128 位 (bit) 的数据，纠错码中的每一位指示第一数据中的对应位是否错误。例如，如果第一数据的 bit6
15 错误，纠错码中的 bit6 值为 1，如果第一数据中的 bit0 正确，纠错码中的 bit0 值为 0。在这种情况下，如果第一数据的校验结果与 ECC 校验码一致，则第一数据的纠错码为全 0；如果第一数据的校验结果与 ECC 校验码不一致，则第一数据的纠错码的对应位设置为 1，根据发生错误的位置，纠错码体现为不同的值。在本公开的其他实施例中，也可以设置纠错码中使用 1 表示第一数据中的对应位正确，使用 0 表示第一数据的对应位错误，本公开
20 对此不作特殊限制。

纠错锁存模块 22 用于锁存第一数据，并根据第一数据的纠错码对第一数据进行纠错。需要说明的是，第一数据在第一数据对应的传输周期内循环发送，因此，当第一数据进入
解码模块 21 时被解码模块 21 校验、计算时，纠错锁存模块 22 可以延后对第一数据进行
25 锁存，并继续对当前正在处理的数据进行纠错，只需要保证纠错锁存模块 22 在第一数据的传输周期内能够对某一次传输的第一数据进行锁存即可。

基于上述内容可知，通过分离数据纠错的纠错码生成步骤（校验步骤）和纠错步骤，在纠错锁存模块 22 进行在先数据（奇数据或偶数据中的一者）的纠错处理时，解码模块
21 可以同时进行在后数据（奇数据或偶数据中的另一者）的校验、解码，如此，在在后
30 数据到来时，纠错锁存模块 22 可以继续对在先数据进行纠错处理，而解码模块 21 可以及时处理在后数据，避免由于在先数据的校验、纠错整体时间较长，导致在后数据丢失，或者对当前数据（在先数据）的处理过程被打断。

图 3 是本公开一个实施例中纠错锁存模块的方框图。

参考图 3，在一个实施例中，纠错锁存模块 22 可以包括：

第一锁存单元 221，输入端连接数据总线，用于锁存第一数据；

35 纠错单元 222，连接第一锁存单元 221 的输出端和解码模块 21 的输出端，用于根据

纠错码对对应的第一数据进行纠错，并输出纠错后的第二数据；

第二锁存单元 223，输入端连接纠错单元 222 的输出端，用于锁存并输出第二数据。

在一个实施例中，第一数据包括 M 位数据，第一锁存单元 221 包括 N 个 L 位锁存器，其中 $N \cdot L = M$ ， $N \geq 1$ 。其中， M 为位 (bit) 数，128 位的第一数据中， $M = 128$ 。

5 第一锁存单元 221 可以通过一或多个锁存器或者移位寄存器实现。

图 4 是本公开一个实施例中纠错锁存模块的电路图。

参考图 4，在一个实施例中， $N = 1$ ， $L = M$ ，第一锁存单元 221 通过一个 M 位的移位寄存器实现。例如，当第一数据为 128 位数据时， $M = 128$ ，第一锁存单元 221 为 128 位的移位寄存器。此时第一锁存单元 221 为串行输入。

10 当第一锁存单元 221 为串行输出时，具有一个输出端，纠错单元 222 的数据输入端口为一个输入端，纠错单元 222 为串行输入，解码模块 21 为串行输出，纠错单元 222 通过一个纠错器 2221 实现，纠错器 2221 的输入端连接第一锁存单元 221 的输出端，纠错单元 222 的使能端连接解码模块 21 的输出端，纠错码 $\text{Correct} \langle 127:0 \rangle$ 输出每一位 (bit) 数据的时间点和第一锁存单元 221 输出数据 $\text{DataPre} \langle 127:0 \rangle$ 中每一位 (bit) 数据的时间点相匹配。

15 需要说明的是，一组纠错码 $\text{Correct} \langle 127:0 \rangle$ 可以在传输周期 t (与第一数据的传输周期 t 等长) 内多次重复传输，第一锁存单元 221 输出数据 $\text{DataPre} \langle 127:0 \rangle$ 的时间点只需要与其对应的第一数据的某一组纠错码的传输时间点相匹配即可。

在图 4 所示实施例中，纠错器 2221 包括并联的反相器 INV 和传输管 SR，反相器 INV 的输入端和传输管 SR 的输入端连接作为纠错器 2221 的输入端，反相器 INV 的输出端和传输管 SR 的输出端连接作为纠错器 2221 的输出端，反相器 INV 的使能端和传输管 SR 的使能端均连接解码模块 21 的输出端。

20

第一锁存单元 221 输出 $\text{DataPre} \langle 127:0 \rangle$ 中的每一位数据与纠错码 $\text{Correct} \langle 127:0 \rangle$ 的对应位对应。如果纠错码 $\text{Correct} \langle 127:0 \rangle$ 的第 x 位数据为 0，则反相器 INV 截止，传输管 SR 导通，纠错器 2221 的输出数据 $\text{DataPost} \langle 127:0 \rangle$ 的第 x 位等于 $\text{DataPre} \langle 127:0 \rangle$ 中的第 x 位，没有进行纠错；如果纠错码 $\text{Correct} \langle 127:0 \rangle$ 的第 y 位数据为 1，则反相器 INV 导通，传输管 SR 截止，纠错器 2221 的输出数据 $\text{DataPost} \langle 127:0 \rangle$ 的第 y 位等于 $\text{DataPre} \langle 127:0 \rangle$ 中第 y 位的反相数据，从而实现对 $\text{DataPre} \langle 127:0 \rangle$ 即第一数据 $\text{Data} \langle 127:0 \rangle$ 的按位纠错，其中， x 、 y 均为自然数。以上数据位数仅为示例，在实际应用中，数据位数根据处理需求设置。

25

因此，当纠错单元 222 通过一个纠错器 2221 实现，具有一个输出端时，第二锁存单元 223 包括 1 个 M 位移位寄存器，第二锁存单元 223 为串行输入。第二锁存单元 223 既可以为串行输出，也可以为并行输出，取决于外部电路需求。

30

在一个实施例中，第一锁存单元 221 连接第一控制单元 224，第二锁存单元 223 连接第二控制单元 225，第一控制单元 224 输出第一控制信号，以控制第一锁存单元 221 的锁存；第二控制单元 225 输出第二控制信号，以控制第二锁存单元 223 锁存。

35 图 5 是本公开另一个实施例中纠错锁存模块的电路图。

参考图 5, 在另一个实施例中, 第一锁存器单元 221 可以为并行输出, 包括 M 个输出端, 对应的, 解码模块 21 为并行输出, 包括 M 个输出端, 纠错单元 222 包括 M 个纠错器 2221, 每个纠错器 2221 的使能端均连接解码模块 21 的一个输出端, 每个纠错器 2221 的输入端均连接第一锁存单元 221 的一个输出端。进一步的, 第二锁存单元 223 为并行输入, 具有 M 个输入端。第二锁存单元 223 可以通过 S 个 K 位移位寄存器实现, $S \cdot K = M$, $S \geq 1$ 。纠错器 2221 例如为图 4 所示的形式。

同时, 第一锁存单元 221 既可以为串行输入, 也可以为并行输入。第二锁存单元 223 既可以为串行输出, 也可以为并行输出。

与图 4 所示实施例相同, 第一锁存单元 221 受第一控制单元 224 输出的第一控制信号控制开始锁存, 第二锁存单元 223 受第二控制单元 225 输出的第二控制信号开始锁存。

图 6 是本公开一个实施例中数据锁存的时序图。

参考图 6, 在一个实施例中, 第一数据 $\text{Data} < 127:0 >$ 为交替传输的奇数据或偶数据, 奇数据和偶数据的传输间隔为 t , 在传输间隔 t 内, 第一数据 $\text{Data} < 127:0 >$ 完成传输。可以理解的是, 传输间隔 t 等于图 1B 所示的奇数据或偶数据的传输周期 T 的二分之一。

第一控制单元 224 用于控制第一锁存单元 221 在第一时间点 T_1 开始对第一数据进行锁存, $T_1 = n + mt$, n 为相对延迟时间, 相对延迟时间的起点为第一数据传输至解码模块 21 的时间点 T_0 , $0 < n < t$, m 为自然数。第二控制单元 225 用于控制第二锁存单元 223 在第一时间点 T_1 至下一个第一时间点 T_1' 之间的某个时间点开始锁存, 下一个第一时间点 T_1' 为 $T_1' = n + (m+1)t$ 。在图 6 所示实施例中, $m=1$ 。

第二锁存单元 223 从第二时间点 T_2 开始接收并输出纠错后的第二数据 $\text{DataWr} < 127:0 >$ 。从第一数据 $\text{Data} < 127:0 >$ 进入解码模块 21 的时间点 T_0 到输出第二数据 $\text{DataWr} < 127:0 >$ 的第二时间点 T_2 之间的时间为对第一数据进行校验纠错的时长 T_{ecc} , T_{ecc} 大于第一数据的传输周期 t 。参考图 6 中, 在第二时间点 T_2 之前, 第一数据 61 到达解码模块 21 达到 t 时间后, 即第三时间点 T_3 , 下一个第一数据 62 进入解码模块 21, 解码模块 21 开始对下一个第一数据 62 进行计算, 但是此时 (在第三时间点 T_3) 第一锁存单元 221 仍旧锁存第一数据 61 (输出 $\text{DataPre} < 127:0 >$), 直到经过 t 时间, 到达下一个第三时间点 T_3' 时, 第一锁存单元 221 锁存下一个第一数据 62。当纠错单元 222 和第二锁存单元 223 为串行输入输出时, 需要更多的数据处理时间, 因此, 控制第一锁存单元 221 锁存第一数据 61 的时间为 t , 可以在保证能够处理下一个第一数据 62 的前提下, 尽量给纠错单元 222 更充足的数据处理时间。

需要说明的是, 解码模块 21 输出纠错码的时间应该在第一时间点 T_1 之后、第一数据传输完成的第三时间点 T_3 之前 ($T_0 \sim T_3$ 之间的时间为 t), 即解码模块 21 进行校验解码的时间最大不大于 t , 以保障每个第一数据都能够被进行校验解码处理。

在一个实施例中, 可以通过第一控制信号控制第一锁存单元 221 开始锁存第一数据的第一时间点 T_1 与第一数据的第一位数据对齐, 在第一锁存单元 221 为串行输出时, 可以

控制第一锁存单元 221 输出数据 $\text{DataPre}<127:0>$ 的时序与解码模块 21 输出纠错码的时序（输出每一个 bit 的时间点）相同。同时，通过第二控制信号控制第二锁存单元 223 的开始锁存的第二时间点 T2 在解码模块 21 输出纠错码之后，在极端情况下，可以控制第二时间点 T2 等于纠错单元 222 开始输出数据 $\text{DataPost}<127:0>$ 的时间。当第二锁存单元 223 为串行输出时，还需要控制第二锁存单元 223 的开始锁存时间点相较于解码模块 21 开始输出纠错码的时间点有延时，因为纠错单元 222 从接收纠错码到输出 $\text{DataPost}<127:0>$ 中的某一位的时间之间具有一定的延迟。

图 7 是本公开一个实施例中第一控制单元和第二控制单元的示意图。

参考图 7，在一个实施例中，第二控制单元 225 的输入端可以连接第一控制单元 224 的输出端，第一控制单元 225 的输入端用于接收锁存信号 Catch，第一控制单元 224 用于基于锁存信号 Catch 生成第一控制信号，第二控制单元 225 用于基于第一控制信号生成第二控制信号，第一控制信号用于控制第一锁存单元 221 开始锁存，第二控制信号用于控制第二锁存单元 223 开始锁存。在第一控制信号和第二控制信号的激励下，第一锁存单元 221 在第一时间点 T1 开始锁存，第二锁存单元 223 在第一时间点 T1 至下一个第一时间点 T1' 之间开始锁存。具体的，第一控制单元 224 和第二控制单元 225 用于对输入信号进行延时得到对应的输出信号，通过调整第一控制单元 224 和第二控制单元 225 的延时，可以控制第一锁存单元 221 的数据输出时序（输出每一个 bit 的时间点）与解码模块 21 输出纠错码的时序（输出每一个 bit 的时间点）相同，控制第二锁存单元 223 的锁存时序与纠错单元 222 输出数据 $\text{DataPost}<127:0>$ 的时序相同。即，在控制信号 Catch 与第一数据同时输入时，第一控制单元 224 的延时时间可以等于解码模块 21 的解码时间，第二控制单元 225 的延时时间可以等于纠错单元 222 的处理时间，即纠错单元 222 的数据输入和数据输出之间的时间差。

本公开实施例提供的数据纠错电路，通过将运算时间为 T_{ecc} 的整个 ECC 运算分割成较小的时间间隔，对传输间隔为 t ($t < T_{ecc}$) 的数据进行校验和纠错，从而，可以使用一个数据纠错电路实现对交替传输的奇数据和偶数据进行校验和纠错，在数据传输电路中减少一路数据纠错电路的设置。

图 8 是本公开一个实施例中数据传输电路的示意图。

参考图 8，在一个实施例中，数据传输电路 800 可以包括：

奇数据信号线 81，用于传输奇数据；

偶数据信号线 82，用于传输偶数据，偶数据与奇数据交替间隔传输，偶数据的到达时间与奇数据的到达时间之间具有第一时间间隔；

如上述实施例所述的数据纠错电路 83，输入端连接奇数据信号线和偶数据信号线，输出端连接输出总线 84，输出总线电连接存储区块 85；

其中，数据纠错电路 83 用于在奇数据或偶数据写入存储区块 85 时，对奇数据或偶数据进行纠错。

在一个实施例中，数据纠错电路 83 包括解码模块 831 和纠错锁存模块 832，奇数据或偶数据在第一时间点进入解码模块 831，纠错锁存模块 832 在第二时间点输出纠错后的数据，第一时间点和第二时间点之间的间隔大于第一时间间隔。

图 9 是本公开另一个实施例中数据传输电路的示意图。

5 参考图 9，在另一个实施例中，数据传输电路 900 可以包括：

第一数据信号线 91，用于传输奇数据和偶数据，偶数据与奇数据交替间隔传输，偶数据的到达时间与奇数据的到达时间之间具有第一时间间隔；

如上述实施例所述的数据纠错电路 92，输入端连接第一数据信号线 91，输出端连接输出总线 93，输出总线 93 电连接存储区块 94；

10 其中，数据纠错电路 92 用于在奇数据或偶数据写入存储区块 94 时，对奇数据或偶数据进行纠错。

数据纠错电路 92 包括解码模块 921 和纠错锁存模块 922，奇数据或偶数据在第一时间点进入解码模块 921，纠错锁存模块 922 在第二时间点输出纠错后的数据，第一时间点和第二时间点之间的间隔大于第一时间间隔。

15 应当注意，尽管在上文详细描述中提及了用于动作执行的设备的若干模块或者单元，但是这种划分并非强制性的。实际上，根据本公开的实施方式，上文描述的两个或更多模块或者单元的特征和功能可以在一个模块或者单元中具体化。反之，上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求指出。

25 工业实用性

本公开实施例通过将数据纠错电路分为解码模块和纠错锁存模块两部分，将数据校验和纠错过程分为解码和纠错两部分，可以在下一个数据到达之前使用解码模块实现对当前数据的解码，在下一个数据即将到达时将处理流程移交给纠错锁存模块，避免因为下一个数据的到达造成当前数据的处理流程中断，或者丢失下一个数据。从而，本公开实施例可以通过一个数据纠错电路实现对交替传输的奇数据和偶数据的顺次处理，在数据传输电路设计时，节省一路数据纠错电路，减小数据传输电路占用的版图面积，降低数据传输电路的整体功耗。

权利要求

1.一种数据纠错电路,包括:

5 解码模块,输入端连接数据总线,用于接收第一数据和所述第一数据的校验码,并基于所述校验码输出所述第一数据的纠错码;

纠错锁存模块,第一输入端连接所述数据总线,第二输入端连接所述解码模块的输出端,用于锁存所述纠错码对应的所述第一数据,并根据所述纠错码和对应的所述第一数据生成并输出第二数据。

2.如权利要求1所述的数据纠错电路,其中,所述纠错锁存模块包括:

10 第一锁存单元,输入端连接所述数据总线,用于锁存所述第一数据;

纠错单元,连接所述第一锁存单元的输出端和所述解码模块的输出端,用于根据所述纠错码对对应的所述第一数据进行纠错,并输出纠错后的所述第二数据;

第二锁存单元,输入端连接所述纠错单元的输出端,用于锁存并输出所述第二数据。

15 3.如权利要求2所述的数据纠错电路,其中,所述第一数据包括M位数据,所述第一锁存单元包括N个L位锁存器,其中 $N \times L = M$, $N \geq 1$ 。

4.如权利要求3所述的数据纠错电路,其中, $N=1$, $L=M$,所述第一锁存单元为串行输出,所述解码模块为串行输出,所述纠错单元包括一个纠错器,所述纠错器的输入端连接所述第一锁存单元的输出端,所述纠错单元的使能端连接所述解码模块的输出端,所述纠错码的输出时序和所述第一锁存单元的数据输出时序相同。

20 5.如权利要求3所述的数据纠错电路,其中,所述第一锁存器单元为并行输出,包括M个输出端,所述解码模块为并行输出,包括M个输出端,所述纠错单元包括M个纠错器,每个所述纠错器的使能端均连接所述解码模块的一个输出端,每个所述纠错单元的输入端均连接所述第一锁存单元的一个输出端。

25 6.如权利要求4所述的数据纠错电路,其中,所述第二锁存单元包括1个M位移位寄存器,所述第二锁存单元为串行输入。

7.如权利要求5所述的数据纠错电路,其中,所述第二锁存单元包括S个K位移位寄存器, $S \times K = M$,所述第二锁存单元为并行输入, $S \geq 1$ 。

8.如权利要求2~7任一项所述的数据纠错电路,其中,所述第一锁存单元连接第一控制单元,所述第二锁存单元连接第二控制单元,所述第一控制单元用于控制所述第一锁存单元在 $n+mt$ 的时间点开始锁存,n为相对延迟时间,所述相对延迟时间的起点为所述第一数据传输至所述解码模块的时间,m为自然数,t为所述第一数据的传输间隔,n大于0小于t;所述第二控制单元用于控制所述第二锁存单元在 $n+mt$ 至 $n+(m+1)t$ 之间开始锁存。

35 9.如权利要求4或5所述的数据纠错电路,其中,所述纠错器包括并联的反相器和传输管,所述反相器和所述传输管的输入端连接作为所述纠错器的输入端,所述反相器和所

述传输管的输出端连接作为所述纠错器的输出端,所述反相器和所述传输管的使能端均连接所述解码模块的输出端。

10.如权利要求 2 所述的数据纠错电路,其中,所述第一锁存单元为串行输入或并行输入。

5 11.如权利要求 2 或 10 所述的数据纠错电路,其中,所述第二锁存单元为串行输出或并行输出。

12.如权利要求 8 所述的数据纠错电路,其中,所述第二控制单元的输入端连接所述第一控制单元的输出端。

13.一种数据传输电路,包括:

10 奇数据信号线,用于传输奇数据;

偶数据信号线,用于传输偶数据,所述偶数据与所述奇数据交替间隔传输,所述偶数据的到达时间与所述奇数据的到达时间之间具有第一时间间隔;

如权利要求 1~12 任一项所述的数据纠错电路,输入端连接所述奇数据信号线和所述偶数据信号线,输出端连接输出总线,所述输出总线电连接存储区块;

15 其中,所述数据纠错电路用于在所述奇数据或所述偶数据写入所述存储区块时,对所述奇数据或所述偶数据进行纠错。

14.如权利要求 13 所述的数据传输电路,其中,所述数据纠错电路包括解码模块和纠错锁存模块,所述奇数据或所述偶数据在第一时间点进入所述解码模块,所述纠错锁存模块在第二时间点输出纠错后的数据,所述第一时间点和所述第二时间点之间的间隔大于所述第一时间间隔。

15.一种数据传输电路,包括:

第一数据信号线,用于传输奇数据和偶数据,所述偶数据和所述奇数据交替间隔传输,所述偶数据的到达时间和所述奇数据的到达时间之间具有第一时间间隔;

25 如权利要求 1~12 任一项所述的数据纠错电路,输入端连接所述奇数据信号线和所述偶数据信号线,输出端连接输出总线,所述输出总线电连接存储区块;

其中,所述数据纠错电路用于在所述奇数据或所述偶数据写入所述存储区块时,对所述奇数据或所述偶数据进行纠错。