9803217-0
IPOS

世界知的所有権機関
国際事務局

PCT 特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6
H01L 23/12, 21/60, 21/56

A1

(11) 国際公開番号 WO98/18164

(43) 国際公開日 1998年4月30日(30.04.98)

(21) 国際出願番号 PCT/JP97/03459

(22) 国際出願日 1997年9月29日(29.09.97)

(30) 優先権データ
特願平8/297530 1996年10月17日(17.10.96) JP

(71) 出願人（米国を除くすべての指定国について）
セイコーエプソン株式会社
(SEIKO EPSON CORPORATION)[JP/JP]
〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP]
〒392 長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内 Nagano, (JP)
(74) 代理人
弁理士 井上 一, 外(INOUE, Hajime et al.)
〒167 東京都杉並区荻窪五丁目26番13号
荻窪TMビル2階 Tokyo, (JP)

(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, HU, ID, IL, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIPO特許 (GH, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).

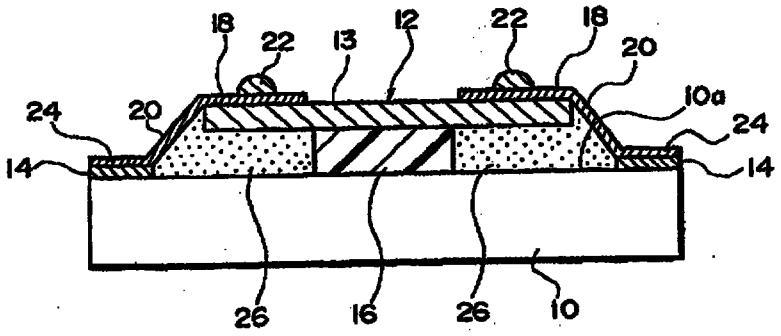
添付公開書類
国際調査報告書

(54)Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING THE SAME, CIRCUIT BOARD, AND FLEXIBLE SUBSTRATE

(54)発明の名称 半導体装置及びその製造方法、回路基板並びにフレキシブル基板

(57) Abstract

A semiconductor device which can be guaranteed for quality and can be handled easily and in which the electrodes of a semiconductor chip can be joined collectively to a flexible substrate, a method for manufacturing the semiconductor device, a circuit board, and a flexible substrate. A gap holding member (16) is provided on the surface of the flexible substrate (12) on which a joining section (24) which joins the substrate (12) to the electrodes (14) of the semiconductor chip (10) is positioned and the member (16) is interposed between the chip (10) and a substrate (12). Then, the joining section (24) on the substrate (12) is joined to the electrodes (14) of the chip (10) and a stress absorbing layer (26) is formed by injecting a moulding material into the space between the substrate (2) and the chip (10).



（５７）要約

品質保証が可能で取り扱いも容易であって、かつ、フレキシブル基板と半導体チップの電極とを一括接合することができる半導体装置及びその製造方法、回路基板並びにフレキシブル基板である。フレキシブル基板１２における半導体チップ１０の電極１４との接合部２４が配置される面にギャップ保持材１６を設け、ギャップ保持材１６を介在させた状態で半導体チップ１０とフレキシブル基板１２とを配置し、フレキシブル基板１２に設けられた接合部２４と半導体チップ１０の電極１４とを接合し、モールド材を注入して応力吸収層２６を設ける。

ＰＣＴに基づいて公開される国際出願のパンフレット第一頁に掲載されたＰＣＴ加盟国を同定するために使用されるコード（参考情報）

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GA	ガボン	LV	ラトヴィア	TD	チャード
AU	オーストラリア	GB	英国	MC	モナコ	TG	トーゴー
AZ	アゼルバイジャン	GE	グルジア	MD	モルドヴァ	TJ	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GM	ガンビア	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BE	ベルギー	GN	ギニア	ML	マリ	TT	トリニダッド・トバゴ
BF	ブルキナ・ファソ	GW	ギニア・ビサオ	MN	モンゴル	UA	ウクライナ
BG	ブルガリア	GR	ギリシャ	MR	モーリタニア	UG	ウガンダ
BJ	ベナン	HU	ハンガリー	MW	マラウイ	US	米国
BR	ブラジル	ID	インドネシア	MX	メキシコ	UZ	ウズベキスタン
BY	ベラルーシ	IE	アイルランド	NE	ニジェール	VN	ヴィエトナム
CA	カナダ	IL	イスラエル	NL	オランダ	YU	ユーゴースラヴィア
CF	中央アフリカ	IS	アイスランド	NO	ノールウェー	ZW	ジンバブエ
CG	コンゴー共和国	IT	イタリア	NZ	ニュージーランド		
CH	スイス	JP	日本	PL	ポーランド		
CI	コートジボアール	KE	ケニア	PT	ポルトガル		
CM	カメルーン	KG	キルギス	RO	ルーマニア		
CN	中国	KP	北朝鮮	RU	ロシア		
CU	キューバ	KR	韓国	SD	スーダン		
CY	キプロス	KZ	カザフスタン	SE	スウェーデン		
CZ	チェッコ	LC	セントルシア	SG	シンガポール		
DE	ドイツ	LI	リヒテンシュタイン	SI	スロヴェニア		
DK	デンマーク	LK	スリランカ	SK	スロヴァキア		
EE	エストニア	LR	リベリア	SL	シエラ・レオーネ		
ES	スペイン	LS	レソト				