

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月21日(21.03.2019)



(10) 国際公開番号

WO 2019/054509 A1

(51) 国際特許分類:
H01L 21/60 (2006.01)

(21) 国際出願番号: PCT/JP2018/034302

(22) 国際出願日: 2018年9月14日(14.09.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-177487 2017年9月15日(15.09.2017) JP

(71) 出願人: 日立化成株式会社(**HITACHI CHEMICAL COMPANY, LTD.**) [JP/JP]; 〒1006606 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(72) 発明者: 小野 関 仁 (**ONOEKI, Hitoshi**); 〒1006606 東京都千代田区丸の内一丁目9番2号 日立化成株式会社内 Tokyo (JP). 福住 志津(**FUKUZUMI, Shizu**); 〒1006606 東京都千代田区丸の内一丁目9番2号 日立化成株式会社内 Tokyo (JP). 鈴木 直也(**SUZUKI,**

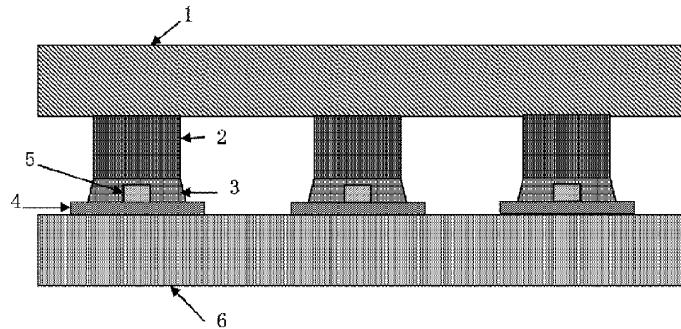
Naoya); 〒1006606 東京都千代田区丸の内一丁目9番2号 日立化成株式会社内 Tokyo (JP). 野中 敏央(**NONAKA, Toshihisa**); 〒1006606 東京都千代田区丸の内一丁目9番2号 日立化成株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人太陽国際特許事務所 (**TAIYO, NAKAJIMA & KATO**); 〒1600022 東京都新宿区新宿4丁目3番17号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SEMICONDUCTOR ELEMENT MOUNTING STRUCTURE, AND COMBINATION OF SEMICONDUCTOR ELEMENT AND SUBSTRATE

(54) 発明の名称: 半導体素子の実装構造及び半導体素子と基板との組み合わせ



(57) **Abstract:** In this semiconductor element mounting structure, a semiconductor element having an element electrode, and a substrate having a substrate electrode that is provided at a position on a surface on a side facing the semiconductor element so as to face the element electrode, are connected to each other via the element electrode and the substrate electrode. One of the element electrode and the substrate electrode is a first projected electrode having a solder layer at an end thereof. The other of the element electrode and the substrate electrode is a first electrode pad having one or multiple metal protruding portions on a surface thereof. The metal protruding portions included in the first electrode pad intrude in the solder layer included in the first projected electrode. The bottom area of the metal protruding portions included in the first electrode pad is 70% or less with respect to the area of the first electrode pad, or is 75% or less with respect to the maximum cross-sectional area of the solder layer of the first projected electrode having the solder layer at the end thereof.

[続葉有]

WO 2019/054509 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 半導体素子の実装構造は、素子電極を有する半導体素子と、前記半導体素子と対向する側の面の前記素子電極と対向する位置に設けられた基板電極を有する基板とが、前記素子電極と前記基板電極とを介して接続されており、前記素子電極及び前記基板電極の一方が、先端部にはんだ層を有する第1突起電極であり、前記素子電極及び前記基板電極の他方が、1又は2以上の金属凸部を表面に有する第1電極パッドであり、前記第1電極パッドが有する前記金属凸部が、前記第1突起電極が有する前記はんだ層に貫入しており、前記第1電極パッドが有する前記金属凸部の底部面積が、前記第1電極パッドの面積に対して、70%以下であるか、又は、前記先端部にはんだ層を有する第1突起電極の前記はんだ層の最大断面積に対して、75%以下である。