

MBIST 控制电路、方法、存储器及设备

相关申请的交叉引用

本申请基于申请号为 202310090777.0、申请日为 2023 年 02 月 09 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本公开涉及半导体技术领域，尤其涉及一种 MBIST 控制电路、方法、存储器及设备。

背景技术

在半导体技术的发展过程中，由于存储器内建自测试（Memory Built-In Self Test, MBIST）可以有助于解决在单个存储器中的诸如单比特位失效（single-bit failures）、多比特位失效（or multi-bit failures）等严重故障，从而使得问题存储单元能够在初始阶段（initialization phase）被及时发现和修复。因此，MBIST 测试成为了半导体技术的研究方向之一。

然而，现有的 MBIST 测试往往测试时间较长，而导致测试效率较低。

因此，如何提高 MBIST 测试效率成为了亟待解决的技术问题。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开提供一种 MBIST 控制电路、方法、存储器及设备，至少在一定程度上克服相关技术中 MBIST 测试效率较低的问题。

本公开的其他特性和优点将通过下面的详细描述变得显然，或部分地通过本公开的实践而习得。

根据本公开的一个方面，提供了一种 MBIST 控制电路，包括：

存储器控制电路，包括第一输入端和第一输出端，第一输入端用于接收目标字线的外部预充电命令；存储器控制电路用于响应于外部预充电命令，生成计数更新命令；第一输出端用于输出计数更新命令；

逐行行锤追踪控制电路，包括第二输入端、第二输出端和第一控制端；第二输入端与第一输出端连接，用于接收计数更新命令；第一控制端用于接收逐行行锤追踪控制命令；逐行行锤追踪控制电路用于在逐行行锤追踪控制命令为第一电平状态时，停止向第二输出端提供计数更新命令，以使与第二输出端连接的目标字线的行计数存储单元在未接收到计数更新命令的情况下停止更新；

其中，逐行行锤追踪控制命令的第一电平状态用于表示处于 MBIST 测试模式。

在一个实施例中，逐行行锤追踪控制电路，具体用于：

在逐行行锤追踪控制命令为第一电平状态时，将计数更新命令拉至目标电平状态，其中，行计数存储单元不对目标电平状态进行响应。

在一个实施例中，逐行行锤追踪控制电路包括：

开关单元，包括第一连接端、第二连接端和开关控制端，第一连接端作为第二输入端，第二连接端作为第二输出端，开关控制端作为第一控制端，开关控制端用于在施加有第一电平时，控制第一连接端和第二连接端断开，以及在施加有第二电平时，控制第一连接端和第二连接端导通。

在一个实施例中，逐行行锤追踪控制电路包括：

与门单元，包括第三逻辑输入端、第四逻辑输入端和第二逻辑输出端，第三逻辑输入端作为第二输入端，第二逻辑输出端作为第二输出端，第二逻辑输出端作为第一控制端。

在一个实施例中，逐行行锤追踪控制电路还用于：

在逐行行锤追踪控制命令为第二电平状态的情况下，将计数更新命令提供至第二输出端，以使行计数存储单元基于计数更新命令对目标字线的激活命令统计数量进行更新；

第一电平状态和第二电平状态的一者为高电平状态，第一电平状态和第二电平状态的另一者为低电平状态。

在一个实施例中，电路还包括：

信号处理电路，包括第三输入端、第四输入端和第三输出端，第三输入端用于接收控制主机发送的针对目标字线的第一预充电命令；第四输入端用于接收 MBIST 测试系统发送的针对目标字线的第二预充电命令；信号处理电路用于在接收到第一预充电命令和/或第二预充电命令的情况下，生成外部预充电命令；第三输出端用于输出外部预充电命令。

在一个实施例中，信号处理电路包括：

数据选择器，包括第二控制端、第一数据输入端、第二数据输入端和数据输出端；第二控制端用于接收 MBIST 使能信号；第一数据输入端作为信号处理电路的第三输入端；第二数据输入端作为信号处理电路的第四输入端；数据输出端作为信号处理电路的第三输出端；数据输出端用于在 MBIST 使能信号处于第三电平状态时，将第一数据输入端接收的第一预充电命令作为外部预充电命令输出，以及在 MBIST 使能信号处于第四电平状态时，将第二数据输入端接收的第二预充电命令作为外部预充电命令输出。

在一个实施例中，信号处理电路包括：

或门单元，或门单元包括第一逻辑输入端、第二逻辑输入端和第一逻辑输出端，第一逻辑输入端作为信号处理电路的第三输入端，第一预充电命令对应于高电平信号；第二逻辑输入端作为信号处理电路的第四输入端，第二预充电命令对应于高电平信号；第一逻辑输出端作为信号处理电路的第三输出端；第一逻辑输出端用于在第一逻辑输入端和/或第二逻辑输入端接收到高电平信号时，输出作为外部预充电命令的高电平信号。

在一个实施例中，逐行行锤追踪控制命令为 MBIST 使能信号的取反信号。

在一个实施例中，存储器控制电路还用于：

获取模式寄存器存储的比特序列；

基于比特序列的预设字段的比特值，生成逐行行锤追踪控制命令。

在一个实施例中，存储器控制电路还包括：

第五输出端，存储器控制电路还用于响应于外部预充电命令，生成内部预充电命令；第五输出端用于输出内部预充电命令，以使位于目标字线的存储单元响应于内部预充电命令，执行预充电操作。

在一个实施例中，行计数存储单元还用于：

在激活命令统计数量大于或等于预设数量阈值的情况下，向控制主机发送反馈信号，以使控制主机响应于反馈信号，向目标字线所属存储器发送 RFM 命令。

在一个实施例中，MBIST 控制电路对应于存储器的至少一个存储阵列；

至少一个存储阵列的字线依次作为目标字线。

根据本公开的另一个方面，提供一种 MBIST 控制方法，包括：

存储器控制电路接收目标字线的外部预充电命令；

存储器控制电路响应于外部预充电命令，生成计数更新命令；

逐行行锤追踪控制电路接收计数更新命令以及接收逐行行锤追踪控制命令；

逐行行锤追踪控制电路在逐行行锤追踪控制命令为第一电平状态时，停止向逐行行锤追踪控制电路的第二输出端提供计数更新命令，以使与第二输出端连接的目标字线的行计数存储单元在未接收到计数更新命令的情况下停止更新；

其中，逐行行锤追踪控制命令的第一电平状态用于表示处于 MBIST 测试模式。

根据本公开的又一个方面，提供一种存储器，包括：存储电路；以及上述 MBIST 控制电路。

根据本公开的再一个方面，提供一种电子设备，包括：

上述存储器。

本公开实施例所提供的 MBIST 控制电路、方法、存储器及设备，逐行行锤追踪控制电路在接收到存储器控制电路基于外部预充电命令生成的计数更新命令的情况下，可以在逐行行锤追踪控制命令为第

一电平状态时,停止向行计数存储单元发送计数更新命令的方式控制行计数存储单元停止对其进行更新。由于逐行行锤追踪控制命令的第一电平状态用于表示处于 MBIST 测试模式,通过本公开实施例可以在 MBIST 测试模式停止行计数的更新,节省了计数存储单元更新过程的额外操作时间,从而提高了 MBIST 测试效率。

应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本公开的实施例,并与说明书一起用于解释本公开的原理。显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

图 1 示出了本公开实施例提供的一种存储系统的系统架构图;

图 2 示出了本公开实施例提供的一种存储阵列的结构示意图;

图 3 示出了本公开实施例提供的一种示例性的存储阵列的结构示意图;

图 4 示出了一种 MBIST 测试过程的时序控制图;

图 5 示出了本公开实施例提供的一种 MBIST 测试过程的时序控制图;

图 6 示出本公开实施例中一种 MBIST 控制电路的结构示意图;

图 7 示出了本公开实施例提供的一种示例性的 MBIST 控制电路的结构示意图;

图 8 示出了本公开实施例提供的另一种示例性的 MBIST 控制电路的结构示意图;

图 9 示出了本公开实施例中与门单元的信号传输的逻辑示意图;

图 10 示出了本公开实施例提供的存储器控制电路的处理逻辑的逻辑示意图;

图 11 示出了生成 MBIST 使能信号的取反信号的逻辑示意图;

图 12 示出了本公开实施例提供的另一种 MBIST 控制电路的结构示意图;

图 13 示出本公开实施例中又一种 MBIST 控制电路的结构示意图;

图 14 示出了本公开实施例提供的又一种示例性的 MBIST 控制电路的结构示意图;

图 15 示出了本公开实施例提供的再一种示例性的 MBIST 控制电路的结构示意图;

图 16 示出了本公开实施例中或门单元的信号传输的逻辑示意图;

图 17 示出了本公开实施例提供的一种 MBIST 控制方法的流程示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而, 示例实施方式能够以多种形式实施, 且不应被理解为限于在此阐述的范例; 相反, 提供这些实施方式使得本公开将更加全面和完整, 并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。

此外, 附图仅为本公开的示意性图解, 并非一定是按比例绘制。图中相同的附图标记表示相同或类似的部分, 因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体, 不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体, 或在一个或多个硬件电路或集成电路中实现这些功能实体, 或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

应当理解, 本公开的方法实施方式中记载的各个步骤可以按照不同的顺序执行, 和/或并行执行。此外, 方法实施方式可以包括附加的步骤和/或省略执行示出的步骤。本公开的范围在此方面不受限制。

需要注意, 本公开中提及的“第一”、“第二”等概念仅用于对不同的装置、电路或单元进行区分, 并非用于限定这些装置、电路或单元所执行的功能的顺序或者相互依存关系。

需要注意，本公开中提及的“一个”、“多个”的修饰是示意性而非限制性的，本领域技术人员应当理解，除非在上下文另有明确指出，否则应该理解为“一个或多个”。

在半导体技术领域，为了保障存储器的正常使用，电子设备中的运行系统需要对存储器进行内建自测试(Memory Built in SelfTest, MBIST)，以便识别出在出厂时的存储器可能存在的故障。并且，还需要在运行系统运行的情况下，在存储器出现故障时能被及时发现。因此，MBIST 对于存储器及运行系统的正常运转非常重要。

在开始说明本公开实施例提供的技术方案之前，先对本公开实施例涉及的存储系统进行说明。

图 1 示出了本公开实施例提供的一种存储系统的系统架构图。如图 1 所示，存储系统可以包括 MBIST 测试系统 10、存储器 20、控制主机 30。

其中，MBIST 测试系统 10 可以对存储器 20 进行 MBIST 测试。示例性地，在 MBIST 测试过程中，MBIST 测试系统 10 可以向存储器下发第一预充电命令等控制命令，以对存储器的存储阵列的字线进行逐行扫描的方式来测试问题。

存储器 20，其可以在某根字线的激活命令统计数量达到预设数量阈值的情况下，向控制主机发送信号。存储器可以包括多个存储阵列。示例性地，图 2 示出了本公开实施例提供的一种存储阵列的结构示意图。如图 2 所示，存储阵列 11 包括多个存储单元 111、多条字线 WL_0 至 WL_M 和多条位线 BL_0 至 BL_N 。其中，M 和 N 均为任意正整数。其中，同一行的存储单元连接在同一条字线上。

控制主机 30，可以响应于存储器 20 发送的信号，向存储器 20 发送 RFM 命令进行刷新。

在介绍了本公开实施例涉及的存储系统之后，接下来继续对本公开实施例涉及的技术术语进行说明。

(1) 行锤效应 (Row Hammer)，

当存储器单元中某一单行地址的单次开启时间过长时，可能引发相邻地址(一般称为“行锤地址”)的电容器的放电速率高于自然放电

速率,进而导致相邻地址的电容器在刷新信号到来之前因丢失过多电荷而发生数据丢失,这种情况一般称之为“行锤效应”。

为抑制行锤效应,需要对行锤地址进行及时的刷新操作,以重新补充电荷,避免存储数据发生错误。

(2) 逐行行锤追踪 (Per Row Hammer Tracking, PRHT), 即一种用来缓解行锤效应的操作。其中, 为了便于描述, 将说明书下述部分的逐行行锤追踪简述为 PRHT。

具体地, 图 3 示出了本公开实施例提供的一种示例性的存储阵列的结构示意图。如图 3 所示, 通过在每一行(row)增加 16 个列(column)来对 row 的激活命令统计数量(active count)计数。具体地, 16 个列可以位于存储子阵列(Sub-array)的以图案填充块示出的位置 P1 处。

当某一行的激活命令统计数量超过一个设定的阈值时, 通过拉低 ALERT_n 引脚来告知控制主机 (Host)。控制主机会发送 RFM 命令来缓解行锤效应的问题。

(3) RFM 命令, 即一种用于控制存储器进行刷新管理 (Refresh Management, RFM) 的命令。其中, RFM 与自动刷新 (Auto refresh)、自刷新 (Self refresh) 是诸如 DDR5 等存储器的三种刷新方式。

具体地, 存储器在接到 RFM 命令之后, 可以对应生成激活命令 (active, ACT)、预充电命令 (Precharge, PRE) 等来实现刷新操作。可选地, 在执行 RFM 命令的同时还可以对字线的激活命令统计数量清零。

在介绍了上述技术术语之后, 接下来继续对本公开实施例提供的方案进行说明。

针对现有的 MBIST 测试的测试效率较低的问题, 发明人通过研究发现, 在 MBIST 测试过程中, 会涉及到激活命令和预充电命令的发送。具体地, 每一次激活命令, 存储器需要将激活命令统计数量加 1, 然后再写入存储器的行计数存储单元 (Row Counter Cell)。

具体地, 图 4 示出了一种 MBIST 测试过程的时序控制图。如图 4 所示, 激活命令 (ACT) 和预充电命令 (PRE) 是成对出现的, 为了减小延迟 (latency), 诸如 DRAM 等存储器会在收到 CMD 总线的

PRE 命令才会更新行计数存储单元(counter cell)。在更新过程中,在接收到图 4 示出的 iRD 命令,需要进行将激活命令统计数量读出,以及在对激活命令统计数量更新之后,需要在接收到图 4 示出的 iWR 命令后写入计数存储单元。直到内部 CMD 总线的 PRE 命令来临前完成计数存储单元(counter cell)的更新。相应地,图 4 示出的 tACU 即为更新计数存储单元的时间。

以及,发明人还发现,MBIST 测试是对存储阵列(Bank)的各条字线逐根扫描的方式,来测试每根字线是否存在问题。MBIST 测试不存在 PRHT 所要解决的单根字线被频繁访问产生行锤效应的问题。相应地,在 MBIST 测试过程中的更新计数存储单元会造成额外的操作时间。在进行 MBIST 测试时,会大大增加测试的时间,进而增大系统启动的时间。

基于此,本公开实施例提供了一种 MBIST 控制方案,可以应用于存储器的 MBIST 测试场景中。通过本公开实施例,可以在 MBIST 测试模式停止行计数的更新,节省了计数存储单元更新过程的额外操作时间,从而提高了 MBIST 测试效率。

示例性地,5 示出了本公开实施例提供的一种 MBIST 测试过程的时序控制图。通过图 5 和图 4 对比可知,采用本公开实施例提供的技术方案,节省了 tACU 的时间,提高了 MBIST 测试效率。

接下来,将结合附图及实施例对本示例实施方式进行详细说明。

本公开实施例中提供了一种 MBIST 控制电路,其可以设置于存储器内部。在一些实施例中,一个 MBIST 控制电路可以对应于一个或多个存储阵列。示例性地,一个 MBIST 控制电路可以对应于一个存储阵列。

图 6 示出本公开实施例中一种 MBIST 控制电路的结构示意图。如图 6 所示,本公开实施例中提供的 MBIST 控制电路包括存储器控制电路 60 和 PRHT 控制电路 70。接下来将对各电路逐一说明。

存储器控制电路(Controller)60,其可以包括第一输入端 61 和第一输出端 62。其中,第一输入端 61 可以用于接收目标字线的外部预充电命令。存储器控制电路 60 可以用于响应于外部预充电命令,

生成计数更新命令 (Counter Update)。第一输出端 62 用于输出该计数更新命令。

其中，计数更新命令用于对目标字线的行计数存储单元进行更新。

其中，目标字线可以是在 MBIST 测试过程中需要进行测试的字线。在一些实施例中，在 MBIST 控制电路对应于存储器的至少一个存储阵列的情况下，至少一个存储阵列的字线依次作为目标字线。通过本实施例，通过将字线依次作为目标字线的方式，设置一个 MBIST 测试电路即可实现对至少一个存储阵列的字线的控制，降低了控制成本。以及，在对至少一个存储阵列的字线逐根进行问题扫描的过程中，可以对多根字线逐一进行 MBIST 控制，提高了测试的有序性。在一些实施例中，还可以在至少一个存储阵列的字线中任意选择或者随机选择一个字线作为目标字线，本公开实施例对目标字线的选择方式不作限制。

示例性地，存储器控制电路 60 可以是存储器内部具有控制功能的电路或者电路，对此不作具体限制。

在介绍了存储器控制电路 60 之后，接下来继续对 PRHT 控制电路 70 进行说明。

PRHT 控制电路 70，其可以包括第二输入端 71、第二输出端 72 和第一控制端 73。第二输入端 71 与第一输出端 62 连接，用于接收第一输出端 62 发送的计数更新命令。第一控制端 73 用于接收 PRHT 控制命令。PRHT 控制电路 70 用于在 PRHT 控制命令为第一电平状态时，停止向第二输出端提供计数更新命令，以使与第二输出端 72 连接的目标字线的行计数存储单元 81 在未接收到计数更新命令的情况下停止更新。

具体地，为了便于理解 PRHT 控制电路 70，在开始介绍其具体功能及结构前先对 PRHT 控制命令和行计数存储单元等概念进行说明。

其中，对于 PRHT 控制命令，其用于控制 PRHT 操作的开启或者关闭。示例性地，PRHT 控制命令的第一电平状态用于表示处于 MBIST 测试模式。可选地，PRHT 控制命令的第二电平状态用于表示

处于正常模式，即非 MBIST 模式。其中，第一电平状态和第二电平状态的一者为高电平状态，第一电平状态和第二电平状态的另一者为低电平状态。

示例性地，PRHT 控制命令可以为 MBIST 使能信号的取反信号，其可以表示为“/MBISTEN”。比如，取反信号的低电平可以作为 PRHT 控制命令的第一电平状态，取反信号的高电平可以作为 PRHT 控制命令的第二电平状态。由于 MBIST 使能信号的电平高低能够准确表征 MBIST 测试模式或者正常模式，相应地，以 MBIST 使能信号的取反信号作为 PRHT 控制命令，能够根据取反信号的电平高低在 MBIST 测试模式时准确控制计数更新命令停止传输，从而提高了 MBIST 控制的精准度。以及，由于取反信号的电平切换至第一电平状态的时间与进入 MBIST 测试模式的时间能够完全对齐，从而通过取反信号的第一电平状态在进入 MBIST 测试模式时进行及时的 PRHT 控制，提高了 MBIST 控制的准确性和及时性。

又一示例性地，PRHT 控制命令可以为 MBIST 使能信号。其可以表示为“MBIST EN”。比如，MBIST 使能信号的高电平可以作为 PRHT 控制命令的第一电平状态，MBIST 使能信号的低电平可以作为 PRHT 控制命令的第二电平状态。

需要说明的是，PRHT 控制命令还可以是其他能够表征是否进入 MBIST 测试模式的信号，对此不作具体限制。

在介绍了 PRHT 控制命令之后，接下来对行计数存储单元 81 进行说明。

对于计数存储单元 (Row Counter Cell) 81，其可以是用于存储目标行的激活命令统计数量的存储单元。示例性地，继续参见图 3，行计数存储单元 81 可以位于各行的位置 P1 处。其中，激活命令统计数量，即对目标行所接收到的激活命令的数量统计结果。

在一些实施例，行计数存储单元 81 可以在未接收到计数更新命令的情况下，停止对所存储的激活命令统计数量进行更新。

在初步介绍了计数存储单元之后，接下来继续对 PRHT 控制电路 70 的具体功能及结构进行说明。

在一些实施例中, PRHT 控制电路 70 可以用于: 在 PRHT 控制命令为第一电平状态时, 将计数更新命令拉至目标电平状态。其中, 行计数存储单元 81 不对目标电平状态进行响应。示例性地, 在行计数存储单元 81 不对低电平信号进行响应的情况下, 目标电平状态可以为低电平状态。又或者, 在行计数存储单元 81 不对高电平信号进行响应的情况下, 目标电平状态可以为高电平状态。

可选地, PRHT 控制电路 70 还可以用于: 在 PRHT 控制命令为第二电平状态时, 将计数更新命令拉至目标电平状态的相反电平状态。其中, 低电平状态与高电平状态互为相反电平状态。

通过本实施例, 可以通过拉低或者拉高计数更新命令的方式来控制行计数存储单元 81 是否进行更新, 在提高了控制便捷性的同时, 提高了控制精度。

在一个示例中, 图 7 示出了本公开实施例提供的一种示例性的 MBIST 控制电路的结构示意图。如图 7 所示, PRHT 控制电路 70 包括开关单元 74。

开关单元 74 包括第一连接端 741、第二连接端 742 和开关控制端 743。第一连接端 741 作为 PRHT 控制电路 70 的第二输入端 71。第二连接端 742 作为 PRHT 控制电路 70 的第二输出端 72, 开关控制端 743 作为 PRHT 控制电路 70 的第一控制端 73, 开关控制端 743 用于在施加有第一电平 (即第一电平状态对应的电平) 时, 控制第一连接端 741 和第二连接端 742 断开, 此时无法将计数更新命令传输至行计数存储单元 81。以及在施加有第二电平 (即第二电平状态对应的电平) 时, 控制第一连接端 741 和第二连接端 742 导通, 此时可以将计数更新命令传输至行计数存储单元 81。

在一个示例中, 开关单元 74 可以实现为金属-氧化物半导体场效应晶体管 (Channel Metal Oxide Semiconductor, MOS) 等具有控制引脚的晶体管。比如, 如图 7 所示的 P 型 MOS 管 MP1。其中, P 型 MOS 管 MP1 的源极作为第一连接端 741、P 型 MOS 管 MP1 的漏极作为第二连接端 742, P 型 MOS 管 MP1 的栅极作为开关控制端 743

需要说明的是, 开关单元 74 还可以是除晶体管之外其他具有开

关功能的电路或者器件，对此不作具体限制。

通过本实施例，通过开关单元 74，可以根据开关单元的开关控制端接收到的 PRHT 控制命令，可以通过控制计数更新命令的传输路径通断的方式，来对计数更新命令是否继续传输进行准确控制，保证了 MBIST 控制精度。以及使得 MBIST 控制电路结构简单，便于实现，降低了控制成本。

在另一个示例中，图 8 示出了本公开实施例提供的另一种示例性的 MBIST 控制电路的结构示意图。如图 8 所示，PRHT 控制电路 70 包括与门单元 AND1。与门单元 AND1 包括第三逻辑输入端 X1、第四逻辑输入端 X2 和第二逻辑输出端 Y1。

第三逻辑输入端 X1 作为 PRHT 控制电路 70 的第二输入端 71。第二逻辑输出端 Y1 作为 PRHT 控制电路 70 的第二输出端 72，第二逻辑输出端 Y1 作为 PRHT 控制电路 70 的第一控制端 73。

图 9 示出了本公开实施例中与门单元的信号传输的逻辑示意图。如图 9 所示，与门单元 AND1 的控制逻辑如真值表 T11 所示。具体地，第三逻辑输入端 X1 的计数更新命令处于高电平状态，对应逻辑值“1”。此时，若第四逻辑输入端 X2 处于高电平状态（对应于 PRHT 控制命令的第二电平状态），则第二逻辑输出端 Y1 输出逻辑值“1”对应的高电平，此时可以将输出的高电平作为输出的计数更新命令。

此外，在第四逻辑输入端 X2 处于低电平状态（对应于 PRHT 控制命令的第一电平状态），则无关于计数更新命令对应的逻辑值，第二逻辑输出端 Y1 输出逻辑值“0”对应的低电平，此时无法输出计数更新命令。

需要说明的是，本公开实施例中的 PRHT 控制电路 70 还可以实现为其他能够控制计数更新命令传输的电路、器件、功能电路、逻辑门器件及其组合等，对此不作具体限制。

在一些实施例中，PRHT 控制电路 70 还用于：

在 PRHT 控制命令为第二电平状态的情况下，将计数更新命令提供至第二输出端，以使行计数存储单元 81 基于计数更新命令对目标字线的激活命令统计数量进行更新。示例性地，激活命令统计数量可

以在原始数值的基础上加 1，得到更新后的激活命令统计数量。

由于在 PRHT 控制命令的第二电平状态表征存储器处于正常模式（正常操作模式），在本实施例中，在正常模式下，PRHT 控制电路 70 可以向行计数存储单元 81 发送计数更新命令，对激活命令统计数量进行累加更新，从而保证了正常模式下的 PRHT 功能的正常开展。

需要说明的是，PRHT 控制电路 70 还可以根据实际情况和具体需求，实现其他功能，对此不作具体限制。

本公开实施例所提供的 MBIST 控制电路，PRHT 控制电路在接收到存储器控制电路基于外部预充电命令生成的计数更新命令的情况下，可以在 PRHT 控制命令为第一电平状态时，停止向行计数存储单元 81 发送计数更新命令的方式控制行计数存储单元 81 停止对其进行更新。由于 PRHT 控制命令的第一电平状态用于表示处于 MBIST 测试模式，通过本公开实施例可以在 MBIST 测试模式停止行计数的更新，节省了计数存储单元更新过程的额外操作时间，从而提高了 MBIST 测试效率。

以及，通过本公开实施例，可以在 MBIST 测试模式下自动关闭 PRHT 功能，提高了 MBIST 测试的可靠性。

在一些实施例中，存储器控制电路 60 还用于：获取模式寄存器（Mode Register，MR 寄存器）存储的比特序列。基于比特序列的预设字段的比特值，生成 PRHT 控制命令。

示例性地，图 10 示出了本公开实施例提供的存储器控制电路的处理逻辑的逻辑示意图。如图 10 所示，存储器控制电路 60 可以从 MR 寄存器读取比特序列 1010。其中，比特序列的 OP[4] 字段定义了是否处于 MBIST 测试模式。比如，图 11 示出了生成 MBIST 使能信号的取反信号的逻辑示意图。如图 11 所示，比特序列的 OP[4] 字段的存储值为 1 时，表示处于 MBIST 测试模式（MBIST Enable）。以及在 OP[4] 字段的存储值为 0 时，表示处于正常模式（MBIST Disabled）。

以及，在得到 OP[4] 字段的存储值之后，可以得到 MBIST 使能信号的取反信号（PRHT 控制命令）。比如，继续参见图 11，在存储值为 1 时，可以生成对应于低电平（第一电平状态）的 MBIST 使能

信号的取反信号 (/MBIST EN)。同理地,存储值为 0 时,生成对应于高电平(第二电平状态)的 MBIST 使能信号的取反信号。

可选地,存储器控制电路 60 还可以生成 MBIST 使能信号,其具体生成过程与 MBIST 使能信号的取反信号的实现方式相似,对此不再赘述。

由于控制器(CPU)可以通过配置 MR 寄存器的预设字段的具体数值的方式控制存储器进入 MBIST 测试模式。相应地,通过 MR 寄存器中存储的数据可以准确判断存储器当前处于 MBIST 测试模式或者正常模式,通过读取 MR 寄存器的比特序列所生成的 PRHT 控制命令能够准确表征是否存储器已进入 MBIST 测试模式,从而通过 PRHT 控制命令能够准确对 MBIST 测试模式进行控制,提高了控制精度。

在一些实施例中,图 12 示出了本公开实施例提供的另一种 MBIST 控制电路的结构示意图。图 12 与图 6 的不同之处在于,存储器控制电路 60 还包括第五输出端 63。

相应地,存储器控制电路 60 还用于响应于外部预充电命令,生成内部预充电命令。第五输出端 53 用于输出该内部预充电命令,以使目标字线的存储单元(Row Cell) 82 响应于内部预充电命令,执行预充电操作。

示例性地,目标字线的存储单元 82 可以是位于目标字线上的存储单元。

需要说明的是,在本公开实施例中,在正常模式下,存储器控制电路 60 可以向目标字线的存储单元 82 发送预充电命令,以及向行计数存储单元 81 发送计数更新命令,对激活命令统计数量进行累加更新,从而保证了正常模式下的 PRHT 功能的正常开展。以及,在 MBIST 模式下,存储器控制电路 60 可以向目标字线的存储单元 82 发送预充电命令,在实现对目标字线 MBIST 测试的同时,通过禁止行计数存储单元 81 的更新来提高了测试效率。

通过本实施例,可以能够根据外部预充电命令生成内部预充电命令,可以使得存储器无论在 MBIST 测试模式或者是正常模式(即非

MBIST 测试模式) 下均可以对外部预充电指令进行正常响应, 提高了存储器工作的有序性。

在一些实施例中, 行计数存储单元 81 还用于: 在激活命令统计数量大于或等于预设数量阈值的情况下, 向控制主机发送反馈信号, 以使控制主机响应于反馈信号, 向目标字线所属存储器发送 RFM 命令。其中, 预设数量阈值可以根据实际情况和具体需求设置为经验值或者是计算值, 对此不作具体限制。

在一些实施例中, 存储器可以通过拉低 ALERT_n 引脚的方式, 向控制主机发送反馈信号。可选地, 该反馈信号用于向控制主机反馈目标字线被频繁激活, 其相邻字线存在行锤效应。

在一些实施例中, 存储器在接收到 RFM 命令之后, 可以对目标字线的相邻字线进行刷新, 以避免行锤效应的产生。

通过本实施例, 行计数存储单元 81 可以在激活命令统计数量大于或等于预设数量阈值的情况下向控制主机及时反馈, 从而能够对行锤效应及时预警以使控制主机能够及时对告警信息进行及时处理, 保证了存储器的性能和可靠性。

图 13 示出本公开实施例中又一种 MBIST 控制电路的结构示意图。如图 13 所示, 本公开实施例中提供的 MBIST 控制电路包括存储器控制电路 60、PRHT 控制电路 70 和信号处理电路 90。其中, 存储器控制电路 60、PRHT 控制电路 70 可以参见本公开实施例的上述说明, 接下来对信号处理电路 90 进行说明。

信号处理电路 90 包括第三输入端 91、第四输入端 92 和第三输出端 93, 第三输入端 91 用于接收控制主机发送的针对目标字线的第一预充电命令。第四输入端 92 用于接收 MBIST 测试系统发送的针对目标字线的第二预充电命令。信号处理电路 90 用于在接收到第一预充电命令和/或第二预充电命令的情况下, 生成外部预充电命令。第三输出端 93 用于输出该外部预充电命令。

在一个示例中, 图 14 示出了本公开实施例提供的又一种示例性的 MBIST 控制电路的结构示意图。如图 14 所示, 信号处理电路 90

可以包括数据选择器 M1。

数据选择器 M1 包括第二控制端 C1、第一数据输入端 X3、第二数据输入端 X4 和数据输出端 Y2。

第二控制端 C1 用于接收 MBIST 使能信号, 比如图 14 中的 MBIST EN。

第一数据输入端 X3 作为信号处理电路 90 的第三输入端 91, 其可以用于接收控制主机发送的第一预充电命令 PRE1。

第二数据输入端 X4 作为信号处理电路 90 的第四输入端 92, 其可以用于接收 MBIST 测试系统发送的第二预充电命令 PRE2。

数据输出端 Y2 作为信号处理电路 90 的第三输出端 93, 其用于输出外部预充电命令 PRE3。具体地, 数据输出端 Y2 用于在 MBIST 使能信号 MBISTEN 处于第三电平状态时, 将第一数据输入端 X3 接收的第一预充电命令 PRE1 作为外部预充电命令 PRE3 输出, 以及在 MBIST 使能信号 MBIST EN 处于第四电平状态时, 将第二数据输入端 X4 接收的第二预充电命令 PRE 作为外部预充电命令 PRE3 输出。

其中, 第三电平状态和第四电平状态中的一者为高电平状态, 第三电平状态和第四电平状态中的另一者为低电平状态。

示例性地, 继续参见图 14, 若第一数据输入端 X3 为低电平导通 (对应于图 14 中的 “0” 端口) 时, 第三电平状态为低电平状态, 相应地, 第四电平状态为高电平状态。

需要说明的是, 在本公开实施例中还可以采用其他具有数据选择功能的器件来实现上述功能, 对此不作赘述。

通过本示例, 通过数据选择器, 可以对第一预充电命令和第二预充电命令以二选一的方式进行灵活选通, 保证了存储器控制电路 60 可以接收到准确的外部预充电命令, 保证了 MBIST 控制电路的控制有序性。

在一个示例中, 图 15 示出了本公开实施例提供的再一种示例性的 MBIST 控制电路的结构示意图。

如图 15 所示, 信号处理电路 90 可以或门单元 OR1。或门单元 OR1 包括第一逻辑输入端 X5、第二逻辑输入端 X6 和第一逻辑输出

端 Y3。

第一逻辑输入端 X5 作为信号处理电路 90 的第三输入端 91，第一预充电命令对应于高电平信号。

第二逻辑输入端 X6 作为信号处理电路 90 的第四输入端 92，第二预充电命令对应于高电平信号。

第一逻辑输出端 Y3 作为信号处理电路 90 的第三输出端 93。具体地，第一逻辑输出端 Y3 用于在第一逻辑输入端 X5 和/或第二逻辑输入端 X6 接收到高电平信号时，输出作为外部预充电命令的高电平信号。

示例性地，图 16 示出了本公开实施例中或门单位的信号传输的逻辑示意图。如图 16 所示，或门单元 OR1 的控制逻辑如真值表 T21 所示。

具体地，第一预充电命令 PRE1 和第二预充电命令 PRE2 对应于逻辑值“1”，即高电平状态。在第一逻辑输入端 X5 和/或第二逻辑输入端 X6 对应于逻辑值“1”时，第一逻辑输出端 Y3 输出作为外部预充电命令的高电平信号。

通过本示例，通过或门，可以在接收到第一预充电命令和第二预充电命令时准确生成一个外部预充电命令，保证了存储器控制电路 60 可以接收到准确的外部预充电命令，保证了 MBIST 控制电路的控制有序性。

需要说明的是，本公开实施例中的信号处理电路 90 还可以实现为其他能够根据多个外部传输的预充电命令生成一个外部预充电命令的电路、器件、功能电路、逻辑门器件及其组合等，对此不作具体限制。

本公开实施例所提供的 MBIST 控制电路，PRHT 控制电路在接收到存储器控制电路基于外部预充电命令生成的计数更新命令的情况下，可以在 PRHT 控制命令为第一电平状态时，停止向行计数存储单元 81 发送计数更新命令的方式控制行计数存储单元 81 停止对其进行更新。由于 PRHT 控制命令的第一电平状态用于表示处于 MBIST 测试模式，通过本公开实施例可以在 MBIST 测试模式停止行计数的

更新，节省了计数存储单元更新过程的额外操作时间，从而提高了 MBIST 测试效率。

通过本公开实施例，通过信号处理电路 90 可以避免存储器控制电路 90 在接收到多个外部设备（诸如控制主机或者 MBIST 测试系统）发送的多个预充电命令所导致的控制逻辑错乱，从而保证了 MBIST 测试的可靠性。

需要说明的是，本公开实施例还可以采用除信号处理电路 90 之外的其他控制逻辑来保证存储器控制电路 90 对外部传输的预充电命令正确响应，对此不作具体限制。

基于同一发明构思，本公开实施例中还提供了一种 MBIST 控制方法，应用于如上述任一实施例示出的 MBIST 控制电路。其中，控制方法如下面的实施例。

图 17 示出了本公开实施例提供的一种 MBIST 控制方法的流程示意图，如图 17 所示，该 MBIST 控制方法包括 S1710 至 S1740。

S1710，存储器控制电路接收目标字线的外部预充电命令。

S1720，存储器控制电路响应于外部预充电命令，生成计数更新命令。

S1730，PRHT 控制电路接收计数更新命令以及接收 PRHT 控制命令。在一些实施例中，PRHT 控制命令为 MBIST 使能信号的取反信号。

S1740，PRHT 控制电路在 PRHT 控制命令为第一电平状态时，停止向第二输出端提供计数更新命令，以使与第二输出端连接的目标字线的行计数存储单元在未接收到计数更新命令的情况下停止更新。其中，PRHT 控制命令的第一电平状态用于表示处于 MBIST 测试模式。

在一些实施例中，S1740 具体包括下述步骤 D1。

步骤 D1，PRHT 控制电路在 PRHT 控制命令为第一电平状态时，将计数更新命令拉至目标电平状态，其中，行计数存储单元不对目标电平状态进行响应。

在一些实施例中，PRHT 控制电路包括：开关单元。

开关单元包括第一连接端、第二连接端和开关控制端，第一连接端作为第二输入端，第二连接端作为第二输出端，开关控制端作为第一控制端，开关控制端用于在施加有第一电平时，控制第一连接端和第二连接端断开，以及在施加有第二电平时，控制第一连接端和第二连接端导通。

本公开实施例所提供的 MBIST 控制电路，PRHT 控制电路在接收到存储器控制电路基于外部预充电命令生成的计数更新命令的情况下，可以在 PRHT 控制命令为第一电平状态时，停止向行计数存储单元发送计数更新命令的方式控制行计数存储单元停止对其进行更新。由于 PRHT 控制命令的第一电平状态用于表示处于 MBIST 测试模式，通过本公开实施例可以在 MBIST 测试模式停止行计数的更新，节省了计数存储单元更新过程的额外操作时间，从而提高了 MBIST 测试效率。

在一些实施例中，MBIST 控制电路还包括下述步骤 E1。

步骤 E1，PRHT 控制电路在 PRHT 控制命令为第二电平状态的情况下，将计数更新命令提供至第二输出端，以使行计数存储单元基于计数更新命令对目标字线的激活命令统计数量进行更新。

其中，第一电平状态和第二电平状态的一者为高电平状态，第一电平状态和第二电平状态的另一者为低电平状态。

在一些实施例中，在步骤 S1710 之前，MBIST 控制电路还包括下述步骤 E21 至步骤 E24。

步骤 E21，信号处理电路的第三输入端接收控制主机发送的针对目标字线的第一预充电命令。

步骤 E22，信号处理电路的第四输入端接收 MBIST 测试系统发送的针对目标字线的第二预充电命令。

步骤 E23，信号处理电路用于在接收到第一预充电命令和/或第二预充电命令的情况下，生成外部预充电命令。

步骤 E24，第三输出端用于输出外部预充电命令。

在一个实施例中，信号处理电路包括：

数据选择器，包括第二控制端、第一数据输入端、第二数据输入

端和数据输出端；第二控制端用于接收 MBIST 使能信号；第一数据输入端作为信号处理电路的第三输入端；第二数据输入端作为信号处理电路的第四输入端；数据输出端作为信号处理电路的第三输出端；数据输出端用于在 MBIST 使能信号处于第三电平状态时，将第一数据输入端接收的第一预充电命令作为外部预充电命令输出，以及在 MBIST 使能信号处于第四电平状态时，将第二数据输入端接收的第二预充电命令作为外部预充电命令输出。

在另一个实施例中，信号处理电路包括：

或门单元，或门单元包括第一逻辑输入端、第二逻辑输入端和第一逻辑输出端，第一逻辑输入端作为信号处理电路的第三输入端，第一预充电命令对应于高电平信号；第二逻辑输入端作为信号处理电路的第四输入端，第二预充电命令对应于高电平信号；第一逻辑输出端作为信号处理电路的第三输出端；第一逻辑输出端用于在第一逻辑输入端和/或第二逻辑输入端接收到高电平信号时，输出作为外部预充电命令的高电平信号。

在一些实施例中，在步骤 S1710 之前，MBIST 控制电路还包括下述步骤 F11 至步骤 F12。

步骤 F11，存储器控制电路获取模式寄存器存储的比特序列。

步骤 F12，基于比特序列的预设字段的比特值，生成 PRHT 控制命令。

在一些实施例中，MBIST 控制电路还包括下述步骤 F21 至步骤 F22。

步骤 F21，存储器控制电路响应于外部预充电命令，生成内部预充电命令。

步骤 F22，存储器控制电路的第五输出端用于输出内部预充电命令，以使位于目标字线的存储单元响应于内部预充电命令，执行预充电操作。

在一些实施例中，MBIST 控制电路还包括下述步骤 F3。

步骤 F3，行计数存储单元在激活命令统计数量大于或等于预设数量阈值的情况下，向控制主机发送反馈信号，以使控制主机响应于

反馈信号，向目标字线所属存储器发送 RFM 命令。

在一些实施例中，MBIST 控制电路对应于存储器的至少一个存储阵列；

至少一个存储阵列的字线依次作为目标字线。

需要说明的是，图 17 所示的 MBIST 控制方法可以参见图 6 至图 16 所示的装置实施例中的各个描述，并且实现图 6 至图 16 所示的装置实施例中的各个过程和效果，在此不做赘述。

基于同一发明构思，本公开实施例中还提供了一种存储器。该存储器可以包括存储电路和 MBIST 控制电路。

其中，存储电路可以包括多个存储阵列（Bnk）。

以及本公开上述任一实施例所提供的 MBIST 控制电路 60。其中，MBIST 控制电路 60 的具体内容体内容可以参见本公开实施例上述部分结合图 6-图 16 的相关描述，对此不再赘述。

示例性地，本公开实施例的存储器可以是诸如第四代双倍速率同步动态随机存储器（DDR4 SDRAM）、第四代低功耗双倍速率同步动态随机存储器（LPDDR4 SDRAM）、第五代双倍速率同步动态随机存储器（DDR5 SDRAM）、第五代低功耗双倍速率同步动态随机存储器（LPDDR5 SDRAM）等动态随机存储器中任意一种，对此不作具体限定。需要说明的是，存储器还可以是除动态随机存储器之外的其他存储器，对此不作具体限定。

本公开实施例所提供的存储器，PRHT 控制电路在接收到存储器控制电路基于外部预充电命令生成的计数更新命令的情况下，可以在 PRHT 控制命令为第一电平状态时，停止向行计数存储单元发送计数更新命令的方式控制行计数存储单元停止对其进行更新。由于 PRHT 控制命令的第一电平状态用于表示处于 MBIST 测试模式，通过本公开实施例可以在 MBIST 测试模式停止行计数的更新，节省了计数存储单元更新过程的额外操作时间，从而提高了 MBIST 测试效率。

基于同一发明构思，本公开实施例中还提供了一种电子设备。该电子设备可以包括本公开上述任一实施例所提供的存储器。存储器的具体内容可以参见本公开实施例上述部分的相关描述，对此不再赘述。

其中，本公开实施例的电子设备可以是装载有存储器的电子设备，示例性地，电子设备可以是移动终端、电脑、服务器、虚拟现实设备、物联网设备等。

本公开实施例所提供的电子设备，PRHT 控制电路在接收到存储器控制电路基于外部预充电命令生成的计数更新命令的情况下，可以在 PRHT 控制命令为第一电平状态时，停止向行计数存储单元发送计数更新命令的方式控制行计数存储单元停止对其进行更新。由于 PRHT 控制命令的第一电平状态用于表示处于 MBIST 测试模式，通过本公开实施例可以在 MBIST 测试模式停止行计数的更新，节省了计数存储单元更新过程的额外操作时间，从而提高了 MBIST 测试效率。

所属技术领域的技术人员能够理解，本公开的各个方面可以实现为系统、方法或程序产品。因此，本公开的各个方面可以具体实现为以下形式，即：完全的硬件实施方式、完全的软件实施方式（包括固件、微代码等），或硬件和软件方面结合的实施方式，这里可以统称为“电路”、“电路”或“系统”。

需要明确的是，本说明书中的各个实施例均采用递进的方式描述，各个实施例之间相同或相似的部分互相参见即可，每个实施例重点说明的都是与其他实施例的不同之处。其中方法实施例描述得比较简单，相关之处请参见系统实施例的说明部分。本公开并不局限于上文所描述并在图中示出的特定步骤和结构。本领域的技术人员可以在领会本公开的精神之后，作出各种改变、修改和添加，或者改变步骤之间的顺序。并且，为了简明起见，这里省略对已知方法技术的详细描述。

在本公开所提供的几个实施例中，应该理解到，所揭露的系统、装置和 方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个 系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些端口，装置或单元的间接耦合 或通信连接，可以是电性，

机械或其它的形式。

作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本公开各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。

因此，本公开的保护范围应以权利要求的保护范围为准本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由所附的权利要求指出。

权 利 要 求 书

1. 一种存储器内建自测试 MBIST 控制电路，所述电路包括：

存储器控制电路(60)，包括第一输入端(61)和第一输出端(62)，所述第一输入端用于接收目标字线的外部预充电命令；所述存储器控制电路用于响应于所述外部预充电命令，生成计数更新命令；所述第一输出端用于输出所述计数更新命令；

逐行行锤追踪控制电路（70），包括第二输入端（71）、第二输出端（72）和第一控制端（73）；所述第二输入端与所述第一输出端连接，用于接收所述计数更新命令；所述第一控制端用于接收逐行行锤追踪控制命令；所述逐行行锤追踪控制电路用于在所述逐行行锤追踪控制命令为第一电平状态时，停止向所述第二输出端提供所述计数更新命令，以使与所述第二输出端连接的所述目标字线的行计数存储单元（81）在未接收到所述计数更新命令的情况下停止更新；

其中，所述逐行行锤追踪控制命令的第一电平状态用于表示处于 MBIST 测试模式。

2. 根据权利要求 1 所述的电路，其中，

所述逐行行锤追踪控制电路，具体用于：

在所述逐行行锤追踪控制命令为第一电平状态时，将所述计数更新命令拉至目标电平状态，其中，所述行计数存储单元不对所述目标电平状态进行响应。

3. 根据权利要求 1-2 任一项所述的电路，其中，

所述逐行行锤追踪控制电路包括：

开关单元（74），包括第一连接端（741）、第二连接端（742）和开关控制端（743），所述第一连接端作为所述第二输入端，所述第二连接端作为所述第二输出端，所述开关控制端作为所述第一控制端，所述开关控制端用于在施加有第一电平时，控制所述第一连接端和所

述第二连接端断开，以及在施加有第二电平时，控制所述第一连接端和所述第二连接端导通。

4. 根据权利要求 1-2 任一项所述的电路，其中，

所述逐行行锤追踪控制电路包括：

与门单元（AND1），包括第三逻辑输入端（X1）、第四逻辑输入端（X2）和第二逻辑输出端（Y1），所述第三逻辑输入端作为所述第二输入端，所述第二逻辑输出端作为所述第二输出端，所述第二逻辑输出端作为所述第一控制端。

5. 根据权利要求 1-4 任一项所述的电路，其中，

所述逐行行锤追踪控制电路还用于：

在所述逐行行锤追踪控制命令为第二电平状态的情况下，将所述计数更新命令提供至所述第二输出端，以使所述行计数存储单元基于所述计数更新命令对所述目标字线的激活命令统计数量进行更新；

所述第一电平状态和所述第二电平状态的一者为高电平状态，所述第一电平状态和所述第二电平状态的另一者为低电平状态。

6. 根据权利要求 1-5 任一项所述的电路，其中，所述电路还包括：

信号处理电路（90），包括第三输入端（91）、第四输入端（92）和第三输出端（93），所述第三输入端用于接收控制主机（20）发送的针对所述目标字线的第一预充电命令；所述第四输入端用于接收 MBIST 测试系统发送的针对所述目标字线的第二预充电命令；所述信号处理电路用于在接收到所述第一预充电命令和/或所述第二预充电命令的情况下，生成所述外部预充电命令；所述第三输出端用于输出所述外部预充电命令。

7. 根据权利要求 1-6 任一项所述的电路，其中，

所述信号处理电路包括：

数据选择器(M1),包括第二控制端(C1)、第一数据输入端(X3)、第二数据输入端(X4)和数据输出端(Y2);所述第二控制端用于接收 MBIST 使能信号;所述第一数据输入端作为所述信号处理电路的第三输入端;所述第二数据输入端作为所述信号处理电路的第四输入端;所述数据输出端作为所述信号处理电路的第三输出端;所述数据输出端用于在所述 MBIST 使能信号处于第三电平状态时,将所述第一数据输入端接收的第一预充电命令作为所述外部预充电命令输出,以及在所述 MBIST 使能信号处于第四电平状态时,将所述第二数据输入端接收的第二预充电命令作为所述外部预充电命令输出。

8. 根据权利要求 1-6 任一项所述的电路,其中,

所述信号处理电路包括:

或门单元(OR1),所述或门单元包括第一逻辑输入端(X5)、第二逻辑输入端(X6)和第一逻辑输出端(Y3),所述第一逻辑输入端作为所述信号处理电路的第三输入端,所述第一预充电命令对应于高电平信号;所述第二逻辑输入端作为所述信号处理电路的第四输入端,所述第二预充电命令对应于高电平信号;所述第一逻辑输出端作为所述信号处理电路的第三输出端;所述第一逻辑输出端用于在所述第一逻辑输入端和/或所述第二逻辑输入端接收到高电平信号时,输出作为所述外部预充电命令的高电平信号。

9. 根据权利要求 1-8 任一项所述的电路,其中,

所述逐行行锤追踪控制命令为 MBIST 使能信号的取反信号。

10. 根据权利要求 1-9 任一项所述的电路,其中,

所述存储器控制电路还用于:

获取模式寄存器存储的比特序列;

基于所述比特序列的预设字段的比特值,生成所述逐行行锤追踪控制命令。

11. 根据权利要求 1-10 任一项所述的电路，其中，
所述存储器控制电路还包括：

第五输出端（63），所述存储器控制电路还用于响应于所述外部预充电命令，生成内部预充电命令；所述第五输出端用于输出所述内部预充电命令，以使位于目标字线的存储单元（82）响应于所述内部预充电命令，执行预充电操作。

12. 根据权利要求 1-11 任一项所述的电路，其中，
所述行计数存储单元还用于：

在所述激活命令统计数量大于或等于预设数量阈值的情况下，向控制主机发送反馈信号，以使所述控制主机响应于所述反馈信号，向所述目标字线所属存储器发送 RFM 命令。

13. 根据权利要求 1-12 任一项所述的电路，其中，
所述 MBIST 控制电路对应于存储器的至少一个存储阵列（11）；
所述至少一个存储阵列的字线依次作为所述目标字线。

14. 一种 MBIST 控制方法，其中，所述方法包括：

存储器控制电路（60）接收目标字线的外部预充电命令；

所述存储器控制电路响应于所述外部预充电命令，生成计数更新命令；

逐行行锤追踪控制电路（70）接收所述计数更新命令以及接收逐行行锤追踪控制命令；

所述逐行行锤追踪控制电路在所述逐行行锤追踪控制命令为第一电平状态时，停止向所述逐行行锤追踪控制电路的第二输出端提供所述计数更新命令，以使与所述第二输出端连接的所述目标字线的行计数存储单元（81）在未接收到所述计数更新命令的情况下停止更新；

其中，所述逐行行锤追踪控制命令的第一电平状态用于表示处于 MBIST 测试模式。

15. 一种存储器，其中，包括：
至少一个存储阵列（11）；
如权利要求 1-13 任一项所述的 MBIST 控制电路。
16. 一种电子设备，其中，包括：
如权利要求 15 所述的存储器。