

半导体结构及其制造方法、存储芯片、电子设备

交叉引用

[0001] 本申请引用于 2022 年 6 月 21 日递交的名称为“半导体结构及其制造方法、存储芯片、电子设备”的第 202210709274.2 号中国专利申请，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例属于半导体领域，具体涉及半导体结构及其制造方法、存储芯片、电子设备。

背景技术

- 10 [0003] 半导体结构包括多个存储单元，存储单元需要与外围电路连接以执行存储功能。半导体结构的集成度越高，则其可容纳的存储单元的数目越多，半导体结构的性能也更为优异。然而，目前半导体结构内的空间浪费较多；此外，受制于物理特性的因素，存储单元的体积已达到缩放极限；受制于工艺因素，存储单元的堆叠层数也难以提高。
- 15 [0004] 因此，亟需一种新架构的半导体结构，以提高半导体结构的集成度。

发明内容

- [0005] 本公开实施例提供一种半导体结构及其制造方法、存储芯片、电子设备，至少有利于提高半导体结构的集成度。
- 20 [0006] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构，其中，半导体结构包括：基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；所述堆叠结构还包括在所述第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；在所述第一方向排列的多个引线柱，所述多个引线柱与所述多条平行信号线沿第三方向排布，且所述引线柱与所述平行信号线连接。
- 25 [0007] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构，其中，半导体结构包括：基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；所述堆叠结构还包括在所述第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；在所述第一方向排列且沿第二方向延伸的多个引线柱，所述多个引线柱在基底表面的正投影与平行信号线在基底表面的正投影至少部分重叠，且所述引线柱与所述平行信号线连接。
- 30 [0008] 根据本公开一些实施例，本公开实施例又一方面还提供一种半导体结构的制造方法，其中，制造方法包括：提供基底；在所述基底上形成堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；所述堆叠结构还包括在第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；形成在第一方向排列的多个引线柱，所述多个引线柱与所述多条平行信号线沿第三方向排布，且所述引线柱与所述平行信号线连接。
- 35

- [0009] 根据本公开一些实施例，本公开实施例再一方面还提供一种半导体结构的制造方法，其中，制造方法包括：提供基底；在所述基底上形成堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；所述堆叠结构还包括在第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；形成在所述第一方向排列且沿第二方向延伸的多个引线柱，所述多个引线柱在基底表面的正投影与平行信号线在基底表面的正投影至少部分重叠，且所述引线柱与所述平行信号线连接。
- [0010] 根据本公开一些实施例，本公开实施例还提供一种存储芯片，存储芯片包括如前所述的半导体结构。
- [0011] 根据本公开一些实施例，本公开实施例还提供一种电子设备，电子设备包括如前所述的存储芯片。
- [0012] 本公开实施例提供的技术方案至少具有以下优点：
- [0013] 在本公开一些实施例中，堆叠结构包括在所述第二方向排列的多条平行信号线，每条所述平行信号线连接堆叠结构内的一层存储单元，多个引线柱与多条平行信号线沿第三方向排布，且引线柱与平行信号线连接。即在第三方向上，引线柱直接与平行信号线相连，从而有利于减少台阶个数或者不再单独设置台阶区，进而提高半导体结构的集成度。
- [0014] 在本公开另一些实施例中，多个引线柱沿第二方向延伸，且多个引线柱在基底表面的正投影与平行信号线在基底表面的正投影至少部分重叠。即，引线柱与平行信号线通过交叉设置的方式直接相连，因此，从而有利于减少台阶个数或者不再单独设置台阶区，进而提高半导体结构的集成度。

附图说明

- [0015] 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0016] 图 1 示出了一种半导体结构的俯视图；
- [0017] 图 2 示出了图 1 的局部放大图；
- [0018] 图 3 示出了图 2 在 A-A1 方向上的剖面图；
- [0019] 图 4-图 5 分别示出了本公开一实施例提供的两种半导体结构的立体图；
- [0020] 图 6-图 10 分别示出了本公开一实施例提供的半导体结构的不同局部侧视示意图；
- [0021] 图 11-图 13、图 24 分别示出了本公开一实施例提供的半导体结构的不同局部剖面示意图；
- [0022] 图 14-图 23、图 25-图 28 分别示出了本公开一实施例提供的半导体结构的不同俯视示意图；
- [0023] 图 29-图 30 分别示出了本公开另一实施例提供的两种半导体结构的立体图；
- [0024] 图 31、图 32、图 34、图 36 分别示出了本公开另一实施例提供的半导体结构的不同剖面示意图；
- [0025] 图 33 示出了图 32 的局部放大图；
- [0026] 图 35 示出了图 34 的局部放大图；
- [0027] 图 37 示出了图 36 的局部放大图；
- [0028] 图 38-图 44 分别示出了本公开另一实施例提供的半导体结构的不同俯视示意图；

[0029] 图 45-图 56 示出了本公开又一实施例提供的半导体结构的制造方法中各步骤对应的结构示意图；

[0030] 图 57-图 60 示出了本公开再一实施例提供的半导体结构的制造方法中各步骤对应的结构示意图。

5 具体实施方式

[0031] 图 1 为一种半导体结构的俯视图，图 2 为图 1 中虚线圈内台阶的放大图，图 3 为图 2 在 A-A1 方向上的剖面图。参考图 1-图 3，半导体结构包括存储单元区 100 和台阶区 200。存储单元区 100 内具有多层存储单元。台阶区 200 内具有多个台阶，每个台阶与每层存储单元一一对应设置。台阶内可以设置连接层（图中未示出），台阶上可设置引线柱 300，引线柱 300 通过台阶内的连接层与存储单元电连接，从而将存储单元引出，以便于存储单元与外围电路连接。然而，随着存储单元堆叠层数的增加，台阶区 200 所占用的面积会越来越大。比如，若共有 64 层存储单元，相应地，则需要 64 个台阶，越底层的台阶的面积会越大。若最顶层的台阶的面积为 $0.25\mu\text{m}^2$ ，则最底层的台阶的面积为 $64 \times 0.25 = 16\mu\text{m}^2$ 。参考图 3，每个台阶以下的连接层仅仅起到支撑和电连接的作用，从而造成底层空间的浪费。因此，半导体结构的集成度有待进一步提高。

[0032] 本公开实施例提供一种半导体结构，在此半导体结构中，多个引线柱与多条平行信号线沿第三方向排布，且引线柱与平行信号线连接；或者，多个引线柱沿第二方向延伸，且多个引线柱在基底表面的正投影与平行信号线在基底表面的正投影至少部分重叠。即，引线柱与平行信号线通过并排设置或交叉设置的方式直接相连，因此，无需通过台阶区的连接层将引线柱与平行信号线连接，从而提高半导体结构内的空间利用率，进而提高半导体结构的集成度。

[0033] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

[0034] 如图 4-图 28 所示，本公开一实施例提供一种半导体结构，半导体结构包括：基底（图中未示出），基底上具有堆叠结构，堆叠结构包括在第一方向 X 排列的多个存储单元组 TC0，存储单元组 TC0 包括多层在第二方向 Z 排列的多个存储单元 TC；堆叠结构还包括在第二方向 Z 排列的多条平行信号线 3，每条平行信号线 3 连接一层存储单元 TC；在第一方向 X 排列的多个引线柱 5，多个引线柱 5 与多条平行信号线沿第三方向 Y 排布，且引线柱 5 与平行信号线 3 连接。

[0035] 即，引线柱 5 在基底表面上的正投影的边缘与平行信号线 3 在基底表面上的正投影的边缘相接。换言之，引线柱 5 的至少部分侧壁与平行信号线 3 的侧壁直接相连，而无需通过台阶区的连接层间接地相连，从而可以减少连接层和台阶的个数，进而有利于提高半导体结构的集成度。

[0036] 以下将结合附图对半导体结构进行详细说明。

[0037] 首先需要说明的是，图 6-图 10 为局部侧视示意图，为了更加直观，图 6-图 9 中未将其示出半导体结构内用于隔离和支撑引线柱 5 的结构示出。图 10 示出了用于隔离和支撑引线柱 5 的结构。

[0038] 在一些实施例中，参考图 6-图 10，每条平行信号线 3 至少与一个引线柱 5 连接。即每条平行信号线 3 都可以直接与引线柱 5 连接，从而被引线柱 5 引出。因此，可以不再单独设置台阶区，从而能够较大幅度地提高半导体结构的空间利用率，且有利于简化生产工艺。

- [0039] 示例地, 参考图 6-图 8, 多条平行信号线 3 与多个引线柱 5 一一对应连接。即, 每条平行信号线 3 均与一个引线柱 5 连接, 从而有利于减少平行信号线 3 与引线柱 5 的连接位置, 生产工艺更简单。在另一些实施例中, 参考图 9, 一条平行信号线 3 也可以与多个引线柱 5 连接, 从而可以增大平行信号线 3 与引线柱 5 的接触面积, 降低接触电阻。
- [0040] 在一些实施例中, 参考图 4-图 13, 引线柱 5 在第二方向 Z 延伸。即, 多个引线柱 5 相互平行, 且引线柱 5 的延伸方向与存储单元 TC 的堆叠的方向相同。如此, 有利于简化生产工艺, 并提高半导体结构的均一性。示例地, 存储单元 TC 的堆叠的方向为第二方向 Z, 第二方向 Z 垂直于基底表面。
- [0041] 参考图 4-图 11, 需要说明的是, 对于与非顶层的平行信号线 3 相连的引线柱 5, 此引线柱 5 会与多层的平行信号线 3 相邻设置, 但是基于引线柱 5 的引出功能可知, 每个引线柱 5 只连接一个平行信号线 3, 而不会同时连接两条平行信号线 3, 否则会发生信号的错乱。为便于理解, 将与引线柱 5 相连的平行信号线 3 称之为对应层的平行信号线 3。引线柱 5 与对应层的平行信号线 3 以外的平行信号线 3 绝缘设置。此外, 将引线柱 5 划分为层叠设置的接触部 51 和延伸部 52, 接触部 51 与对应层的平行信号线 3 同层设置, 且二者相互连接。延伸部 52 与对应层上方的平行信号线 3 相邻设置, 但相互绝缘。
- [0042] 相应地, 参考图 5-图 13, 堆叠结构还可以包括介质层 6。介质层 6 至少位于引线柱 5 朝向对应层上方的平行信号线 3 的侧壁, 且介质层 6 的下表面高于与引线柱 5 相连的平行信号线 3。即。介质层 6 用于将引线柱 5 与对应层以外的平行信号线 3 相隔离, 以避免发生错误的电连接。具体地, 介质层 6 可以环绕引线柱 5 的延伸部 52 的侧壁。介质层 6 的材料可以为氮化硅或氧化硅等低介电常数材料。
- [0043] 在一些实施例中, 参考图 4-图 10, 与不同平行信号线 3 连接的引线柱 5 在第二方向 Z 上的长度不同, 且引线柱 5 的底部与平行信号线 3 相连。示例地, 与顶层的平行信号线 3 连接的引线柱 5 在第二方向 Z 上的长度最小, 与底层的平行信号线 3 连接的引线柱 5 在第二方向 Z 上的长度最短, 如此, 有利于节省材料, 进而降低生产成本, 还有利于简化生产工艺。在另一些实施例中, 引线柱 5 的长度也可以相同, 但引线柱 5 只与对应层的平行信号线 3 连接, 而与对应层上方及下方的平行信号线 3 绝缘设置。
- [0044] 为增大引线柱 5 与平行信号线 3 的接触面积, 以减小接触电阻, 引线柱 5 的底面可以与对应层的平行信号线 3 的底面齐平; 或者, 引线柱 5 的底面可以略低于对应层的平行信号线 3 的底面。在另一些实施例中, 引线柱 5 的底面也可以高于对应层的平行信号线 3 的底面, 但需要低于对应层的平行信号线 3 的顶面。
- [0045] 在一些实施例中, 参考图 6-图 7, 相邻引线柱 5 等在第三方向 X 上等间距排布。即配平相邻引线柱 5 之间的间距, 从而提高半导体结构的均一性。
- [0046] 参考图 6, 引线柱 5 可以按照在第二方向 Z 上的长度大小依次排布。在另一些实施例中, 参考图 7, 引线柱 5 的长度也可以不依次递增或递减, 而是长短交替, 从而避免长度较大的引线柱 5 之间产生较大的寄生电容。
- [0047] 在另一些实施例中, 参考图 8, 相邻引线柱 5 的间距与正对面积成正比。需要说明的是, 相邻引线柱 5 的正对面积与寄生电容的大小呈正比关系。因此, 若相邻引线柱 5 的正对面积越大, 则可相应增加二者的间距从而降低寄生电容。
- [0048] 在一些实施例中, 参考图 10-图 12, 堆叠结构还包括在第二方向 Z 排列的多层刻蚀阻挡层 13; 每层刻蚀阻挡层 13 与至少一个引线柱 5 的底面相接。具体地, 形成引线柱 5 的方法可以包括: 采用刻蚀工艺在平行信号线 3 的一侧形成通孔 8 (参考图 53), 在通孔 8 中沉积导电材料以形成引线柱 5。因此, 通孔 8 的位置决定了引

线柱 5 的位置。刻蚀阻挡层 13 能够起到停止刻蚀的作用，从而实现自对准的功能，以避免通孔 8 发生过刻蚀或刻蚀程度不足的问题。也就是说，刻蚀阻挡层 13 与隔离层 14 在第二方向 Z 上交替设置，刻蚀阻挡层 13 与相邻两层平行信号线 3 之间的间隙正对，隔离层 14 与平行信号线 3 同层设置，且隔离层 14 与刻蚀阻挡层 13 与选择刻蚀比较大。示例地，隔离层 14 的材料可以为氧化硅，刻蚀阻挡层 13 的材料可以为氮化硅。此外，刻蚀阻挡层 13 也可以起到隔离的作用。

[0049] 在另一些实施例中，参考图 13，也可以在平行信号线 3 的一侧只设置隔离层 14，而不设置刻蚀阻挡层 13。相应地，在形成通孔 8 的过程中，通过刻蚀时间来控制通孔 8 的深度。如此，可以只采用一种刻蚀剂，从而有利于简化制造工艺。

10 [0050] 参考图 4-图 5，图 11-图 28，存储单元 TC 包括在第三方向 Y 排列的沟道区 22 和源漏掺杂区 21，源漏掺杂区 21 位于沟道区 22 的两侧。即，存储单元 TC 至少包括晶体管 T。在另一些实施例中，存储单元 TC 还可以包括电容 C，晶体管 T 和电容 C 在第三方向 Y 上排列。示例地，在动态随机存取存储器(Dynamic Random Access Memory, DRAM)中，存储单元 TC 包括一个晶体管 T 和一个电容 C。在另一些实施例中，存储单元 TC 也可以只包括晶体管 T，比如，在静态随机存取存储器(Static Random-Access Memory, SRAM)中，其存储单元 TC 由六个晶体管 T 构成，又比如无电容 C 双栅量子阱单晶体管 TDRAM(Capacitorless Double Gate Quantum Well Single Transistor DRAM, 1T DRAM)中，其存储单元 TC 由一个双栅晶体管 T 构成。

20 [0051] 参考图 4-图 5，堆叠结构还包括垂直信号线 4，垂直信号线 4 沿第二方向 Z 延伸，并与同一存储单元组 TC0 的多层存储单元 TC 连接。平行信号线 3 和垂直信号线 4 中的一者为位线 BL，另一者为字线 WL。位线 BL 与源漏掺杂区 21 相连，字线 WL 与沟道区 22 相连。与位线 BL 相连的源漏掺杂区 21 称之为第一源漏掺杂区 211，与位线 BL 间隔设置的源漏掺杂区 21 称之为第二源漏掺杂区 212。

25 [0052] 以下将分为位线 BL 和字线 WL 两种情况，对平行信号线 3 与引线柱 5 的位置关系进行详细说明。

[0053] 在平行信号线 3 为位线 BL 时，平行信号线 3 与引线柱 5 主要具有如下几种位置关系：

30 [0054] 示例一，参考图 14-图 18，引线柱 5 和存储单元 TC 分别位于平行信号线 3 在第三方向 Y 排列的相对两侧，即引线柱 5 位于平行信号线 3 远离存储单元 TC 的一侧。如此，可以更加灵活地设置引线柱 5 的排列位置和尺寸大小。

[0055] 具体地，参考图 14，在一些实施例中，引线柱 5 与存储单元组 TC0 在第三方向 Y 上正对。如此，有利于提高位置排布的均一性。在另一些实施例中，参考图 15，引线柱 5 与存储单元组 TC0 在第一方向 X 上交错排列，即引线柱 5 可以与相邻存储单元组 TC0 之间的空间正对。在另一些实施例中，参考图 16，引线柱 5 同时与存储单元组 TC0 以及相邻存储单元组 TC0 之间的空间相对设置。在另一些实施例中，参考图 17，部分引线柱 5 与相邻存储单元组 TC0 之间的空间正对，部分引线柱与存储单元组 TC0 正对。

40 [0056] 继续参考图 14-图 17，为降低相邻引线柱 5 之间的寄生电容，相邻引线柱 5 之间的间隙可以与至少一个存储单元组 TC0 相对设置。此外，参考图 14-图 16，为增加半导体结构的均一性，相邻引线柱 5 之间的间距可以相同。此外，参考图 17，还可以根据不同正对面积，调整相邻引线柱 5 之间的间距，从而平衡不同引线柱 5 之间的寄生电容。

[0057] 在一些实施例中，参考图 14-图 17，引线柱 5 在第一方向 X 上的宽度等于存储单元组 TC0 的宽度，如此，有利于统一不同结构的特征尺寸，以简化生产工艺。

45 在另一些实施例中，参考图 18，引线柱 5 在第一方向 X 上的宽度大于存储单元组

TC0 的宽度，如此，有利于增大引线柱 5 与对应层的平行信号线 3 的接触面积，从而降低接触电阻。

[0058] 另外，引线柱 5 在第一方向 X 上的宽度还可以大于或等于相邻存储单元组 TC0 的间距。如此，有利于增大引线柱 5 与对应层的平行信号线 3 的接触面积，从而降低接触电阻。

[0059] 另外，参考图 18，引线柱 5 在第一方向 X 上的宽度大于引线柱 5 在第三方向 Y 上的宽度。需要说明的是，平行信号线 3 在第一方向 X 上的长度很长，因此，引线柱 5 在第一方向 X 上具有充足的容纳空间。为了在增加引线柱 5 的横截面积的同时，提高半导体空间的利用率，可以对引线柱 5 在第一方向 X 上和第三方向 Y 上设置一定的宽度差。

[0060] 示例二，参考图 19-图 20，引线柱 5 和存储单元 TC 位于平行信号线 3 的同一侧。即，引线柱 5 可以位于相邻存储单元组 TC0 之间。如此，有利于充分利用堆叠结构内的空间位置，从而提高空间利用率。

[0061] 继续参考图 19-图 20，为降低相邻引线柱 5 之间的寄生电容，相邻引线柱 5 之间至少可以间隔两个存储单元组 TC0。此外，参考图 19，为增加半导体结构的均一性，相邻引线柱 5 之间的间隔的存储单元组 TC0 的数量可以相同。此外，参考图 20，还可以根据不同正对面积，调整相邻引线柱 5 间隔的存储单元组 TC0 的数量，从而平衡不同引线柱 5 之间的寄生电容。

[0062] 在一些实施例中，参考图 19-图 20，引线柱 5 在第三方向 Y 上的宽度大于引线柱 5 在第一方向 X 上的宽度。如此，既能够降低相邻存储单元组 TC0 的间距，从而降低堆叠结构在基底表面所占据的面积大小；还能够增大引线柱 5 的横截面积，从而降低引线柱 5 的接触电阻。在另一些实施例中，引线柱 5 在第三方向 Y 上的宽度也可以等于引线柱 5 在第一方向 X 上的宽度。

[0063] 需要说明的是，示例一和示例二还可以相互结合，即部分引线柱 5 位于平行信号线 3 的一侧，另一部分引线柱 5 位于平行信号线 3 的另一侧。

[0064] 在一些实施例中，参考图 14-图 20，存储单元组 TC0 的每层的存储单元数量为一个。在另一个实施例中，参考图 21-图 22，存储单元组 TC0 的每层存储单元 TC 的数量为两个，且两个存储单元 TC 分别位于平行信号线 3 在第三方向 Y 排列上的相对两侧。由于存储单元组 TC0 的存储单元 TC 的数量增加，半导体结构的存储容量也相应增强。

[0065] 在一些实施例中，参考图 21，部分引线柱 5 可以位于一堆叠结构的相邻存储单元组 TC0 之间，部分引线柱 5 可以位于另一堆叠结构的相邻存储单元组 TC0 之间。即，多个引线柱 5 位于平行信号线 3 的不同两侧。举例而言，相邻引线柱 5 位于平行信号线 3 的不同侧。换言之，相邻两个引线柱 5 在第一方向 X 上相互错开，从而可以减小寄生电容。

[0066] 在另一些实施例中，参考图 22，所有引线柱 5 位于平行信号线 3 的同一侧，从而有利于提高引线柱 5 的排列方式的均一性，以简化半导体的制造工艺。

[0067] 值得注意的是，在一些实施例中，一个引线柱 5 可以只用于引出一个堆叠结构的平行信号线 3。在另一些实施例中，一个引线柱 5 还可以被两个堆叠结构所共用。具体地，参考图 23-图 24，图 23 为俯视图，图 24 为图 23 在第三方向 Y 上的剖面图，相邻两个堆叠结构的平行信号线 3 相向设置，引线柱 5 位于相邻堆叠结构的平行信号线 3 之间，且相邻堆叠结构的同一层的平行信号线 3 至少通过一个引线柱 5 电连接。由于引线柱 5 可以被两个堆叠结构共用，因此，可以减少引线柱 5 的数量，从而有利于缩小半导体结构的体积。

[0068] 需要说明的是，虽然两个堆叠结构的平行信号线 3 相电连接，但是平行信号

线 3 所对应的存储单元 TC 仍然受到不同字线 WL 的控制，因此，两个堆叠结构的存储单元 TC 依然可以独立控制。

[0069] 在平行信号线 3 为字线 WL 时，平行信号线 3 与引线柱主要具有如下几种位置关系：

5 [0070] 首先，需要说明的是，字线 WL 与沟道区 22 存在多种位置关系。比如，字线 WL 可以包覆整个沟道区 22，或者，字线 WL 可以与沟道区 22 的顶面和/或底面相连。若字线 WL 包覆整个沟道区 22，则字线 WL 侧壁的面积更大。由于字线 WL 的侧壁与引线柱 5 的侧壁相连，因此，更大的字线 WL 侧壁面积有利于增大字线 WL 与引线柱 5 的接触面积，从而降低接触电阻。若字线 WL 位于沟道区 22 的顶面和底面，为增加接触面积，引线柱 5 可以同时与位于沟道区 22 顶面和底面的字线 WL 相

10 连。
[0071] 在一些实施例中，参考图 25-图 27，所有引线柱 5 位于平行信号线 3 的同一侧，从而有利于提高引线柱 5 的排列方式的均一性，以简化半导体的制造工艺。示例地，参考图 25，所有引线柱 5 位于平行信号线 3 靠近第一源漏掺杂区 211 的一侧；
15 参考图 26-图 27，所有引线柱 5 位于平行信号线 3 靠近第二源漏掺杂区 212 的一侧。

[0072] 参考图 25-图 27，为降低寄生电容，相邻引线柱 5 之间可以至少间隔有两个存储单元组 TC0。此外，参考图 25 和图 26，为提高半导体结构的均一性，可使得相邻引线柱 5 之间具有相同数目的存储单元组 TC0。或者，参考图 27，还可以根据不同正对面积，调整相邻引线柱 5 间隔的存储单元组 TC0 的数量，从而平衡不同引线柱 5 之间的寄生电容。
20

[0073] 在另一些实施例中，参考图 28，部分引线柱 5 可以位于平行信号线 3 的一侧，部分引线柱 5 可以位于平行信号线 3 的另一侧。示例地，相邻引线柱 5 位于平行信号线 3 的不同侧，即，引线柱 5 可以在第一方向 X 上交错排列，从而降低寄生电容。

25 [0074] 综上所述，在本公开一实施例中，多个引线柱 5 与多条平行信号线沿第三方向 Y 排布，且引线柱 5 与平行信号线 3 连接。即，引线柱 5 和平行信号线 3 在基底表面上的正投影的边缘相接。由于引线柱 5 与平行信号线 3 直接相连，因而可以减少连接层和台阶的数量，从而提高半导体结构的集成度。

[0075] 如图 29-图 44 所示，本公开另一实施例提供一种半导体结构，此半导体结构与前述实施例中的半导体结构大致相同，主要区别在于：此半导体结构的多个引线柱 5 在基底表面的正投影与平行信号线 3 在基底表面的正投影至少部分重叠。此半导体结构与前述实施例提供的半导体结构相同或相似的部分请参考前述实施例中的详细说明，在此不再赘述。
30

[0076] 半导体结构包括：基底（图中未示出），基底上具有堆叠结构，堆叠结构包括在第一方向 X 排列的多个存储单元组 TC0，存储单元组 TC0 包括多层在第二方向 Z 排列的多个存储单元 TC；堆叠结构还包括在第二方向 Z 排列的多条平行信号线 3，每条平行信号线 3 连接一层存储单元 TC；在第一方向 X 排列且沿第二方向 Z 延伸的多个引线柱 5，多个引线柱 5 在基底表面的正投影与平行信号线 3 在基底表面的正投影至少部分重叠，且引线柱 5 与平行信号线 3 连接。
35

[0077] 即，引线柱 5 至少利用部分平行信号线 3 的空间位置，与平行信号线 3 通过交叉设置的方式直接相连，因此，从而有利于减少台阶个数或者不再单独设置台阶区，进而提高半导体结构的集成度。
40

[0078] 以下将结合附图对此半导体结构进行详细说明。

[0079] 参考图 29-图 37，引线柱 5 位于对应层的平行信号线 3 的顶面上，且引线柱 5 的底面与对应层的平行信号线 3 的顶面相连。在另一些实施例中，引线柱 5 的底
45

部还可以嵌入对应层的平行信号线 3 的内部；或者，引线柱 5 的底部还可以贯穿对应层的平行信号线 3，即引线柱 5 的侧壁也可以与对应层的平行信号线 3 相连。

[0080] 参考图 29-图 30 以及图 32、图 34 和图 36，至少一个引线柱 5 贯穿至少一个平行信号线 3，也就是说，多个引线柱 5 中的至少一个引线柱 5 与非顶层的平行信号线 3 相连。需要说明的是，对于与非顶层的平行信号线 3 相连的引线柱 5，除了需要利用对应层的平行信号线 3 的空间位置外，还需要占用对应层上方的平行信号线 3 的空间位置。因此，引线柱 5 会贯穿位于对应层上方的平行信号线 3。参考图 31，对于与顶层的平行信号线 3 相连的引线柱 5，此引线柱 5 无需贯穿对应层以外的平行信号线 3。

[0081] 需要说明的是，引线柱 5 虽然贯穿位于对应层 5 上方的平行信号线 3，但并未将对应层上方的平行信号线 3 完全截断。

[0082] 具体地，参考图 29-图 44，平行信号线 3 包括在第三方向 Y 排列的接触区 31 和暴露区 32；引线柱 5 与接触区 31 相连，并露出暴露区 32；第三方向 Y 垂直于第二方向 Z 且平行于基底表面。也就是说，引线柱 5 与对应层的平行信号线 3 的接触区 31 相连，并贯穿位于对应层上方的平行信号线 3 的接触区 31，且露出所有平行信号线 3 的暴露区 32。对应层上方的平行信号线 3 虽然被贯穿，但是由于暴露区 32 仍被保留，因此，平行信号线 3 不会被完全截断，平行信号线 3 仍然能够与同一层的存储单元 TC 相连。

[0083] 在一些实施例中，参考图 32-图 33，图 33 示出了图 32 中对应层的平行信号线 3 和引线柱 5 的局部放大图，暴露区 32 位于接触区 31 的相对两侧，引线柱 5 在基底表面的正投影与接触区 31 在基底表面的正投影重合。也就是说，接触区 31 位于平行信号线 3 的中间位置，引线柱 5 与对应层的平行信号线 3 的中心相连，并贯穿位于对应层上方的平行信号线 3 的中心，平行信号线 3 的暴露区 32 未被截断，平行信号线 3 仍然能够与同一层的存储单元 TC 相连。

[0084] 在另一些实施例中，参考图 34-图 38，图 35 示出了图 34 中对应层的平行信号线 3 和引线柱 5 的局部放大图，图 37 示出了图 36 中对应层的平行信号线 3 和引线柱 5 的局部放大图，图 38 为图 36 所示的半导体结构的俯视示意图。平行信号线 3 具有在第三方向 Y 排列的相对两侧，暴露区 32 位于相对两侧中的一侧，接触区 31 位于相对两侧中的另一侧。即引线柱 5 与对应层的平行信号线 3 的一侧相连，并露出平行信号线 3 的另一侧，引线柱 5 贯穿对应层上方的平行信号线 3 的一侧，对应层上方的平行信号线 3 的另一侧未被贯穿。

[0085] 在一个例子中，参考图 34-图 35，引线柱 5 在基底表面的正投影与暴露区 32 在基底表面的正投影重合，即在平行于基底的方向上，引线柱 5 利用的是平行信号线 3 的空间位置，而不会超出平行信号线 3，从而有利于提高引线柱 5 与平行信号线 3 的紧凑程度，以提高空间利用率。

[0086] 在另一个例子中，参考图 36-图 38，引线柱 5 相对于接触区 31 呈凸出设置。即，引线柱 5 相对于平行信号线 3 的一侧呈凸出设置。也就是说，引线柱 5 仅部分底面与接触区 31 接触相连。凸出设置可以降低引线柱 5 贯穿的对应层上方的平行信号线 3 的面积，从而降低对应层上方的平行信号线 3 的电阻；同时，还可以保证引线柱 5 具有较大的横截面积，从而降低引线柱 5 的电阻。

[0087] 需要说明的是，在一些实施例中，平行信号线 3 可以为长条状，即平行信号线 3 在基底表面的正投影为矩形。在另一些实施例中，平行信号线 3 还可以包括相连的主体部和凸出部，主体部为长条状，凸出部可以为方块状或锯齿状等形状，即，凸出部在第一方向 X 上的长度小于主体部在第一方向 X 上的长度。主体部和凸出部可以在第三方向 Y 上排列。主体部与存储单元阻 TC0 相连，凸出部与引线柱 5 相

连。示例地，引线柱 5 的底面可以与对应层的凸出部的顶面相连，如此，引线柱 5 可以无需贯穿对应层上方的主体部，从而有利于降低对应层上方的平行信号线 3 的电阻。

5 [0088] 参考图 29-图 30，存储单元 TC 包括在第三方向 Y 排列的沟道区 22 和源漏掺杂区 21，源漏掺杂区 21 位于沟道区 22 的两侧。即，存储单元 TC 至少包括晶体管 T。在另一些实施例中，存储单元 TC 还可以包括电容 C，晶体管 T 和电容 C 在第三方向 Y 上排列。源漏掺杂区 21 可以包括第一源漏掺杂区 211 和第二源漏掺杂区 212，第一源漏掺杂区 211 可以位线 BL 相连，第二源漏掺杂区 212 可以位于沟道区 22 远离第一源漏掺杂区 211 的一侧。

10 [0089] 堆叠结构还包括垂直信号线 4，垂直信号线 4 沿第二方向 Z 延伸，并与同一存储单元组 TC0 的多层存储单元 TC 连接。平行信号线 3 和垂直信号线 4 中的一者为位线 BL，另一者为字线 WL，位线 BL 与源漏掺杂区 21 相连，字线 WL 与沟道区 22 相连。

[0090] 以下将分为位线 BL 和字线 WL 两种情况，对平行信号线 3 与引线柱 5 的位置关系进行详细说明。

15 [0091] 在平行信号线 3 为位线 BL 时，平行信号线 3 与引线柱 5 主要具有如下几种位置关系：

[0092] 示例一，参考图 38-图 39，引线柱 5 与存储单元组 TC0 在第三方向 Y 上正对。如此，有利于提高位置排布的均一性。

20 [0093] 示例二，参考图 40，引线柱 5 与存储单元 TC 在第一方向 X 上交错设置排列。即引线柱 5 可以与相邻存储单元组 TC0 之间的空间正对。

[0094] 示例三，参考图 41，引线柱 5 同时与存储单元组 TC0 以及相邻存储单元组 TC0 之间的空间相对设置。

25 [0095] 需要说明的是，在平行信号线 3 为位线 BL 时，为了避免引线柱 5 切断对应层上方的平行信号线 3 与存储单元 TC 的连接关系，暴露区 32 可以位于靠近存储单元 TC 的一侧，接触区 31 可以位于远离存储单元 TC 的一侧；或者，暴露区 32 可以位于接触区 31 的相对两侧。

30 [0096] 在一些实施例中，参考图 42，存储单元组 TC0 的每层存储单元 TC 的数量为两个，且两个存储单元 TC 分别位于平行信号线 3 的在第三方向 Y 排列的相对两侧。此时，一条引线柱 5 通过平行信号线 3 引出的更多的存储单元 TC，从而有利于提高半导体结构的集成度。

[0097] 在平行信号线 3 为字线 WL 时，平行信号线 3 与引线柱 5 主要具有如下几种位置关系：

35 [0098] 示例一，参考图 43，引线柱 5 位于相邻存储单元组 TC0 之间，即引线柱 5 与沟道区 22 相互错开，从而可以避免引线柱 5 截断位于对应层上方的存储单元 TC，从而减少失效的存储单元 TC 的数量。

40 [0099] 示例二，参考图 44，引线柱 5 在基底表面上的正投影与沟道区 22 在基底表面的正投影具有重叠。即，引线柱 5 可以利用沟道区 22 的位置引出平行信号线 3，从而有利于减小相邻存储单元组 TC0 之间的间距，以提高存储单元组 TC0 的紧凑程度，进而提高半导体结构的失效率。

[00100] 综上所述，在本公开另一实施例中，引线柱 5 和平行信号线 3 在基底表面上的正投影的边缘具有重叠。即，引线柱 5 可以利用平行信号线 3 本身的空间位于与平行信号线 3 直接相连，因而可以减少连接层和台阶的数量，从而提高半导体结构的集成度。

45 [00101] 如图 45-图 56 所示，本公开再一实施例提供一种半导体结构的制造方法，需

要说明的是, 为了便于描述以及清晰地示意出半导体结构制作方法的步骤, 图 45 至图 56 均为半导体结构的局部结构示意图。以下将结合附图对本申请一实施例提供的半导体结构的制造方法进行详细说明。

5 [00102] 提供基底; 在基底上形成堆叠结构, 堆叠结构包括在第一方向 X 排列的多个存储单元组 TC0, 存储单元组 TC0 包括多层在第二方向 Z 排列的多个存储单元 TC; 堆叠结构还包括在第二方向 Z 排列的多条平行信号线 3, 每条平行信号线 3 连接一层存储单元 TC。

10 [00103] 示例地, 存储单元 TC 可以包括晶体管 T 和电容 C。具体地, 形成晶体管 T 的步骤可以包括: 形成多层间隔设置的有源层, 每一有源层包括多个有源结构; 对有源结构进行掺杂处理, 以形成源漏掺杂区 21、沟道区 22; 在沟道区 22 的表面形成栅介质层 6。也就是说, 存储单元 TC 包括在第三方向 Y 排列的沟道区 22 和源漏掺杂区 21, 源漏掺杂区 21 位于沟道区 22 的两侧; 第三方向 Y 与基底表面平行。此外, 还需要在相邻层的晶体管 T 之间形成绝缘层 12, 以隔离相邻晶体管 T。形成电容 C 的步骤可以包括: 形成电容支撑层, 以及位于电容支撑层内的电容孔; 在电容孔的内壁形成下电极, 在下电极的表面形成电容介质层 6, 在电容介质层 6 的表面形成上电极。下电极、电容介质层 6 和上电极构成电容 C。

15 [00104] 形成在第一方向 X 排列的多个引线柱 5, 多个引线柱 5 与多条平行信号线沿第三方向 Y 排布, 且引线柱 5 与平行信号线 3 连接。

[00105] 以下将对引线柱 5 的形成方法进行详细说明。

20 [00106] 首先需要说明的是, 多条平行信号线 3 包括在第二方向 Z 上依次排布的第 1 平行信号线至第 N 平行信号线, N 为大于 1 的正整数。第 1 平行信号线位于顶层, 第 N 平行信号线位于底层。

25 [00107] 参考图 45-图 56, 形成通孔 8, 通孔 8 包括第 1 通孔至第 N 通孔, 第 1 通孔的露出第 1 平行信号线的侧壁; 第 N 通孔露出第 1 平行信号线至第 N 平行信号线的侧壁。

[00108] 以下将以平行信号线 3 为位线 BL 为例, 对形成通孔 8 的步骤进行详细说明。

30 [00109] 参考图 45-图 46, 在平行信号线 3 的侧壁形成隔离结构。在一些实施例中, 隔离结构可以包括交替设置的刻蚀阻挡层 13 和隔离层 14。隔离层 14 与平行信号线 3 同层设置, 刻蚀阻挡层 13 与相邻平行信号线 3 之间的绝缘层 12(参考图 10)正对设置。在另一些实施例中, 隔离结构可以只包括隔离层 14, 且隔离层 14 覆盖平行信号线 3 和绝缘层 12 的侧壁。

35 [00110] 继续参考图 45-图 46, 形成掩膜层 71, 掩膜层 71 具有 N 个开口 72; N 为大于 1 的正整数; 开口 72 位于平行信号线 3 的一侧。示例的, 掩膜层 71 可以为光刻胶层, 对光刻胶层进行光刻, 以形成开口 72。或者, 掩膜层 71 还可以为层叠设置的硬掩膜层 71 和光刻胶层, 对光刻胶层光刻后, 再刻蚀硬掩膜层 71, 以形成开口 72。

[00111] 参考图 47-图 48, 沿开口 72 刻蚀顶层的隔离层 14, 直至露出顶层的刻蚀阻挡层 13, 从而形成多个第 1 子通孔 811, 第 1 子通孔 811 露出第 1 平行信号线的侧壁, 其中一个第 1 子通孔 811 作为第 1 通孔 81。

40 [00112] 参考图 49-图 50, 形成填充第 1 子通孔 811 的牺牲层 73。示例地, 在第 1 子通孔 811 中沉积氧化硅等低介电常数材料以作为牺牲层 73。

[00113] 继续参考图 49-图 50, 图案化掩膜层 71, 以使掩膜层 71 具有 N-1 个开口 72。具体地, 可以再次旋涂光刻胶层, 并对光刻胶层进行光刻, 以形成开口 72。

[00114] 参考图 51-图 52, 沿着开口 72 刻蚀牺牲层 73 和第二层的隔离层 14, 从而形成了第 N-1 个第 2 子通孔 821, 其中一个第 2 子通孔 821 作为第 2 通孔 82。

45 [00115] 参考图 53-图 54, 重复形成牺牲层 73、图案化掩膜层 71 以及刻蚀的步骤,

直至露出第 N 平行信号线 3 的侧壁，即露出第 N 层刻蚀阻挡层的顶面。

[00116] 至此，基于图 49-图 54，可以形成通孔 8，通孔 8 包括第 1 通孔 8 至第 N 通孔 8。示例地，参考图 53-图 54，可以形成第 1 通孔 81、第 2 通孔 82、第 3 通孔 83、第 4 通孔 84 和第 5 通孔 85。在需要说明的是，在第一方向 X 上，依次排布的第 1 通孔 81、第 2 通孔 82、第 3 通孔 83、第 4 通孔 84 和第 5 通孔 85 的深度依次递增。在其他实施例中，在第一方向 X 上，依次排布的第 1 通孔 81、第 2 通孔 82、第 3 通孔 83、第 4 通孔 84 和第 5 通孔 85 的深度可不递增或递减，而是深浅交替，从而避免后续形成的引线柱 5 中，深度大的引线柱 5 之间的寄生电容过大。

[00117] 需要说明的是，在平行信号线 3 为字线 WL 时，形成通孔 8 的步骤与前述步骤相似，主要区别在于，刻蚀位于相邻存储单元组 TC0 之间的绝缘层 12 以形成通孔 8。其他有关形成掩膜层 71 和形成牺牲层 73 等步骤可参考前述详细说明。

[00118] 参考图 55-图 56，在第 1 通孔 81 至第 N 通孔的底部分别形成第 1 接触部至第 N 接触部，第 1 接触部至第 N 接触部分别与第 1 平行信号至第 N 平行信号线 3 同层设置，且接触部 51 覆盖对应层的平行信号线 3 的侧壁。

[00119] 继续参考图 55-图 56，形成接触部 51 后，在通孔 8 的侧壁形成介质层 6。示例地，通过化学气相沉积工艺在通孔 8 的侧壁和接触部 51 的表面形成初始介质层；去除位于接触部 51 表面的初始介质层，位于通孔 8 侧壁的初始介质层作为介质层 6。

[00120] 继续参考图 55-图 56，形成填充通孔 8 的延伸部 52，接触部 51 与延伸部 52 构成引线柱 5。示例地，在通孔 8 中沉积铜、铝、钛或钨等金属以作为引线柱 5。

[00121] 需要说明的是，上述形成引线柱 5 的方法仅为示例性说明，而不限于此，可以根据引线柱 5 的具体结构对引线柱 5 的方法进行调整。

[00122] 如图 57-图 60 所示，本公开又一实施例提供一种半导体结构的制造方法。此半导体结构的制造方法与前述半导体结构的制造方法大致相同，相同或相似的部分请参考前述实施例的详细说明。为了便于描述以及清晰地示意出半导体结构制作方法的步骤，图 57 至图 60 均为半导体结构的局部结构示意图。以下将结合附图对半导体结构的制造方法进行详细说明。

[00123] 提供基底；在基底上形成堆叠结构，堆叠结构包括在第一方向 X 排列的多个存储单元组 TC0，存储单元组 TC0 包括多层在第二方向 Z 排列的多个存储单元 TC；堆叠结构还包括在第二方向 Z 排列的多条平行信号线 3，每条平行信号线 3 连接一层存储单元 TC。

[00124] 有关堆叠结构的形成方法可参考前述实施例的详细说明。

[00125] 参考图 57-图 60，形成在第一方向 X 排列且沿第二方向 Z 延伸的多个引线柱 5，多个引线柱 5 在基底表面的正投影与平行信号线 3 在基底表面的正投影至少部分重叠，且引线柱 5 与平行信号线 3 连接。

[00126] 以下将对引线柱 5 的制造方法进行详细说明。

[00127] 首先需要说明的是，多条平行信号线 3 包括在第二方向 Z 上依次排布的第 1 平行信号线至第 N 平行信号线，N 为大于 1 的正整数。第 1 平行信号线位于顶层，第 N 平行信号线位于底层。

[00128] 参考图 57-图 58，形成通孔 8，通孔 8 包括第 1 通孔 81 至第 N 通孔，第 1 通孔 81 的露出第 1 平行信号线的顶面；第 N 通孔贯穿第 1 平行信号线至第 N-1 平行信号线，且露出第 N 平行信号线的顶面。

[00129] 形成通孔 8 的步骤与前述实施例大致相同，主要区别在于，通孔 8 贯穿平行信号线 3，因此，需刻蚀平行信号线 3。此外，若引线柱 5 利用存储单元组 TC0 的位置，则形成通孔 8 时还需刻蚀沟道区 22 以及位于上下层存储单元 TC 之间的绝缘

层 12; 若引线柱 5 利用相邻存储单元组 TC0 之间的位置, 则形成通孔 8 时还需刻蚀相邻存储单元 TC 之间的绝缘层 12。其他有关形成掩膜层 71 和形成牺牲层 73 的步骤可参考前述实施例中的详细说明。

5 [00130] 参考图 59-图 60, 在通孔 8 的侧壁形成介质层 6。具体地, 在通孔 8 的内壁形成初始介质层, 去除位于通孔 8 底壁的初始介质层, 以露出对应层的平行信号线 3, 位于通孔 8 侧壁的初始介质层作为介质层 6。形成填充通孔 8 的引线柱 5, 引线柱 5 的底面与平行信号线 3 电连接。

[00131] 综上, 在本公开实施例中, 刻蚀平行信号线 3 以形成通孔 8, 形成填充通孔 8 的介质层 6 和引线柱 5。如此, 引线柱 5 可以利用平行信号线 3 的空间位置, 直接与平行信号线 3 实现电连接, 从而可以减少台阶数目或者不形成单独的台阶区, 进而有利于提高半导体结构的集成度。

[00132] 本公开实施例还提供一种存储芯片, 包括前述实施例提供的半导体结构。

15 [00133] 存储芯片是用来存储程序和各种数据信息的记忆部件。示例地, 存储芯片可以为随机存取存储芯片或只读存储芯片, 举例而言, 随机存取存储芯片可以包括动态随机存取存储器或静态随机存储器。由于前述半导体结构的集成度较高, 从而有利于实现存储芯片的微型化。

[00134] 本公开实施例还提供一种电子设备, 包括前述实施例提供的存储芯片。

20 [00135] 示例地, 电子设备可以为电视、电脑、手机或平板等设备。电子设备可以包括电路板和封装结构, 存储芯片可焊接于电路板上, 并受到封装结构的保护。此外, 电子设备还可以包括电源, 用于向存储芯片提供工作电压。

[00136] 在本说明书的描述中, 参考术语“一些实施例”、“示例地”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施例或示例中。在本说明书中, 对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且, 描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外, 在不相互矛盾的情况下, 本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

25 [00137] 尽管上面已经示出和描述了本公开的实施例, 可以理解的是, 上述实施例是示例性的, 不能理解为对本公开的限制, 本领域的普通技术人员在本公开的范围

30 可以对上述实施例进行变化、修改、替换和变型, 故但凡依本公开的权利要求和说明书所做的变化或修饰, 皆应属于本公开专利涵盖的范围之内。

权利要求

- 1、一种半导体结构，包括：基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；
- 5 所述堆叠结构还包括在所述第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；
- 在所述第一方向排列的多个引线柱，所述多个引线柱与所述多条平行信号线沿第三方向排布，且所述引线柱与所述平行信号线连接。
- 2、根据权利要求1所述的半导体结构，其中，
- 10 每条所述平行信号线至少与一个所述引线柱连接。
- 3、根据权利要求2所述的半导体结构，其中，
- 多条所述平行信号线与多个所述引线柱一一对应连接。
- 4、根据权利要求1所述的半导体结构，其中，
- 所述引线柱在所述第二方向延伸。
- 15 5、根据权利要求1所述的半导体结构，其中，与不同所述平行信号线连接的所述引线柱在所述第二方向上的长度不同，且所述引线柱的底部与所述平行信号线相连。
- 6、根据权利要求1所述的半导体结构，其中，相邻所述引线柱等在所述第一方向上等间距排布；或者，
- 20 相邻所述引线柱的间距与正对面积成正比。
- 7、根据权利要求1所述的半导体结构，其中，所述堆叠结构还包括：
- 在所述第二方向排列的多层刻蚀阻挡层；每层刻蚀阻挡层与至少一个所述引线柱的底面相接。
- 8、根据权利要求1所述的半导体结构，其中，所述堆叠结构还包括：介质层，
- 25 至少位于所述引线柱朝向所述平行信号线的侧壁，且所述介质层的下表面高于与所述引线柱相连的所述平行信号线。
- 9、根据权利要求1所述的半导体结构，其中，所述存储单元包括在所述第三方向排列的沟道区和源漏掺杂区，所述源漏掺杂区位于所述沟道区的两侧。
- 10、根据权利要求9所述的半导体结构，其中，所述平行信号线为位线，所述
- 30 位线与所述源漏掺杂区相连。
- 11、根据权利要求10所述的半导体结构，其中，所述引线柱和所述存储单元分别位于所述平行信号线在所述第三方向排列的相对两侧。
- 12、根据权利要求11所述的半导体结构，其中，所述引线柱在所述第一方向上的宽度大于或等于存储单元组的宽度；和/或，
- 35 所述引线柱在所述第一方向上的宽度大于或等于相邻所述存储单元组的间距；和/或，
- 所述引线柱在所述第一方向上的宽度大于所述引线柱在所述第三方向上的宽度。
- 13、根据权利要求11所述的半导体结构，其中，所述引线柱与所述存储单元组在所述第三方向上正对；或者，
- 40 所述引线柱与所述存储单元组在所述第一方向上交错排列。
- 14、根据权利要求10所述的半导体结构，其中，所述引线柱和所述存储单元位于所述平行信号线的同一侧。
- 15、根据权利要求14所述的半导体结构，其中，所述引线柱在所述第三方向上的
- 45 宽度大于所述引线柱在所述第一方向上的宽度。

16、根据权利要求10所述的半导体结构，其中，相邻两个堆叠结构的所述平行信号线相向设置，所述引线柱位于相邻所述堆叠结构的所述平行信号线之间，且相邻所述堆叠结构的同一层的所述平行信号线至少通过一个所述引线柱电连接。

17、根据权利要求10所述的半导体结构，其中，所述存储单元组的每层所述存储单元的数量为两个，且两个所述存储单元分别位于所述平行信号线在所述第三方向排列的相对两侧。

18、根据权利要求17所述的半导体结构，其中，相邻所述引线柱位于所述平行信号线的不同侧；或者，

所有所述引线柱位于所述平行信号线的同一侧。

19、根据权利要求9所述的半导体结构，其中，所述平行信号线为字线，所述字线与所述沟道区相连。

20、根据权利要求19所述的半导体结构，其中，相邻所述引线柱位于所述平行信号线的不同侧；或者，

所有所述引线柱位于所述平行信号线的同一侧。

21、一种半导体结构，包括：基底，所述基底上具有堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；

所述堆叠结构还包括在所述第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；

在所述第一方向排列且沿第二方向延伸的多个引线柱，所述多个引线柱在基底表面的正投影与平行信号线在基底表面的正投影至少部分重叠，且所述引线柱与所述平行信号线连接。

22、根据权利要求21所述的半导体结构，其中，至少一个所述引线柱贯穿至少一个所述平行信号线。

23、根据权利要求21所述的半导体结构，其中，

所述平行信号线包括在第三方向排列的接触区和暴露区；所述引线柱与所述接触区相连；所述第三方向垂直于所述第二方向且平行于所述基底表面。

24、根据权利要求23所述的半导体结构，其中，

所述平行信号线具有在所述第三方向排列的相对两侧，所述暴露区位于所述相对两侧中的一侧，所述接触区位于所述相对两侧中的另一侧，所述引线柱相对于所述接触区凸出设置。

25、根据权利要求21所述的半导体结构，其中，所述存储单元包括在第三方向排列的沟道区和源漏掺杂区，所述源漏掺杂区位于所述沟道区的两侧。

26、根据权利要求25所述的半导体结构，其中，所述平行信号线为位线，且所述位线与所述源漏掺杂区相连。

27、根据权利要求26所述的半导体结构，其中，

所述引线柱与所述存储单元组在所述第三方向上正对；或者，

所述引线柱与所述存储单元在所述第一方向上交错排列。

28、根据权利要求25所述的半导体结构，其中，所述平行信号线为字线，且所述字线与所述沟道区相连。

29、根据权利要求28所述的半导体结构，其中，

所述引线柱位于相邻所述存储单元组之间；或者，

所述引线柱在所述基底表面的正投影与所述沟道区在所述基底表面的正投影具有重叠。

30、根据权利要求21所述的半导体结构，其中，所述平行信号线具有在第三方

向排列的相对两侧；所述存储单元组的每层所述存储单元的数量为两个，且两个所述存储单元分别位于所述平行信号线的在所述第三方向排列的相对两侧。

31、一种半导体结构的制造方法，包括：

提供基底；

- 5 在所述基底上形成堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；所述堆叠结构还包括在第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；

10 形成在第一方向排列的多个引线柱，所述多个引线柱与所述多条平行信号线沿第三方向排布，且所述引线柱与所述平行信号线连接。

32、根据权利要求 31 所述的半导体结构的制造方法，其中，多条所述平行信号线包括在所述第二方向上依次排布的第 1 平行信号线至第 N 平行信号线，N 为大于 1 的正整数；

所述制造方法包括：

- 15 形成第 1 通孔至第 N 通孔，所述第 1 通孔的露出所述第 1 平行信号线的侧壁；所述第 N 通孔露出所述第 1 平行信号线至第 N 平行信号线的侧壁；

在所述第 1 通孔至第 N 通孔的底部分别形成第 1 接触部至第 N 接触部，所述第 1 接触部至所述第 N 接触部分别覆盖所述第 1 平行信号至所述第 N 平行信号线的侧壁；

- 20 形成所述接触部后，在所述通孔的侧壁形成介质层；

形成填充所述通孔的延伸部，所述接触部与所述延伸部构成所述引线柱。

33、一种半导体结构的制造方法，包括：

提供基底；

- 25 在所述基底上形成堆叠结构，所述堆叠结构包括在第一方向排列的多个存储单元组，所述存储单元组包括多层在第二方向排列的多个存储单元；所述堆叠结构还包括在第二方向排列的多条平行信号线，每条所述平行信号线连接一层所述存储单元；

30 形成在所述第一方向排列且沿第二方向延伸的多个引线柱，所述多个引线柱在基底表面的正投影与平行信号线在基底表面的正投影至少部分重叠，且所述引线柱与所述平行信号线连接。

34、根据权利要求 33 所述的半导体结构的制造方法，其中，多条所述平行信号线包括在所述第二方向上依次排布的第 1 平行信号线至第 N 平行信号线，N 为大于 1 的正整数；

所述制造方法包括：

- 35 形成第 1 通孔至第 N 通孔，所述第 1 通孔的露出所述第 1 平行信号线的顶面；所述第 N 通孔贯穿所述第 1 平行信号线至第 N-1 平行信号线，且露出所述第 N 平行信号线的顶面；

在所述通孔的侧壁形成介质层；

形成填充所述通孔的所述引线柱。

- 40 35、一种存储芯片，包括如权利要求 1-20 及权利要求 21-30 中任一项所述的半导体结构。

36、一种电子设备，包括权利要求 35 所述的存储芯片。