

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月8日(08.08.2024)



(10) 国際公開番号

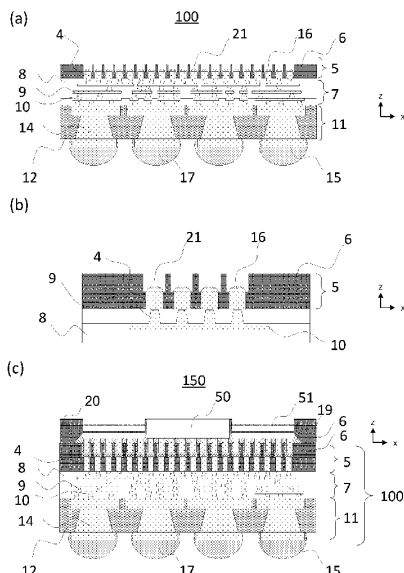
WO 2024/161912 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H05K 3/46 (2006.01)
H01L 23/32 (2006.01)
- (21) 国際出願番号: PCT/JP2024/000177
- (22) 国際出願日: 2024年1月9日(09.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-014432 2023年2月2日(02.02.2023) JP
- (71) 出願人: T O P P A N ホールディングス株式会社 (TOPPAN HOLDINGS INC.) [JP/JP]; 〒1100016 東京都台東区台東一丁目5番1号 Tokyo (JP).
- (72) 発明者: 藤田 貴志(FUJITA, Takashi); 〒1100016 東京都台東区台東一丁目5番1号 T O P P A Nホールディングス株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人第一国際特許事務所 (DAI-ICHI INTERNATIONAL PATENT OFFICE, P.C.); 〒1010041 東京都千代田区神田須田町二丁目8番地2 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,

(54) Title: INTERPOSER, SEMICONDUCTOR PACKAGE, AND METHODS FOR MANUFACTURING SAME

(54) 発明の名称: インターポーザ、半導体パッケージ及びそれらの製造方法

図1



(57) Abstract: Provided is an interposer that has self-supporting properties enabling repair and can prevent electrical connection failures caused by mounting misalignment of a semiconductor device. The interposer comprises: an inner layer structure including at least one inner layer wiring layer; a first outer layer structure arranged on a first surface of the inner layer structure; and a second outer layer structure arranged on a second surface of the inner layer structure. In addition, the inner layer wiring layer comprises a first insulating resin layer, wiring arranged on the surface of the first insulating resin layer, and a via that is connected to the wiring and passes through the first insulating resin layer. The first outer layer structure and the second outer layer structure comprise a second insulating resin layer and an external connection via passing through the second insulating resin layer. The second insulating resin layer is equipped with an external connection opening so as to enable fitting of an external connection electrode of a semiconductor device to the surface of the first outer layer structure or the second outer layer structure.

WO 2024/161912 A1

[続葉有]

TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：リペア可能な自立性を持たせ、さらに半導体装置の実装位置ズレによる電氣的接続不良の防止が可能なインターポーザを提供する。インターポーザは、少なくとも1層の内層配線層を含む内層構造体と、内層構造体の第1面上に配置された第1外層構造体と、内層構造体の第2面上に配置された第2外層構造体とを備える。そして、内層配線層は、第1絶縁樹脂層と第1絶縁樹脂層の表面に配置された配線と配線に接続し、第1絶縁樹脂層を貫通するビアとを備えており、第1外層構造体及び第2外層構造体は、第2絶縁樹脂層と第2絶縁樹脂層を貫通する外部接続ビアとを備えており、第1外層構造体又は第2外層構造体の表面に、半導体装置の外部接続電極が嵌ることが可能なように、第2絶縁樹脂層が外部接続用開口部を持つ。