

一种通信装置以及信号采样方法

技术领域

本申请涉及时钟同步技术领域，具体涉及一种通信装置以及信号采样方法。

5 背景技术

在数字通信中，需要通过模拟数字转换器（analog to digital converter，ADC）将模拟信号转化为数字信号进行处理。为了使得数字信号保留原始模拟信号中的全部信息，理论上要求 ADC 的采样频率大于或等于原始模拟信号所占带宽的 2 倍，在数字域中再进行采样时钟恢复以确定最佳的采样时刻。由于信道传输时延以及发送端和接收端之间的时钟偏移，使得 ADC 无法在最佳采样时刻进行采样，导致采集的数据与原始数据之间存在偏差。为此，需要进行时钟同步。

目前常用的时钟同步方法有 Gardner 算法、开销辅助同步方法等。Gardner 算法本质上是对采样的原始序列进行插值，使得原始序列在时域上扩展。采样时钟恢复时，对插值后的原始序列进行抽取（也称为降采样），以确定最佳的采样时刻。但是 Gardner 算法要求过采样，在大带宽场景下应用受限。开销辅助同步方法是指在数据信号中插入低速的开销信号，在接收端进行窄带滤波，以恢复采样时钟。然而开销辅助同步方法带来额外的频谱开销，且要求接收端的滤波器的带宽窄，在大带宽系统中，滤波器的设计难度较高。

可见，如何在大带宽场景下实现时钟同步是亟需解决的问题。

20 发明内容

本申请提供一种通信装置以及信号采样方法，用以实现采样时钟同步。

第一方面，本申请实施例提供一种通信装置，所述通信装置可以应用于接收机，该通信装置包括时钟控制电路、数据采样电路和时钟恢复电路。其中，时钟控制电路用于确定数据采样电路的采样时钟偏差，根据采样时钟偏差生成第一时钟控制信号，该第一时钟控制信号用于调整数据采样电路的采样时钟。时钟恢复电路用于根据第一时钟控制信号调整数据采样电路的采样时钟，并向数据采样电路发送时钟信号。数据采样电路用于根据时钟信号对输入的模拟信号进行采样。

其中，数据采样电路例如为 ADC 模块。在本申请实施例中，时钟控制电路可以根据数据采样电路的采样时钟偏差，生成相应的第一时钟控制信号反馈给时钟恢复电路。时钟恢复电路可以根据第一时钟控制信号对数据采样电路的采样时钟进行调整，并将调整后采样时钟获得的时钟信号反馈给数据采样电路，从而数据采样电路根据被调整后的采样时钟进行采样。数据采样电路可根据调整后的采样时钟所采样的信号再反馈给时钟控制电路，由时钟控制电路再次确定数据采样电路的采样时钟偏差，并生成相应的时钟控制信号反馈给时钟恢复电路。时钟恢复电路可再次根据接收的时钟控制信号对数据采样电路的采样时钟进行调整，并将调整后采样时钟获得的时钟信号反馈给数据采样电路。由于时钟控制电路和时钟恢复电路配合对数据采样电路的采样时钟可以进行多次调整，因此，可将数据采样电路的采样时钟锁定在最佳的采样时刻。这样无需对原始模拟信号进行过采样，也能够使得采样后的数字信号保留原始模拟信号的有用信息。由于无需对原始模拟信号进行过采

样,即使在大带宽场景下,也不会增加ADC的复杂度以及接收机中滤波器的复杂度。

在一种可能的设计中,当第一时钟控制信号指示数据采样电路的采样时钟偏差低于第一阈值,时钟信号为目标时钟信号,该目标时钟信号能够产生数据采样电路期望的采样时钟。数据采样电路期望的采样时钟,可以看作是,数据采样电路的最佳采样时钟。经过时钟恢复电路的多次调整,数据采样电路的实际采样时钟与最佳采样时钟逐渐减小,直到数据采样电路的实际采样时钟接近甚至等于最佳采样时钟,此时,时钟恢复电路生成的时钟信号称为目标时钟信号,即可以使得数据采样电路达到最佳采样时钟的时钟信号。

在一种可能的设计中,时钟恢复电路包括分路器、第一延迟器、第二延迟器和乘法电路,其中,分路器和第一延迟器的输入端以及第二延迟器的输入端连接,乘法电路和第一延迟器的输出端以及第二延迟器的输出端连接。第一延迟器的输出端和第二延迟器的输出端还连接时钟控制电路的输入端。分路器用于将输入的模拟信号分为第一模拟子信号和第二模拟子信号。第一延迟器用于根据第一时钟控制信号延迟第一模拟子信号,获得第一延迟信号,并将第一延迟信号输出给乘法电路以及时钟控制电路。第二延迟器用于根据第一时钟控制信号延迟第二模拟子信号,获得第二延迟信号,并将第二延迟信号输出给乘法电路以及时钟控制电路。乘法电路用于对第一延迟信号和第二延迟信号进行相乘处理,获得第一信号,并将第一信号输出给数据采样电路。

在本申请实施例中,输入时钟恢复电路的模拟信号和输入数据采样电路的模拟信号是相同的。因此,时钟恢复电路通过对输入的模拟信号进行处理,以实现调整数据采样电路的采样时钟。例如,时钟恢复电路通过将输入的模拟信号分为两路,并通过控制这两路的延迟时长来达到调整数据采样电路的采样时钟的目的,以使得数据采样电路的采样时钟达到最佳采样时钟。

在一种可能的设计中,时钟控制电路包括处理器和判决器,该处理器可用于根据数据采样电路输出的第一数字信号和第二数字信号确定采样时钟偏差,并根据采样时钟偏差,生成第一时钟控制信号;其中,第一数字信号为数据采样电路对输入的模拟信号进行采样得到的实部分量,第二数字信号为所述数据采样电路对模拟信号进行采样得到的虚部分量。判决器可用于根据第一延迟信号和第二延迟信号确定时钟恢复电路不能生成目标时钟信号,向时钟恢复电路输出第二时钟控制信号。

在本申请实施例中,随着时钟恢复电路可以使得数据采样电路的采用时钟偏差逐渐减小,直到数据采样电路的采样时钟达到最佳采样时钟,否则还需要通过时钟恢复电路继续调整数据采样电路的采样时钟。因此,时钟控制电路确定时钟恢复电路所生成的时钟信号不是目标时钟信号,则继续向时钟恢复电路输出时钟控制信号。

在可能的设计中,判决器还用于:根据第一延迟信号和第二延迟信号确定时钟恢复电路能够生成目标时钟信号,向时钟恢复电路输出指示信号。该指示信息指示无需调整数据采样电路的采样时钟。当时钟控制电路确定时钟恢复电路所生成的时钟信号为目标时钟信号,则向时钟恢复电路输出指示信号,以指示时钟恢复电路无需继续调整数据采样电路的采样时钟。

在可能的设计中,判决器具体用于:根据第一延迟信号确定第一模拟子信号被延迟的第一时长,根据第二延迟信号确定第二模拟子信号被延迟的第二时长。当第一时长和第二时长之差与数据采样电路期望的采样时钟之间的偏差大于第一阈值,确定时钟恢复电路不能生成目标时钟信号。

在可能的设计中，第一延迟器根据第一时钟控制信号延迟第一模拟子信号，包括：当第一时钟控制信号指示采样时钟偏差大于或等于第一取值，第一延迟器按照第一延迟步长延迟第一模拟子信号，当第一时钟控制信号指示采样时钟偏差小于第一取值，第一延迟器按照第二延迟步长延迟第一模拟子信号，其中，第一延迟步长大于第二延迟步长。第二延迟器根据第一时钟控制信号延迟第二模拟子信号，包括：当第一时钟控制信号指示采样时钟偏差大于或等于第一取值，第二延迟器按照第三延迟步长延迟第二模拟子信号，当第一时钟控制信号指示采样时钟偏差小于所述第一取值，第二延迟器按照第四延迟步长延迟第二模拟子信号，其中，第三延迟步长大于第四延迟步长。

在本申请实施例中，针对第一延迟器和第二延迟器可分别预定义多个延时步长，当数据采样时钟偏差较大时，相应的，第一延迟器和第二延迟器按照较长的延时步长对输入的模拟信号进行延迟；当数据采样时钟偏差较小时，相应的，第一延迟器和第二延迟器按照较短的延时步长对输入的模拟信号进行延迟，以提高采样时钟调整效率以及精度。

在可能的设计中，时钟恢复电路还包括：与乘法电路连接的第一低通滤波器，用于滤除第一信号中的高频分量，从而降低由于高频分量带来的干扰。

在可能的设计中，时钟恢复电路还包括：与第一低通滤波器连接的限幅放大器，用于滤除第一低通滤波器输出的信号中幅度高于第一幅度的分量，以降低信号饱和的概率。

在可能的设计中，时钟恢复电路还包括：与限幅放大器连接的锁相环，用于使得目标时钟信号的频率与第一信号的频率一致，以提高相位的稳定性。

在可能的设计中，所述通信装置还包括相位锁定模块，该相位锁定模块与时钟控制电路和数据采样电路分别连接；其中，相位锁定电路用于：根据误差信号确定数据采样电路的采样相位偏差，根据采样相位偏差生成第三控制信号，并向数据采样电路输出第三控制信号。误差信号为数据采样电路输出的第一数字信号和第二数字信号之间的误差信号。第三控制信号用于指示数据采样电路对采样相位进行调整。

本申请实施例考虑到采样时钟的相位偏差，设置相位锁定电路。通过时钟控制电路计算数据采样电路的采样时钟的相位偏差，并反馈给相位锁定电路。由相位锁定电路反馈给数据采样电路调整采样时钟的相位。

在可能的设计中，相位锁定模块包括：与时钟控制电路依次连接的鉴相器、压控振荡器和第二低通滤波器。其中，第二低通滤波器的输入端与压控振荡器连接，输出端与数据采样电路连接。

第二方面，本申请实施例提供一种信号采样方法，该方法可由通信装置执行，该通信装置包括时钟控制电路、数据采样电路和时钟恢复电路。其中，时钟控制电路确定数据采样电路的采样时钟偏差，根据采样时钟偏差生成第一时钟控制信号，该第一时钟控制信号用于调整数据采样电路的采样时钟。时钟恢复电路根据第一时钟控制信号调整数据采样电路的采样时钟，并向数据采样电路发送时钟信号。数据采样电路根据时钟信号对输入的模拟信号进行采样。

在一种可能的实现方式中，第一时钟控制信号指示数据采样电路的采样时钟偏差低于第一阈值，时钟信号为目标时钟信号，该目标时钟信号能够产生数据采样电路期望的采样时钟。

在一种可能的实现方式中，时钟恢复电路包括分路器、第一延迟器、第二延迟器和乘法电路。第一延迟器与分路器以及时钟控制电路连接，第二延迟器与分路器以及时钟控制

电路连接。其中，分路器将输入的模拟信号分为第一模拟子信号和第二模拟子信号。第一延迟器根据第一时钟控制信号延迟第一模拟子信号，获得第一延迟信号，并将第一延迟信号输出给乘法电路以及时钟控制电路。第二延迟器根据第一时钟控制信号延迟第二模拟子信号，获得第二延迟信号，并将第二延迟信号输出给乘法电路以及时钟控制电路。乘法电路对第一延迟信号和第二延迟信号进行相乘处理，获得第一信号，并将第一信号输出给数据采样电路。

在一种可能的实现方式中，时钟控制电路包括处理器和延迟器，其中，处理器根据数据采样电路输出的第一数字信号和第二数字信号确定采样时钟偏差，并根据采样时钟偏差，生成第一时钟控制信号。第一数字信号为数据采样电路对输入的模拟信号进行采样得到的实部分量，第二数字信号为数据采样电路对输入的模拟信号进行采样得到的虚部分量。判决器根据第一延迟信号和第二延迟信号确定时钟恢复电路不能生成目标时钟信号，向时钟恢复电路输出第二时钟控制信号。

在一种可能的实现方式中，判决器还根据第一延迟信号和第二延迟信号确定时钟恢复电路能够生成目标时钟信号，向时钟恢复电路输出指示信号。该指示信息指示无需调整数据采样电路的采样时钟。

在一种可能的实现方式中，所述判决器具体用于：根据第一延迟信号确定第一模拟子信号被延迟的第一时长，根据第二延迟信号确定第二模拟子信号被延迟的第二时长，当第一时长和第二时长之差与所述数据采样电路期望的采样时钟之间的偏差大于第一阈值，确定时钟恢复电路不能生成目标时钟信号。

在一种可能的实现方式中，当第一时钟控制信号指示采样时钟偏差大于或等于第一取值，第一延迟器按照第一延迟步长延迟第一模拟子信号，当第一时钟控制信号指示采样时钟偏差小于第一取值，第一延迟器按照第二延迟步长延迟第一模拟子信号，其中，第一延迟步长大于第二延迟步长。当第一时钟控制信号指示采样时钟偏差大于或等于第一取值，第二延迟器按照第三延迟步长延迟第二模拟子信号，当第一时钟控制信号指示所述采样时钟偏差小于第一取值，第二延迟器按照第四延迟步长延迟第二模拟子信号，其中，第三延迟步长大于第四延迟步长。

在一种可能的实现方式中，时钟恢复电路还包括与乘法电路连接的第一低通滤波器，该第一低通滤波器用于滤除第一信号中的高频分量。

在一种可能的实现方式中，时钟恢复电路还包括与第一低通滤波器连接的限幅放大器，该限幅放大器用于滤除第一低通滤波器输出的信号中幅度高于第一幅度的分量。

在一种可能的实现方式中，时钟恢复电路还包括与限幅放大器连接的锁相环，该锁相环用于使得目标时钟信号的频率与第一信号的频率一致。

在一种可能的实现方式中，所述通信装置还包括相位锁定模块，相位锁定模块与时钟控制电路和数据采样电路分别连接，所述方法还包括：通过相位锁定电路根据误差信号确定数据采样电路的采样相位偏差，并根据采样相位偏差生成第三控制信号，以及向数据采样电路输出所述第三控制信号。其中，误差信号为数据采样电路输出的第一数字信号和第二数字信号之间的误差信号。第三控制信号用于指示数据采样电路对采样相位进行调整。

在一种可能的实现方式中，相位锁定模块包括与时钟控制电路依次连接的鉴相器、压控振荡器和第二低通滤波器。其中，第二低通滤波器的输入端与压控振荡器连接，输出端与数据采样电路连接。

信号对数据采样电路 203 的采样时钟进行调整, 并将调整后采样时钟获得的时钟信号反馈给数据采样电路 203。以此类推, 经过时钟控制电路 201 和时钟恢复电路 202 对数据采样电路 203 的采样时钟进行多次调整, 直到数据采样电路 203 的实际采样时钟达到最佳采样时钟。

5 数据采样电路 203 的实际采样时钟达到最佳采样时钟, 也可以理解为, 数据采样电路 203 的采样时钟偏差低于第一阈值。该第一阈值可以是预设置的或者预配置的, 本申请实施例对第一阈值的大小不作限制。例如, 第一阈值可以是根据实验测试所得的可能的取值。根据对采样精度的不同, 第一阈值的大小也可以不同。举例来说, 第一阈值可以是归一化的时钟偏差, 例如为 10^{-6} 。可以理解的是, 数据采样电路 203 的采样时钟偏差低于第一阈值, 时钟控制电路生成的时钟控制信号用于调整数据采样电路 203 的采样时钟; 当数据采样电路 203 的采样时钟偏差大于或者等于第一阈值, 时钟控制电路 201 可生成指示信号, 该指示信号指示数据采样电路 203 的采样时钟偏差低于第一阈值, 时钟恢复电路 202 根据时钟控制电路 201 反馈的指示信号, 可确定无需继续调整数据采样电路 203 的采样时钟。此时, 时钟恢复电路 202 不调整数据采样电路 203 的采样时钟, 直接向数据采样电路 203 输出最终的时钟信号 (本文中称为目标时钟信号), 该目标时钟信号可以使得数据采样电路 203 的采样时钟达到期望的采样时钟。

为方便理解, 下文以接收机从发射机接收第一模拟信号为例, 该第一模拟信号分为两路信号, 这两路信号分别称为 I 信号和 Q 信号。其中, I 信号为第一模拟信号的实部分量, Q 信号为第一模拟信号的虚部分量。

20 请继续参见图 2, I 信号和本振信号经过混频器之后, 再经过低通滤波器之后, 输入数据采样电路 203。类似的, Q 信号和本振信号经过混频器之后, 再经过低通滤波器之后, 输入数据采样电路 203。I 信号经过数据采样电路 203 的采样得到第一数字信号, Q 信号经过数据采样电路 203 的采样得到第二数字信号。数据采样电路 203 将第一数字信号和第二数字信号输出给时钟控制电路 201。例如, 第一数字信号 $I'[k]$ 和第二数字信号 $Q'[k]$ 分别满足如下的公式:

$$I'[k] = \text{Re}\{(I_k + jQ_k) \times e^{-j2\pi\Delta f k T_s + \theta_o}\} \quad (1)$$

$$Q'[k] = \text{Im}\{(I_k + jQ_k) \times e^{-j2\pi\Delta f k T_s + \theta_o}\} \quad (2)$$

其中, $I_k + jQ_k$ 为数据采样电路 203 对第一模拟信号进行采样得到的数字信号, T_s 为数据采样电路 203 的采样时钟, θ_o 为数据采样电路 203 的采样相位偏差, Δf 为数据采样电路 203 的采样频率偏差, k 为索引。

时钟控制电路 201 可根据第一数字信号和第二数字信号确定数据采样电路 203 的采样时钟偏差, 并根据该采样时钟偏差。例如, 时钟控制电路 201 根据 $I'[k]$ 和 I_k 之间的第一偏差信号 $\text{error_s_I} = I'[k] - I[k] = \frac{1}{m} \sum_{i=1}^m (I_i - \hat{I}_i)^2$; 例如, 时钟控制电路 201 根据 $Q'[k]$ 和 Q_k 之间的第二偏差信号 $\text{error_s_Q} = Q'[k] - Q[k] = \frac{1}{m} \sum_{i=1}^m (Q_i - \hat{Q}_i)^2$ 。其中, m 为预设的一个整数。

35 时钟控制电路 201 确定第一偏差信号和第二偏差信号之后, 可根据第一偏差信号和第二偏差信号确定采样时钟偏差 $\text{err_clock} = \text{error_s_I} + j \times \text{error_s_Q}$ 。进而根据采样时钟偏差生成时钟控制信号 err_clock 。时钟控制信号 err_clock 可以是偏差信号 err_clock 的线性函数, 例如, $\text{error_s} = k \times (\text{err_clock})$, k 大于 0。可以理解的是, 当 error_s 最小时, err_clock 也最小。因此可根据 error_s 来调节 err_clock 的大小和方向。

40 可以理解的是, 经过时钟恢复电路 202 的多次调整可使得数据采样电路 203 的采样时钟偏差逐渐减小, 即 error_s 逐渐减小。相应的, 时钟控制信号所指示时钟恢复电路 202 对

于采样时钟的调整量也减小。即通过不同次数调整,时钟恢复电路 202 所生成的时钟控制信号不同。为方便描述,可将时钟控制电路 201 首次确定的时钟控制信号称为第一时钟控制信号。下面以时钟控制电路 201 生成的时钟控制信号为第一时钟控制信号介绍时钟恢复电路 202 如何根据时钟控制电路 201 反馈的时钟控制信号调整数据采样电路 203 的采样时钟。

在本申请实施例中,可将数据采样电路 203 的采样时钟锁定在最佳采样时钟。例如,通过时钟恢复电路 202 对输入数据采样电路 203 的模拟信号的采样时钟进行处理,根据处理结果判断数据采样电路 203 的采样时钟是否是最佳采样时钟。例如,时钟恢复电路通过将输入的模拟信号分为两路,并通过控制这两路的延迟时长来达到调整数据采样电路的采样时钟。

在可能的设计中,时钟恢复电路 202 可以包括分路器 2021、第一延迟器 2022、第二延迟器 2023 和乘法电路 2024。其中,分路器 2021 用于将第一模拟信号分为第一模拟子信号 $r_{IF}(t)$ 和第二模拟子信号 $r_{IF}(t)$ 。 $r_{IF}(t)$ 满足: $r_{IF}(t) = \text{real}(A(t) \times \exp(j \times 2 \times \pi \times f_0 \times t))$ 。其中, $A(t)$ 为第一模拟信号, f_0 为载波频率, t 为时间, real 表示求取复数的实部, $\exp$ 为指数函数。第一模拟子信号 $r_{IF}(t)$ 输出给第一延迟器 2022, 第二模拟子信号 $r_{IF}(t)$ 输出给第二延迟器 2023。第一时钟控制信号分别反馈到第一延迟器 2022 和第二延迟器 2023 的输入端。需要说明的是,分路器 2021 也可以是功分器,只要可以将一路信号分为两路信号即可,例如,分路器 2021 可以是二功分器。

第一延迟器 2022 可根据第一时钟控制信号延迟第一模拟子信号 $r_{IF}(t)$, 第二延迟器 2023 可根据第一时钟控制信号延迟第二模拟子信号 $r_{IF}(t)$ 。假设第一模拟子信号 $r_{IF}(t)$ 延迟时长 τ_1 , 第二模拟子信号 $r_{IF}(t)$ 延迟时长 τ_2 , 延迟后的第一模拟子信号 $r_{IF}(t)$ 记为 $r_{IF}(t-\tau_1)$, 延迟后的第二模拟子信号 $r_{IF}(t)$ 记为 $r_{IF}(t-\tau_2)$ 。 $r_{IF}(t-\tau_1)$ 和 $r_{IF}(t-\tau_2)$ 经过乘法电路 2024 之后得到第一信号 $S_1(t) = r_{IF}(t-\tau_1) \times r_{IF}(t-\tau_2)$ 。第一信号 $S_1(t)$ 经过低通滤波器滤除高频成分可得:

$$S_2(t) = \text{Re} \left\{ \sum_{n=-\infty}^{+\infty} A_n \times e^{j\theta_n - 2j\pi f_{IF}(\tau_2 - \tau_1)} \times g(t - nT_s) \times g(t - nT_s - T_s - \tau) \right\}$$

$$\approx \text{Re} \{ e^{-2j\pi f_{IF} T_s} \times e^{-j\epsilon D} \times \sum_{n=-\infty}^{+\infty} A_n \times e^{j\theta_n} \times g'(t - nT_s) \}.$$

其中, T_s 为数据采样电路 203 期望的采样时钟, A_n 中的 A 为信号的幅度, n 为级数, n 的取值范围从很小的负数到很大的正整数, 函数 g 表示整形函数, 函数 g' 表示等效的整形函数, t 表示时间, τ 表示 π , f_{IF} 表示载波频率。

$S_2(t)$ 的功率谱 $S_2(f)$ 满足:

$$S_2(f) = \text{Re} \left\{ A e^{-j\epsilon D} \sigma_A^2 \times \sum_{m=-\infty}^{+\infty} \frac{1}{T_s} G' \left(\frac{m}{T_s} \right) \times e^{j2\pi m / f T_s} \right\},$$

其中, $\epsilon D = \frac{(\tau_2 - \tau_1) - T_s}{T_s} \times 100\%$, σ_A^2 为噪声功率, G 为函数 g' 的频域表达, m 为整数。

其中, T_s 为数据采样电路 203 的最佳采样时钟。请参见图 3, 示出了功率谱 $S_2(f)$ 。图 3 中纵坐标为 $S_2(f)$ 。从图 3 中可以看出, 当 $(\tau_2 - \tau_1) = T_s$ 时, $A e^{-j\epsilon D} \sigma_A^2$ 最大, 因此, 当 $\tau_2 - \tau_1 = T_s$, 可以确定时钟恢复电路 202 已经将数据采样电路 203 的采样时钟调整为期望的采样时钟。当 $\tau_2 - \tau_1 \neq T_s$ 时, 数据采样电路 203 的采样时钟调整还没有达到期望的采样时钟, 时钟恢复电路 202 需要继续调整数据采样电路 203 的采样时钟, 即时钟恢复电路 202 需要通过第一延迟器 2022 和第二延迟器 2023 继续延迟所接收的信号。

应理解, 第一延迟器 2022 和第二延迟器 2023 对所接收的信号进行延迟, 实际上是对所接收的信号在时域上进行移位。在本申请实施例中, 第一延迟器 2022 和第二延迟器 2023

对所接收的信号在时域上的移位是相反的, 即 τ_1 为正数时, τ_2 为负数; τ_1 为负数时, τ_2 为正数。时钟恢复电路 202 经过多次调整可使得数据采样电路 203 的采样时钟偏差逐渐减小, 直到将数据采样电路 203 的采样时钟调整为期望的采样时钟。由于多次调整过程中, 数据采样电路 203 的采样时钟偏差会逐渐减小, 因此, 时钟恢复电路 202 通过第一延迟器 2022 对所接收到信号延迟时长也应该适应性减小, 同理, 第二延迟器 2023 对所接收的信号延迟时长也应该适应性减小。

在可能的设计中, 针对第一延迟器 2022 和第二延迟器 2023 可分别预定义多个延时步长。时钟恢复电路 202 接收到来自时钟控制电路 201 的时钟控制信号, 可根据该时钟控制信号指示的采样时钟偏差的大小选择与第一延迟器 2022 匹配的延迟步长, 以及与第二延迟器 2023 匹配的延迟步长。以第一延迟器 2022 为例, 可预定义第一延时步长、第二延时步长和第三延时步长。其中, 第一延迟步长大于第二延迟步长, 第二延迟步长大于第三延迟步长。如果第一延迟器 2022 从时钟控制电路 201 接收的时钟控制信号指示采样时钟偏差大于或等于第一取值, 第一延迟器 2022 按照第一延迟步长 τ_{11} 延迟第一模拟子信号, 获得延迟信号, 记为 $r_{1F}(t-\tau_{11})$ 。如果第一延迟器 2022 从时钟控制电路 201 接收的时钟控制信号指示采样时钟偏差大于或等于第二取值, 第一延迟器 2022 按照第二延迟步长 τ_{12} 延迟第一模拟子信号, 获得延迟信号, 记为 $r_{1F}(t-\tau_{12})$ 。其中, 第一取值大于第二取值。

类似地, 针对第二延迟器 2023, 也可以预定义第四延时步长、第五延迟步长和第六延迟步长。其中, 第四延迟步长大于第五延迟步长, 第五延迟步长大于第六延迟步长。如果第二延迟器 2023 从时钟控制电路 201 接收的时钟控制信号指示采样时钟偏差大于或等于第一取值, 第二延迟器 2023 按照第四延迟步长 τ_{21} 延迟第一模拟子信号, 获得延迟信号, 记为 $r_{1F}(t-\tau_{21})$ 。如果第二延迟器 2023 从时钟控制电路 201 接收的时钟控制信号指示采样时钟偏差大于或等于第二取值, 第二延迟器 2023 按照第五延迟步长 τ_{22} 延迟第一模拟子信号, 获得延迟信号, 记为 $r_{1F}(t-\tau_{22})$ 。可以理解的是, 第一延迟步长、第二延迟步长和第三延迟步长为正数, 第四延时步长、第五延迟步长和第六延迟步长为负数; 或者, 第一延迟步长、第二延迟步长和第三延迟步长为负数, 第四延时步长、第五延迟步长和第六延迟步长为正数。本申请实施例对第一延迟步长、第二延迟步长和第三延迟步长的大小不作限制, 以及对第四延时步长、第五延迟步长和第六延迟步长的大小也不作限制。

需要说明的是, 分路器 2021、第一延迟器 2022、第二延迟器 2023 和乘法电路 2024 中的部分器件或者全部器件可以是集成在一起的。例如, 第一延迟器 2022 和第二延迟器 2023 可以集成在一起, 作为一个器件。

第一延迟器 2022 和第二延迟器 2023 将生成的信号反馈给时钟控制电路 201, 由时钟控制电路 201 确定第一延迟器 2022 和第二延迟器 2023 是否已经将数据采样电路 203 当前的采样时钟调整为期望的采样时钟。为方便描述, 将第一延迟器 2022 生成的信号称为第一延迟信号, 将第二延迟器 2023 生成的信号称为第二延迟信号。

时钟控制电路 201 从第一延迟器 2022 接收第一延迟信号, 从第二延迟器 2023 接收第二延迟信号, 确定时钟恢复电路 202 是否已经将数据采样电路 203 当前的采样时钟调整为期望的采样时钟。例如, 时钟控制电路 201 包括判决器 2012, 通过判决器 2012 根据第一延迟信号确定第一模拟子信号被延迟的第一时长, 以及根据第二延迟信号确定第二模拟子信号被延迟的第二时长。如果第一时长和第二时长之差与数据采样电路 203 期望的采样时钟 T_s 之间的偏差大于第一阈值, 乘法电路 2024 对第一延迟信号和第二延迟信号进行相乘

处理获得的第一信号，即时钟恢复电路 202 生成的时钟信号不是目标时钟信号，也就是时钟恢复电路 202 不能生成目标时钟信号。

这种情况下，时钟控制电路 201 继续根据从数据采样电路 203 接收的 I 信号和 Q 信号计算采样时钟偏差，并根据该采样时钟偏差生成新的时钟控制信号，例如称为第二时钟控制信号。例如，时钟控制电路 201 中的处理器 2011 根据从数据采样电路 203 接收的 I 信号和 Q 信号计算采样时钟偏差，并根据该采样时钟偏差生成第二时钟控制信号。该第二时钟控制信号可指示数据采样电路 203 的采样时钟偏差低于第二阈值。该第二时钟控制信号反馈给第一延迟器 2022 和第二延迟器 2023，第一延迟器 2022 和第二延迟器 2023 根据第二时钟控制信号分别对所接收的信号进行延迟，并将所生成的延迟信号再次反馈给时钟控制电路 201，以此类推。直到时钟控制电路 201 确定第一延迟信号对应的延迟时长和第二延迟信号对应的延迟时长之间的差值与数据采样电路 203 期望的采样时钟 T_s 之间的偏差小于或等于第一阈值。此时，时钟控制电路 201 向第一延迟器 2022 和第二延迟器 2023 反馈的指示信号，该指示信号指示数据采样电路 203 的采样时钟偏差低于第一阈值。乘法电路 2024 对第一延迟信号和第二延迟信号进行相乘处理获得的第一信号为目标时钟信号。应理解，指示信号为时钟控制信号的特例，其具体实现形式同时钟控制信号。可以理解的是，如果数据采样电路 203 的采样时钟经过调整达到期望的采样时钟，但是后续使用过程中，数据采样电路 203 的实际采样时钟与期望的采样时钟出现偏差，那么可继续使用前述的方法调整数据采样电路 203 的采样时钟，以尽量使得数据采样电路 203 的实际采样时钟为期望的采样时钟。

考虑到乘法电路 2024 输出的第一信号包含的高频分量可能会造成干扰，在可能的设计中，时钟恢复电路 202 还可以用于滤除第一信号的高频分量的功能模块。例如，请参见图 4，时钟恢复电路 202 除了包括乘法电路 2024，还可以包括与乘法电路 2024 连接的低通滤波器 2025。低通滤波器 2025 可滤除第一信号中的高频分量，从而降低第一信号可能会造成的干扰。

如果第一信号的幅度过大，可能会因为饱和引起目标时钟信号的不准确。为此，时钟恢复电路 202 还可以包括与低通滤波器 2025 连接的限幅放大器 2026。例如，时钟恢复电路 202 可包括乘法电路 2024、低通滤波器 2025 和限幅放大器 2026，如图 4 所示。该限幅放大器 2026 可滤除低通滤波器 2025 输出的信号中幅度高于预设幅度的分量，以降低第一信号造成幅度饱和的概率。

如果限幅放大器 2026 输出的信号的频率无法固定，那么采样时钟可能无法收敛，即采样时钟不稳定。为此，时钟恢复电路 202 还可以包括与限幅放大器 2026 连接的锁相环 2027。例如，时钟恢复电路 202 可包括乘法电路 2024、低通滤波器 2025、限幅放大器 2026 和锁相环 2027，如图 4 所示。该锁相环 2027 可以使得目标时钟信号的频率与乘法电路 2024 输出的第一信号的频率一致，以降低由于相位不稳定造成采样时钟不稳定的概率。

请参见图 5，本申请实施例提供的通信装置还可以包括相位锁定模块 204，例如，通信装置包括时钟控制电路 201、时钟恢复电路 202、数据采样电路 203 以及相位锁定模块 204。其中，时钟控制电路 201 可用于消除数据采样电路 203 的采样相位偏差。具体的，相位锁定模块 204 可包括鉴相器 2041、压控振荡器 2042 和低通滤波器 2043。其中，鉴相器 2041 的输入端与时钟控制电路 201 连接，鉴相器 2041 的输出端与压控振荡器 2042 的输入端连接。压控振荡器 2042 的输出端与低通滤波器 2043 的输入端连接，低通滤波器 2043

片或者其他具有上述通信装置功能的组合器件、部件等。

本申请实施例还提供了一种接收机，该接收机包括前述实施例中的通信装置。该接收机还包括其他必须的功能器件，例如，收发器以及天线。所述收发器可以称为收发单元，收发模块、收发机、收发电路、收发器，输入输出接口等，用于通过天线实现接收机的收发功能。

实现本文描述的通信装置，可以是独立设备（例如，独立的集成电路，手机等），或者可以是较大设备中的一部分（例如，可嵌入在其他设备内的模块），具体可以参照前述关于终端设备，以及网络设备的说明，在此不再赘述。

可选地，通信装置还可以包括以下一个或多个部件：无线通信模块，音频模块，外部存储器接口，内部存储器，通用串行总线（universal serial bus，USB）接口，电源管理模块，天线，扬声器，麦克风，输入输出模块，传感器模块，马达，摄像头，或显示屏等等。可以理解，在一些实施例中，通信装置可以包括更多或更少部件，或者某些部件集成，或者某些部件拆分。这些部件可以是硬件，软件，或者软件和硬件的组合实现。

基于与上述同样的发明构思，本申请实施例还提供一种信号采样方法，应用于接收机，该接收机包括通信装置，该通信装置包括时钟控制电路 201、时钟恢复电路 202 和数据采样电路 203。该方法包括：通过时钟控制电路 201 确定数据采样电路 203 的采样时钟偏差，根据采样时钟偏差生成第一时钟控制信号，该第一时钟控制信号用于调整数据采样电路 203 的采样时钟；通过时钟恢复电路 202 根据第一时钟控制信号调整数据采样电路 203 的采样时钟，并向数据采样电路 203 发送时钟信号；通过数据采样电路 203 根据时钟信号对输入的模拟信号进行采样。

在一种可能的实现方式中，第一时钟控制信号指示数据采样电路 203 的采样时钟偏差低于第一阈值，时钟信号为目标时钟信号，该目标时钟信号能够产生数据采样电路 203 期望的采样时钟。

在一种可能的实现方式中，时钟恢复电路 202 包括分路器 2021、第一延迟器 2022、第二延迟器 2023 和乘法电路 2024。第一延迟器 2022 与分路器 2021 以及时钟控制电路 201 连接，第二延迟器 2023 与分路器 2021 以及时钟控制电路 201 连接。其中，分路器 2021 将输入的模拟信号分为第一模拟子信号和第二模拟子信号。第一延迟器 2022 根据第一时钟控制信号延迟第一模拟子信号，获得第一延迟信号，并将第一延迟信号输出给乘法电路 2024 以及时钟控制电路 201。第二延迟器 2023 根据第一时钟控制信号延迟第二模拟子信号，获得第二延迟信号，并将第二延迟信号输出给乘法电路 2024 以及时钟控制电路 201。乘法电路 2024 对第一延迟信号和第二延迟信号进行相乘处理，获得第一信号，并将第一信号输出给数据采样电路 203。

在一种可能的实现方式中，时钟控制电路 201 包括处理器 2011 和延迟器 2012，其中，处理器 2011 根据数据采样电路 203 输出的第一数字信号和第二数字信号确定采样时钟偏差，并根据采样时钟偏差，生成第一时钟控制信号。第一数字信号为数据采样电路 203 对输入的模拟信号进行采样得到的实部分量，第二数字信号为数据采样电路 203 对输入的模拟信号进行采样得到的虚部分量。判决器 2012 根据第一延迟信号和第二延迟信号确定时钟恢复电路 202 不能生成目标时钟信号，向时钟恢复电路 202 输出第二时钟控制信号。

在一种可能的实现方式中，判决器 2012 还根据第一延迟信号和第二延迟信号确定时钟恢复电路 202 能够生成目标时钟信号，向时钟恢复电路 202 输出指示信号。该指示信息

指示无需调整数据采样电路 203 的采样时钟。

在一种可能的实现方式中，判决器 2012 具体用于：根据第一延迟信号确定第一模拟子信号被延迟的第一时长，根据第二延迟信号确定第二模拟子信号被延迟的第二时长，当第一时长和第二时长之差与所述数据采样电路 203 期望的采样时钟之间的偏差大于第一阈值，确定时钟恢复电路 202 不能生成目标时钟信号。

在一种可能的实现方式中，当第一时钟控制信号指示采样时钟偏差大于或等于第一取值，第一延迟器 2022 按照第一延迟步长延迟第一模拟子信号，当第一时钟控制信号指示采样时钟偏差小于第一取值，第一延迟器 2022 按照第二延迟步长延迟第一模拟子信号，其中，第一延迟步长大于第二延迟步长。当第一时钟控制信号指示采样时钟偏差大于或等于第一取值，第二延迟器 2023 按照第三延迟步长延迟第二模拟子信号，当第一时钟控制信号指示所述采样时钟偏差小于第一取值，第二延迟器 2023 按照第四延迟步长延迟第二模拟子信号，其中，第三延迟步长大于第四延迟步长。

在一种可能的实现方式中，时钟恢复电路 202 还包括与乘法电路 2024 连接的第一低通滤波器 2025，该第一低通滤波器 2025 用于滤除第一信号中的高频分量。

在一种可能的实现方式中，时钟恢复电路 202 还包括与第一低通滤波器 2025 连接的限幅放大器 2026，该限幅放大器 2026 用于滤除第一低通滤波器 2025 输出的信号中幅度高于第一幅度的分量。

在一种可能的实现方式中，时钟恢复电路 202 还包括与限幅放大器 2026 连接的锁相环 2027，该锁相环 2027 用于使得目标时钟信号的频率与第一信号的频率一致。

在一种可能的实现方式中，所述通信装置还包括相位锁定模块 204，该相位锁定模块 204 与时钟控制电路 201 和数据采样电路 203 分别连接，所述方法还包括：通过相位锁定电路 204 根据误差信号确定数据采样电路 203 的采样相位偏差，并根据采样相位偏差生成第三控制信号，以及向数据采样电路 203 输出所述第三控制信号。其中，误差信号为数据采样电路 203 输出的第一数字信号和第二数字信号之间的误差信号。第三控制信号用于指示数据采样电路 203 对采样相位进行调整。

在一种可能的实现方式中，相位锁定模块包括与时钟控制电路 201 依次连接的鉴相器 2041、压控振荡器 2042 和第二低通滤波器 2043。其中，第二低通滤波器 2043 的输入端与压控振荡器 2042 连接，输出端与数据采样电路 203 连接。

本申请实施例还提供一种通信系统，具体的，通信系统包括图 2-图 5 任一所述的通信装置和发送装置。具体请参考上述方法实施例中的相关描述，这里不再赘述。

本申请实施例中还提供一种计算机可读存储介质，包括指令，当其在计算机上运行时，使得计算机实现如图 2-图 5 任一所述的通信装置的功能。

本申请实施例中还提供一种计算机程序产品，包括指令，当其在计算机上运行时，使得计算机实现如图 2-图 5 任一所述的通信装置的功能。

本申请实施例提供了一种芯片系统，该芯片系统包括处理器，还可以包括存储器，使得安装有该芯片系统的设备实现如图 2-图 5 任一所述的通信装置的功能。该芯片系统可以由芯片构成，也可以包含芯片和其他分立器件。

应理解，在本申请的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本申请实施例的实施过程构成任何限定。

权利要求

1.一种通信装置，其特征在于，包括时钟控制电路、数据采样电路和时钟恢复电路；其中，

5 所述时钟控制电路，用于确定所述数据采样电路的采样时钟偏差，根据所述采样时钟偏差生成第一时钟控制信号，所述第一时钟控制信号用于调整所述数据采样电路的采样时钟；

所述时钟恢复电路，用于根据所述第一时钟控制信号调整所述数据采样电路的采样时钟，并向所述数据采样电路发送时钟信号；

10 所述数据采样电路，用于根据所述时钟信号对输入的模拟信号进行采样。

2.如权利要求1所述的装置，其特征在于，当所述第一时钟控制信号指示所述数据采样电路的采样时钟偏差低于第一阈值，所述时钟信号为目标时钟信号，所述目标时钟信号能够产生所述数据采样电路期望的采样时钟。

3.如权利要求1或2所述的装置，其特征在于，所述时钟恢复电路包括：

分路器，用于将输入的模拟信号分为第一模拟子信号和第二模拟子信号；

15 第一延迟器，与所述分路器以及所述时钟控制电路连接，用于根据所述第一时钟控制信号延迟所述第一模拟子信号，获得第一延迟信号，并将所述第一延迟信号输出给乘法电路以及所述时钟控制电路；

20 第二延迟器，与所述分路器以及所述时钟控制电路连接，用于根据所述第一时钟控制信号延迟所述第二模拟子信号，获得第二延迟信号，并将所述第二延迟信号输出给所述乘法电路以及所述时钟控制电路；

所述乘法电路，用于对所述第一延迟信号和所述第二延迟信号进行相乘处理，获得第一信号，并将所述第一信号输出给所述数据采样电路。

4.如权利要求2-3任一项所述的装置，其特征在于，所述时钟控制电路包括：

25 处理器，用于根据所述数据采样电路输出的第一数字信号和第二数字信号确定所述采样时钟偏差，并根据所述采样时钟偏差，生成所述第一时钟控制信号；其中，所述第一数字信号为所述数据采样电路对输入的模拟信号进行采样得到的实部分量，所述第二数字信号为所述数据采样电路对所述模拟信号进行采样得到的虚部分量；

判决器，用于根据所述第一延迟信号和所述第二延迟信号确定所述时钟恢复电路不能生成所述目标时钟信号，向所述时钟恢复电路输出第二时钟控制信号。

30 5.如权利要求4所述的装置，其特征在于，判决器还用于：

根据所述第一延迟信号和所述第二延迟信号确定所述时钟恢复电路能够生成所述目标时钟信号，向所述时钟恢复电路输出指示信号，所述指示信息指示无需调整所述数据采样电路的采样时钟。

6.如权利要求4所述的装置，其特征在于，所述判决器具体用于：

35 根据所述第一延迟信号确定所述第一模拟子信号被延迟的第一时长；

根据所述第二延迟信号确定所述第二模拟子信号被延迟的第二时长；

当所述第一时长和所述第二时长之差与所述数据采样电路期望的采样时钟之间的偏差大于所述第一阈值，确定所述时钟恢复电路不能生成所述目标时钟信号。

7.如权利要求3所述的装置，其特征在于，所述第一延迟器根据所述第一时钟控制信

号延迟所述第一模拟子信号, 包括:

当所述第一时钟控制信号指示所述采样时钟偏差大于或等于第一取值, 所述第一延迟器按照第一延迟步长延迟所述第一模拟子信号, 当所述第一时钟控制信号指示所述采样时钟偏差小于所述第一取值, 所述第一延迟器按照第二延迟步长延迟所述第一模拟子信号, 其中, 所述第一延迟步长大于所述第二延迟步长;

所述第二延迟器根据所述第一时钟控制信号延迟所述第二模拟子信号, 包括:

当所述第一时钟控制信号指示所述采样时钟偏差大于或等于第一取值, 所述第二延迟器按照第三延迟步长延迟所述第二模拟子信号, 当所述第一时钟控制信号指示所述采样时钟偏差小于所述第一取值, 所述第二延迟器按照第四延迟步长延迟所述第二模拟子信号, 其中, 所述第三延迟步长大于所述第四延迟步长。

8.如权利要求 2-7 任一项所述的装置, 其特征在于, 所述时钟恢复电路还包括:

第一低通滤波器, 与所述乘法电路连接, 用于滤除所述第一信号中的高频分量。

9.如权利要求 8 所述的装置, 其特征在于, 所述时钟恢复电路还包括:

限幅放大器, 与所述第一低通滤波器连接, 用于滤除所述第一低通滤波器输出的信号中幅度高于第一幅度的分量。

10.如权利要求 9 所述的装置, 其特征在于, 所述时钟恢复电路还包括:

锁相环, 与所述限幅放大器连接, 用于使得所述目标时钟信号的频率与所述第一信号的频率一致。

11.如权利要求 1-10 任一项所述的装置, 其特征在于, 所述装置还包括相位锁定模块, 所述相位锁定模块与所述时钟控制电路和所述数据采样电路分别连接; 其中, 所述相位锁定电路用于:

根据误差信号确定所述数据采样电路的采样相位偏差, 根据所述采样相位偏差生成第三控制信号, 所述误差信号为所述数据采样电路输出的第一数字信号和第二数字信号之间的误差信号;

向所述数据采样电路输出所述第三控制信号, 所述第三控制信号用于指示所述数据采样电路对采样相位进行调整。

12.如权利要求 11 所述的装置, 其特征在于, 所述相位锁定模块包括:

鉴相器, 与所述时钟控制电路连接;

压控振荡器, 与所述鉴相器连接;

第二低通滤波器, 其输入端与所述压控振荡器连接, 输出端与所述数据采样电路连接。

13.一种信号采样方法, 其特征在于, 应用于一种通信装置, 所述通信装置包括时钟控制电路、数据采样电路和时钟恢复电路;

其中, 所述时钟控制电路确定所述数据采样电路的采样时钟偏差, 根据所述采样时钟偏差生成第一时钟控制信号, 所述第一时钟控制信号用于调整所述数据采样电路的采样时钟;

所述时钟恢复电路根据所述第一时钟控制信号调整所述数据采样电路的采样时钟, 并向所述数据采样电路发送时钟信号;

所述数据采样电路根据所述时钟信号对输入的模拟信号进行采样。

14.如权利要求 13 所述的方法, 其特征在于, 当所述第一时钟控制信号指示所述数据采样电路的采样时钟偏差低于第一阈值, 所述时钟信号为目标时钟信号, 所述目标时钟信

号能够产生所述数据采样电路期望的采样时钟。

15.如权利要求 13 或 14 所述的方法,其特征在于,所述时钟恢复电路包括分路器、第一延迟器、第二延迟器和乘法电路,所述第一延迟器与所述分路器以及所述时钟控制电路连接,所述第二延迟器与所述分路器以及所述时钟控制电路连接;

5 其中,所述分路器将输入的模拟信号分为第一模拟子信号和第二模拟子信号;

所述第一延迟器根据所述第一时钟控制信号延迟所述第一模拟子信号,获得第一延迟信号,并将所述第一延迟信号输出给乘法电路以及所述时钟控制电路;

所述第二延迟器根据所述第一时钟控制信号延迟所述第二模拟子信号,获得第二延迟信号,并将所述第二延迟信号输出给所述乘法电路以及所述时钟控制电路;

10 所述乘法电路对所述第一延迟信号和所述第二延迟信号进行相乘处理,获得第一信号,并将所述第一信号输出给所述数据采样电路。

16.如权利要求 14-15 任一项所述的方法,其特征在于,所述时钟控制电路包括处理器和延迟器,其中,所述处理器根据所述数据采样电路输出的第一数字信号和第二数字信号确定所述采样时钟偏差,并根据所述采样时钟偏差,生成所述第一时钟控制信号;其中, 15 所述第一数字信号为所述数据采样电路对输入的模拟信号进行采样得到的实部分量,所述第二数字信号为所述数据采样电路对所述模拟信号进行采样得到的虚部分量;

所述判决器根据所述第一延迟信号和所述第二延迟信号确定所述时钟恢复电路不能生成所述目标时钟信号,向所述时钟恢复电路输出第二时钟控制信号。

17.如权利要求 16 所述的方法,其特征在于,所述判决器还根据所述第一延迟信号和 20 所述第二延迟信号确定所述时钟恢复电路能够生成所述目标时钟信号,向所述时钟恢复电路输出指示信号,所述指示信息指示无需调整所述数据采样电路的采样时钟。

18.如权利要求 16 所述的方法,其特征在于,所述判决器具体用于:

根据所述第一延迟信号确定所述第一模拟子信号被延迟的第一时长;

根据所述第二延迟信号确定所述第二模拟子信号被延迟的第二时长;

25 当所述第一时长和所述第二时长之差与所述数据采样电路期望的采样时钟之间的偏差大于所述第一阈值,确定所述时钟恢复电路不能生成所述目标时钟信号。

19.如权利要求 15 所述的方法,其特征在于,当所述第一时钟控制信号指示所述采样时钟偏差大于或等于第一取值,所述第一延迟器按照第一延迟步长延迟所述第一模拟子信号,当所述第一时钟控制信号指示所述采样时钟偏差小于所述第一取值,所述第一延迟器 30 按照第二延迟步长延迟所述第一模拟子信号,其中,所述第一延迟步长大于所述第二延迟步长;

当所述第一时钟控制信号指示所述采样时钟偏差大于或等于第一取值,所述第二延迟器按照第三延迟步长延迟所述第二模拟子信号,当所述第一时钟控制信号指示所述采样时钟偏差小于所述第一取值,所述第二延迟器按照第四延迟步长延迟所述第二模拟子信号, 35 其中,所述第三延迟步长大于所述第四延迟步长。

20.如权利要求 14-19 任一项所述的方法,其特征在于,所述时钟恢复电路还包括与所述乘法电路连接的第一低通滤波器,所述第一低通滤波器用于滤除所述第一信号中的高频分量。

21.如权利要求 20 所述的方法,其特征在于,所述时钟恢复电路还包括与所述第一低通滤波器连接的限幅放大器,所述限幅放大器用于滤除所述第一低通滤波器输出的信号中 40

幅度高于第一幅度的分量。

22.如权利要求 21 所述的方法，其特征在于，所述时钟恢复电路还包括与所述限幅放大器连接的锁相环，所述锁相环用于使得所述目标时钟信号的频率与所述第一信号的频率一致。

5 23.如权利要求 13-22 任一项所述的方法，其特征在于，所述通信装置还包括相位锁定模块，所述相位锁定模块与所述时钟控制电路和所述数据采样电路分别连接，所述方法还包括：

10 通过所述相位锁定电路根据误差信号确定所述数据采样电路的采样相位偏差，并根据所述采样相位偏差生成第三控制信号，以及向所述数据采样电路输出所述第三控制信号；其中，所述误差信号为所述数据采样电路输出的第一数字信号和第二数字信号之间的误差信号，所述第三控制信号用于指示所述数据采样电路对采样相位进行调整。

24.如权利要求 23 所述的方法，其特征在于，所述相位锁定模块包括：

鉴相器，与所述时钟控制电路连接；

压控振荡器，与所述鉴相器连接；

15 第二低通滤波器，其输入端与所述压控振荡器连接，输出端与所述数据采样电路连接。

25.一种芯片系统，其特征在于，包括：

通信接口，用于输入和/或输出信息；

处理器，用于执行计算机程序，使得安装有所述芯片系统的设备执行如权利要求 13-24 任一项所述的方法。

20 26.一种计算机可读存储介质，其特征在于，所述存储介质中存储有计算机程序或指令，当所述计算机程序或指令被执行时，实现如权利要求 13-24 任一项所述的方法。

27.一种发射机，其特征在于，包括：如权利要求 1-12 任一项所述的通信装置。

28.一种基站，其特征在于，包括：如权利要求 1-12 任一项所述的通信装置。

25